

FILTROS A CAPACITORES CHAVEADOS CMOS TESTÁVEIS E DE BAIXA
SENSIBILIDADE

Jorge Morales Cañive

TESE SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS
PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE
FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS
NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE DOUTOR EM CIÊNCIAS
EM ENGENHARIA ELÉTRICA.

Aprovada por:

Prof. Antonio Petraglia, Ph.D.

Prof. Antônio Carneiro de Mesquita Filho, Dr.

Prof. Federico Gálvez Durand, D.Sc.

Prof. Jader Alves de Lima Filho, D.Sc.

Prof. Marco Aurélio Cavalcanti Pacheco, Ph.D.

RIO DE JANEIRO, RJ - BRASIL

FEVEREIRO DE 2001

MORALES CAÑIVE, JORGE

Filtros a Capacitores Chaveados CMOS
Testáveis e de Baixa Sensibilidade [Rio de Janeiro]
2001

VI, 91 p. 29,7 cm (COPPE/UFRJ, D.Sc.,
Engenharia Elétrica, 2001)

Tese - Universidade Federal do Rio de Janeiro,
COPPE

1. Filtros CMOS SC
2. Baixa Sensibilidade dos filtros SC
3. Testabilidade dos filtros

I. COPPE/UFRJ II. Título (série)

Resumo da Tese apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Doutor em Ciências (D.Sc.)

FILTROS A CAPACITORES CHAVEADOS CMOS TESTÁVEIS E DE BAIXA
SENSIBILIDADE

Jorge Morales Cañive

Fevereiro/2001

Orientador: Antonio Petraglia

Programa: Engenharia Elétrica

O desenvolvimento de estruturas de circuitos de processamento de sinais com propriedades de integração é uma das principais linhas de trabalho da área. Dentro desta área os filtros a capacitores chaveados (SC) representam uma parte importante devido às vantagens que oferece em implementações em circuito integrado. Este trabalho apresenta uma metodologia para desenvolver projetos de integração de filtros SC baseados na conexão em paralelo de seções estruturalmente passa-tudo usando tecnologia CMOS e descreve as propriedades de baixa sensibilidade e testabilidade deste tipo de configuração. É apresentado um projeto do circuito integrado de um filtro SC elíptico passa-baixas de quinta ordem. São apresentados também os resultados das simulações pós-layout e das medidas experimentais realizadas com protótipos fabricados. Finalmente, é apresentado um método de teste dos coeficientes da função de transferência do filtro baseado na propriedade das seções passa-tudo de modificar a fase do sinal sem alterar sua amplitude.

Abstract of Thesis presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Doctor of Sciences (D.Sc.)

TESTABLE AND LOW SENSITIVITY CMOS SWITCHED-CAPACITOR FILTERS

Jorge Morales Cañive

February/2001

Advisors: Antonio Petraglia

Department: Electrical Engineering

The development of circuit structures for signal processing suitable for monolithic implementation is a major research area. Inside this area the switched-capacitor (SC) filters represent an important part due the advantages they offer when implemented in integrated circuits. This work presents a methodology for the design of monolithic SC filter based on the parallel connection of lossless all-pass sections using CMOS technology, and describes the properties of low sensitivity and testability of such structures. The integrated circuit design of a fifth order elliptic low-pass SC filter is presented, along with simulation and experimental results. Finally, a method for testing the filter transfer function coefficients is presented, based on the property of the allpass sections of modify the signal phase without alter its amplitude.

Conteúdo

Capítulo 1 Introdução	1
Capítulo 2 Filtro a Capacitores Chaveados	4
2.1 Introdução	4
2.2 Filtro a Capacitores Chaveados.....	7
2.2.1 Projeto de Filtros na Forma Cascata.....	7
2.2.2 Filtros <i>Ladder</i>	8
2.2.3 Filtro a Capacitores Chaveados Usando a Conexão em Paralelo de Seções Passa-Tudo.....	9
2.2.3.1 Transformação dos Pólos.....	10
Capítulo 3 Projeto de um Filtro Elíptico	
Passa-Baixas de Quinta Ordem	12
3.1 Seções Passa-Tudo de Primeira e Segunda Ordens.....	13
3.2 Resultados da Simulação.....	14
Capítulo 4 Projeto do Circuito Integrado CMOS	17
4.1 Tecnologia e Componentes do Circuito	17
4.1.1 Transistor MOS	18
4.1.2 Capacitores MOS.....	19
4.2 Coeficientes do Filtro, Razões de Capacitores.....	22
4.3 Amplificadores.....	26
4.4 Chaves.....	34
4.5 Inversores	34
4.6 Fontes de corrente de polarização.....	37
4.7 Simulações do Filtro.....	38
Capítulo 5 Layout	45
5.1 Amplificadores.....	47
5.2 Capacitores.....	48
5.3 Chaves, Inversores e Fontes de Corrente de Polarização.....	51
Capítulo 6 Testabilidade	52
6.1 Introdução	52
6.2 Motivação.....	54
6.3 Teste de CIs Digitais.....	54

6.4	Teste de CI Analógicos e Mistos.....	55
6.4.1	Teste Analógico.....	55
6.4.2	Efeitos da fabricação.....	56
6.4.3	Os Dois Tipos de Erros que Influenciam o Comportamento do Circuito Fabricado.....	57
6.4.4	Métodos de Teste Analógicos.....	57
6.5	Método de Teste Proposto.....	58
6.6	Resultados das Simulações.....	65
	Capítulo 7 Resultados Experimentais	69
7.1.	Testes do CI fabricado.....	69
7.2.	Testes AC- Respostas em Frequência.....	69
7.3.	Testes de DC.....	71
7.4.	Testes de Transiente	72
7.5.	Análise dos Resultados dos Testes do <i>Chip</i>	72
7.6.	Desvios físicos, pelo processo.....	73
7.6.1.	Capacitores	73
7.6.2.	Chaves.....	73
7.6.3.	Amplificadores.....	74
7.6.4.	Gerador de fases.....	75
7.7.	Outros efeitos.....	75
	Capítulo 8 Conclusões	77
	Apêndice A Procedimento de projeto dos filtros SC	
	com seções passa-tudo ligadas em paralelo	80
	Apêndice B Fotografias do Circuito Integrado	84
	Bibliografia	88

Capítulo 1

Introdução

No momento atual os filtros a capacitores chaveados (SC) se apresentam como uma alternativa viável para muitas aplicações, em lugar dos filtros analógicos contínuos ou dos filtros digitais. A importância dos filtros SC se deve às vantagens que oferece sua integração em comparação com as outras duas categorias de filtros.

Durante os últimos anos têm sido desenvolvido muitos métodos de projeto de filtros SC. A maioria dos métodos é baseada na simulação de circuitos *ladder* LC duplamente terminados [1-7] ou na síntese da função de transferência diretamente no domínio z [8-12] usando configurações em cascata ou *multiple-loop feedback*. Estas duas aproximações usam *lossless discrete integrator* (LDI) como bloco principal do circuito. Isto leva a que os filtros com este tipo de estruturas apresentem boas características de sensibilidade com relação aos desvios das razões de capacitâncias.

Mais recentemente tem sido reportado um método de projeto baseado na conexão em paralelo de seções passa-tudo [13]. A estrutura proposta em [13] apresenta alguns avanços em comparação com estruturas padrões conhecidas. Comparando esta estrutura com um filtro elíptico padrão pode se observar que apresenta menor sensibilidade na banda de passagem às variações dos coeficientes, além de precisar de menos capacitância para sua implementação. Apesar destas características esta estrutura tem algumas desvantagens práticas que podem comprometer sua implementação de forma integrada [14]. A seção passa-tudo de segunda ordem usada é sensível a capacitâncias parasitas das placas superiores dos capacitores o que deteriora a propriedade de estrutura *lossless*. Também para altas frequências de chaveamento a resposta em frequência da fase é sensível às variações das capacitâncias, que é importante para obter baixa atenuação na banda de rejeição dos filtros.

Uma análise mais formal e uma argumentação teórica mais completa dos projetos de filtros SC com baixa sensibilidade usando conexão em paralelo de seções passa-tudo *lossless* é apresentada em [14]. Em [14] são apresentadas novas aproximações de estruturas

dos passa-tudo baseadas na “transformada dos pólos” usando elementos acumuladores implementados por integradores LDI. Este tipo estrutura se apresenta como uma solução viável para implementação em forma integrada de filtros SC de baixa sensibilidade [14].

Ainda mais recentemente em [15] se apresenta uma versão aperfeiçoada de um filtro elíptico baseado neste tipo de estrutura, junto com os resultados de simulações que mostram menor sensibilidade em comparação com outras estruturas reportadas.

Devido às inevitáveis variações dos processos de integração acontecem desvios nos parâmetros dos filtros, que podem levar o circuito a fugir das especificações do projeto. Por esta razão, é importante a propriedade de baixa sensibilidade às variações dos coeficientes. Neste sentido a estrutura de filtro usando passa-tudos em paralelo se apresenta como uma solução viável para integração [13,14,15].

Apesar da alta precisão alcançada atualmente para a implementação de razões de capacitâncias (0.1%-0.3%) com tecnologia CMOS, um pequeno desvio ou discrepância nos valores das razões de capacitâncias pode levar a erros significativos de fase e amplitude na resposta do filtro, que podem ser ainda maiores se o filtro não apresentar baixa sensibilidade à estas variações.

Este trabalho se propõe inicialmente desenvolver a metodologia de integração em tecnologia CMOS de filtros SC baseados na conexão em paralelo de seções passa-tudo. O trabalho deve incluir os resultados das simulações e das medidas experimentais do projeto implementado que mostram as propriedades de baixa sensibilidade e de testabilidade deste tipo de estrutura.

Para isto será realizado o projeto de integração de um filtro elíptico passa-baixas de quinta ordem com uma estrutura deste tipo, utilizando especificações típicas para aplicações na faixa de frequência de vídeo. Este projeto será implementado numa tecnologia CMOS 0.8 μ m *double poly, double metal* da AMS. Para isto será reformulada a síntese do filtro apresentada em [15] e desenvolvida toda a metodologia e o projeto otimizado de integração do mesmo. A metodologia de integração inclui a seleção das configurações de cada um dos componentes (capacitores, chaves, amplificadores) e do circuito inteiro procurando minimizar a sensibilidade do circuito às variações do processo e

minimizar a área e consumo de potência. Procurando também reduzir os efeitos negativos como os efeitos das capacitâncias parasitas, da injeção de carga e outros efeitos da integração que são considerados durante o projeto. Será realizado também o projeto do *layout* de cada um dos componentes e do filtro inteiro. Serão realizadas as simulações *pos-layout* dos componentes, de cada uma das partes e do filtro inteiro para a verificação do funcionamento adequado do circuito e das propriedades de baixa sensibilidade às variações das razões de capacitâncias, da propriedade de *lossless* e da propriedade de testabilidade. Finalmente serão verificadas experimentalmente, a partir dos protótipos fabricados, estas mesmas propriedades.

A tese está organizada da seguinte forma: no Capítulo 2 faz-se uma descrição dos métodos de projeto de filtros SC com ênfase no método baseado na conexão de passa-todos em paralelo. No Capítulo 3 são apresentadas a estrutura do filtro elíptico de quinta ordem e os resultados das simulações que verificam a sua baixa sensibilidade às variações dos coeficientes e ao ganho finito dos amplificadores. No Capítulo 4 é descrito todo o processo do projeto de integração do filtro e de cada um dos componentes separadamente, e os resultados das simulações *pos-layout* que verificam o projeto de integração. No Capítulo 5 se apresentam os *layouts* do circuito. No Capítulo 6 se apresenta o método de teste proposto neste trabalho para verificar o valor dos coeficientes da função de transferência, que é baseado na propriedade das seções passa-tudo de modificar a fase e não a amplitude do sinal. No Capítulo 7 são mostrados os resultados experimentais obtidos das medidas realizadas nos protótipos fabricados e uma análise destes resultados. Finalmente, no Capítulo 8 são apresentadas as conclusões do trabalho. No apêndice A aparece o procedimento de síntese da função de transferência das seções passa-tudo a partir das especificações do filtro. No apêndice B são mostradas fotografias que fornecem alguns detalhes do CI fabricado.

Capítulo 2

Filtros a Capacitores Chaveados

2.1. Introdução

Os processadores de sinais elétricos usualmente são divididos em duas categorias : *sistemas analógicos e sistemas digitais*. Um *sistema analógico* opera com sinais em forma de tensões, correntes e cargas as quais são funções *contínuas* de uma variável *contínua* no tempo. Exemplos de sistemas analógicos de processamento são os amplificadores de áudio, os filtro RC passivos e ativos, etc. Num *sistema digital* cada sinal é representado por uma seqüência de números e como estes números contêm um número finito de dígitos binários (*bits* quando codificados em forma binária) podem assumir só *valores discretos*. Estes números são os valores amostrados da amplitude do sinal em instantes discretos do tempo: no caso de um sinal digital as variáveis dependente e independente são discretas. Exemplos de sistemas digitais são um computador de propósito geral e um filtro digital usado na análise de voz.

Os circuitos considerados neste trabalho pertencem a uma categoria classificada entre as duas categorias descritas acima. Esta é a categoria de *sistemas analógicos amostrados*. Nestes sistemas os sinais são representados pela amplitude do sinal elétrico não codificada (normalmente tensão) como nos sistemas analógicos, mas esta amplitude do sinal é amostrada em instantes de tempo discretos como nos sistemas digitais. A importância desta última categoria de circuitos se deve às vantagens que oferece para ser integrada, em comparação com as outras categorias.

Para apreciar estas vantagens, consideremos inicialmente um circuito RLC. A presença de um indutor torna a fabricação de forma integrada deste circuito uma tarefa complexa, apesar dos avanços alcançados nesta área. Além disso, para aplicações de baixa frequência este circuito pode requerer valores elevados de indutância e capacitância, e portanto de tamanho grande. Uma forma de contornar este problema é usando circuitos ativos RC equivalentes, que não têm indutor e podem ser realizados de tamanho menor para uma ampla faixa de especificações. Embora a integração num *chip* MOS deste circuito seja factível (os amplificadores, capacitores, e resistores podem ser todos integrados) há algumas dificuldades práticas para a integração. Isto inclui a enorme área do *chip* necessária para os componentes RC e os requisitos de precisão e estabilidade destes componentes. As variações do processo tecnológico para a

fabricação destes componentes, podem levar a variações intoleráveis na posição dos pólos e zeros da função de transferência.

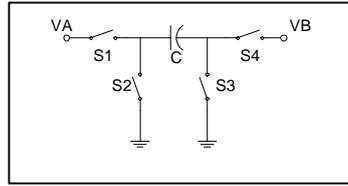


Fig. 2.1. Realização de um resistor a capacitor chaveado

Uma estratégia efetiva que pode solucionar os problemas de área e precisão é substituir cada resistor no circuito por uma combinação de um capacitor e várias chaves [16]. Considere o ramo mostrado na Fig. 2.1. Aqui as quatro chaves S_1 , S_2 , S_3 , e S_4 abrem e fecham periodicamente, e muito mais rápido do que a variação das tensões nos terminais V_A e V_B . As chaves S_1 e S_4 operam sincronamente, mas em fases opostas com S_2 e S_3 . Isto significa que quando S_2 e S_3 estão fechadas, S_1 e S_4 estão abertas e vice-versa. Quando S_2 e S_3 estão fechadas, C é descarregado. Após S_2 e S_3 serem abertas, e S_1 e S_4 fechadas, C é recarregado até a tensão $V_C = V_A - V_B$. Isto causa uma carga $q = C(V_A - V_B)$ que flui pelo ramo do capacitor. Se o ciclo de carga e descarga do capacitor C se repetir a cada T segundos (T é o período de chaveamento), então a corrente média que flui através do ramo será:

$$i_{m\u00e9dia} = \frac{q}{T} = \frac{C}{T}(V_A - V_B) \quad (2.1)$$

Daqui temos que a corrente $i_{m\u00e9dia}$ é proporcional à tensão do ramo $V_A - V_B$. Similarmente, para um ramo que contém um resistor a corrente do ramo seria $i = (1/R)(V_A - V_B)$. Se observa então que a corrente que flui em ambos ramos seria a mesma se $R = T/C$. Pode-se concluir que os resistores do circuito podem ser substituídos pelo circuito equivalente das chaves e o capacitor da Fig.2.1, e que o novo circuito vai realizar as mesmas funções do circuito com resistores.

Uma das maiores vantagens dos circuitos a capacitores chaveados (SC) (contém só amplificadores, chaves e capacitores) é que todas as constantes de tempo, anteriormente determinadas pelo produto RC , serão determinadas agora por expressões da forma $T(C_2/C_1)$. O período T do pulso de chaveamento é determinado por um circuito gerador de pulsos controlado por um cristal de quartzo que é altamente preciso e estável. O outro fator da constante de tempo é C_2/C_1 que é a razão de duas

capacitâncias MOS. Fazendo uso de algumas simples regras no *layout* destes elementos é possível obter uma precisão e estabilidade de ordem de 0.1% para a implementação desta razão. A precisão final neste caso é pelo menos mil vezes melhor do que a que pode ser alcançada usando resistores e capacitores integrados para a constante de tempo RC.

Um melhoramento significativo é também alcançado em termos da área do circuito integrado requerida pelos elementos passivos do circuito. Para ter uma constante de tempo na faixa de frequências de áudio (10krad/s), mesmo com uma capacitância grande como 10pF é necessária uma resistência de 10 MΩ. Este resistor ocupa uma área de $10^6 \mu\text{m}^2$ aproximadamente, que representa cerca de 10% da área de um *chip* médio. Por outro lado, para um período típico do *clock* de 10μseg, a capacitância que realiza um resistor de 10MΩ num circuito a SC é $C = T/R = 10^{-5}/10^7 = 10^{12} F = 1\text{pF}$. A área requerida para realizar esta capacitância é cerca de $2500\mu\text{m}^2$ ou somente 0.25% da área necessária ao resistor que ela substitui.

Há aplicações onde os sistemas em MOS de processamento analógico de sinais são competitivos ou inclusive superiores a outras implementações. A seguir se relacionam algumas das mais sobressalentes propriedades dos sistemas analógicos e se comparam com outras alternativas de realização.

- i) Nos circuitos SC os pólos e zeros dependem unicamente das razões de capacitâncias (e não dos valores absolutos), o que permite a realização de respostas altamente seletivas com boa precisão e estabilidade. A constante de tempo dos circuitos SC é proporcional ao período T da frequência de chaveamento. Como resultado, a resposta em frequência do circuito todo $H(f)$ pode ser escalada mudando a frequência de chaveamento $f_c = 1/T$. Mudando o valor de f_c pelo valor de $2f_c$ simplesmente estamos expandindo a curva de resposta horizontalmente por um fator de 2. Esta é uma forma de realizar ajustes de respostas em aplicações como osciladores controlados por tensão, filtros adaptativos, etc.
- ii) Como os circuitos SC trabalham com sinais analógicos, operações básicas como multiplicação, soma, atraso são muito mais simples de realizar do que nos sistemas digitais. Isto permite uma maior densidade de operações nos *chips* analógicos.

- iii) Devido à maior simplicidade das estruturas a capacitores chaveados e à menor área de silício ocupada, o requerimento de potência DC para uma determinada tarefa de processamento é significativamente menor para uma implementação a capacitores chaveados do que para uma digital.
- iv) Por outro lado, os circuitos SC têm uma precisão limitada pela precisão das razões de capacitâncias, e que é de cerca de 0.1%. Este valor é significativo para um sistema analógico, mas só corresponde a uma precisão de 10 bits com ponto - flutuante para um sistema digital. Para aplicações em que este valor é insuficiente, é necessário o uso de sistema digitais.
- v) Outro problema é a faixa dinâmica. Devido ao nível do ruído causado pelos amplificadores operacionais, as chaves, linhas de alimentação e da frequência de chaveamento, a faixa dinâmica (razão sinal/ruído) de um circuito a SC é inferior 100dB. Nos circuitos digitais este valor pode ser ultrapassado com o aumento do número de bits utilizados para codificar os coeficientes do filtro e as amostras dos sinais .

2.2. Filtros a Capacitores Chaveados

A mais comum aplicação dos circuitos SC é executar a filtragem dos sinais no domínio da frequência. Neste capítulo trataremos os princípios de projeto destes filtros e uma breve descrição dos dois métodos tradicionais de realização: *cascata* e *ladder*.

2.2.1. Projeto de Filtros na Forma Cascata

Fazendo uso dos integradores a capacitores chaveados é possível construir seções de filtros. Especial interesse tem a realização de seções com função de transferência biquadrática:

$$Y(z) = \frac{d_2 z^2 + d_1 z + d_0}{b_2 z^2 + b_1 z + 1} \quad (2.2)$$

Esta função de transferência pode ser realizada por um circuito SC de forma aproximada, derivada a partir da estrutura de um filtro RC ativo que realiza uma biquadrática, assumindo que $\omega T \ll 1$ para todas as frequências ω do sinal. Para isto determinamos a estrutura do filtro RC ativo e depois substituímos todos os resistores por ramos de capacitores e chaves, como na Fig. 2.1.

Também podemos realizar esta função na forma de uma seção SC de forma exata. Para isto derivamos a função de transferência exata $H(z)$ do circuito a SC a partir da função de transferência dos blocos e ramos que compõem o circuito, como integradores, atrasos, etc.. Ou seja, calculamos a função de transferência do circuito diretamente no domínio z .

Uma função de transferência $H(z)$ de ordem maior pode ser realizada usando este método fatorando o numerador e denominador em produtos de termos de segunda ordem:

$$Y_c(z) = \left(\frac{d_2' z^2 + d_1' z + d_0'}{b_2' z^2 + b_1' + 1} \right) \left(\frac{d_2'' z^2 + d_1'' z + d_0''}{b_2'' z^2 + b_1'' + 1} \right) \quad (2.3)$$

Uma propriedade desta estrutura é a configuração modular o que torna o projeto, a análise e o teste do circuito relativamente fácil. Tipicamente, a transformação bilinear $s-z$ [17] é usada para obter a função de transferência exata.

2.2.2. Filtros Ladder

Fazendo a conexão em cascata de módulos de primeira e segunda ordens, como vimos na seção anterior, em principio podemos realizar qualquer função de transferência $H(z)$. Na prática o circuito resultante é freqüentemente complexo para a fabricação de filtros muito seletivos e de ordem elevada. A razão disto é que nestes filtros a função de transferência $H(z)$ usualmente contem pólos muito próximos do circulo unitário. A resposta dos módulos que realizam tais pólos de alto fator de qualidade é muito sensível à variação dos valores dos elementos. Para tolerâncias típicas do processo de fabricação a resposta destes filtros é freqüentemente insatisfatória.

Técnicas alternativas de projeto podem ser utilizadas. A mais amplamente usada nestes casos é baseada na simulação da resposta de um circuito passivo duplamente terminado. Das várias técnicas desenvolvidas para se derivar um filtro SC a partir de um protótipo passivo, a mais amplamente usada é baseada em filtros ladder que utiliza simples aproximações, válidas para relações freqüência de chaveamento/freqüência do sinal muito grandes, ou seja, $\omega T \ll 1$ [16].

2.2.3. Filtro a Capacitores Chaveados Usando a Conexão em Paralelo de Seções Passa-Tudo

Ambos os métodos acima usam a transformação *lossless discrete integrator*(LDI) como o bloco principal que pode dar filtros SC ladder com boa característica de sensibilidade com relação às razões de capacitâncias. Tem sido mostrado, para filtros digitais e para filtros RC ativos, que para baixa sensibilidade na banda de passagem é suficiente que a função de transferência seja uma função limitada e a estrutura que realiza esta função seja estruturalmente passiva [14].

Nesta seção será considerada a realização de uma função de transferência $G(z)$ de ordem $M+N$ ímpar da forma,

$$G(z) = \frac{1}{2}[A_M(z) + A_N(z)] \quad (2.4)$$

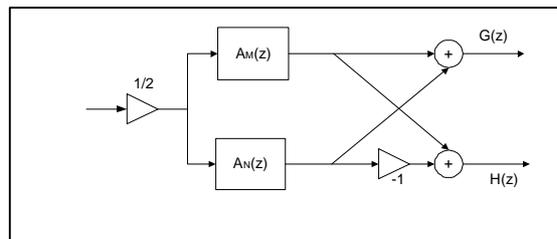


Fig.2.2. Realização da função de transferência usando estruturas passa-tudo em paralelo.

Como é ilustrado na Fig. 2.2, onde $A_M(z)$ e $A_N(z)$ são seções passa-tudo de ordens M e N respectivamente [14]. O filtro complementar em potência pode ser obtido subtraindo os sinais de saída das seções passa-tudo, ou seja,

$$H(z) = \frac{1}{2}[A_M(z) - A_N(z)] \quad (2.5)$$

O tipo de filtro depende da diferença entre as ordens M e N [14]. Podem ser implementados pares de filtros passa-baixas, passa-altas, passa-bandas, rejeita-banda com diferenças $M-N$ iguais a 1 ou 2, respectivamente. Cada uma das seções passa-tudo pode ser implementada como uma cascata de filtros passa-tudo de primeira e segunda ordens o que faz este método de síntese muito interessante pelo seu aspecto modular.

O procedimento de projeto de fitros na forma indicada na Fig. 2.2 é revista no apêndice A [17].

2.2.3.1. Transformação dos Pólos

A forma direta para a implementação de estruturas passa-tudo a SC é limitada para algumas aplicações por causa da elevada sensibilidade dos pólos (especialmente o ângulo dos pólos) da função de transferência. Esta situação ocorre na maioria dos métodos de projeto de filtros SC devido a que a frequência de chaveamento tem que ser muito maior do que a frequência dos sinais a serem processados.

A idéia para superar esta sensibilidade é implementar a função de transferência usando elementos acumuladores e elementos de atrasos. Com este fim, consideremos a transformação do polo,

$$z_p' = 1 - z_p \quad (2.5)$$

e a função de transferência passa-tudo de segundo ordem

$$A_2(z) = \frac{z^{-2} - b_1' z^{-1} + b_2'}{1 - b_1' z^{-1} + b_2' z^{-2}} \quad (2.7)$$

Expressando o denominador como

$$D(z) = (1 - z_p' z^{-1})(1 - (z_p')^* z^{-1}) \quad (2.8)$$

e substituindo z_p' nesta expressão chegamos a

$$D(z) = 1 - (2 - b_1)z^{-1} + (1 - b_2)z^{-2} \quad (2.9)$$

onde b_1 e b_2 estão relacionados com os parâmetros originais b_1' e b_2' por $b_1' = 2 - b_1$ e $b_2' = 1 - b_2$. A função de transferência $A_2(z)$ pode então ser escrita da seguinte forma

$$A_2(z) = \frac{z^{-2} - (2 - b_1)z^{-1} + 1 - b_2}{1 - (2 - b_1)z^{-1} + (1 - b_2)z^{-2}} \quad (2.10)$$

ou

$$A_2(z) = \frac{1 + (b_1 z^{-1} - b_2)/(1 - z^{-1})^2}{1 + (b_1 z^{-1} - b_2 z^{-2})/(1 - z^{-1})^2} \quad (2.11)$$

Esta última expressão mostra explicitamente os elementos acumuladores necessários para sua implementação. Uma estrutura que realiza esta função é mostrada na Fig. 3.1b [14] usando dois elementos acumuladores $1/(1 - z^{-1})$, três atrasos, dois somadores e os novos parâmetros a_1, a_2, k_1 , e k_2 que se relacionam com b_1 e b_2 por

$$b_1 = k_1 k_2 a_1, \quad b_2 = k_1 k_2 a_2 \quad (2.12)$$

A Fig. 3.1b mostra a implementação SC.

Esta não é a única síntese possível da estrutura com elementos acumuladores, já que podem ser obtidas outras decomposições de (2.11), o que levaria a outras implementações. Foi escolhida esta estrutura porque contém um número mínimo de fases e de amplificadores.

Em [14] se mostra que nesta implementação a sensibilidade dos pólos é muito menor do que a implementação direta em (2.7). Na forma direta a sensibilidade dos pólos aumenta ao quadrado da frequência de chaveamento o que faz com que esta forma seja viável somente para baixas frequências de chaveamento.

Com estas estruturas passa-tudo podemos construir diferentes filtros. O primeiro passo do projeto do filtro é atribuir os pólos da função de transferência às correspondentes seções passa-tudo [17]. O próximo passo é a realização das seções passa-tudo junto com o somador de saída. Estes e outros detalhes do processo de projeto são encontrados em [14].

Capítulo 3

Projeto de um Filtro Elíptico Passa-Baixas de Quinta Ordem

Nesta seção será derivada a estrutura de um filtro elíptico passa baixas de quinta ordem SC usando seções passa-tudo ligadas em paralelo, e será verificada a sua baixa sensibilidade aos erros das razões de capacitâncias. Deve-se observar que estas seções passa-tudo são projetadas diretamente no domínio z sem qualquer referência à síntese no domínio contínuo. Além disso a função de transferência permanece passa-tudo independente dos erros nas razões de capacitâncias que realizam os coeficientes do filtro. São, portanto, seções estruturalmente passa-tudo.

A seção passa-tudo de primeira ordem foi projetada e a seção de segunda ordem foi melhorada incorporando ao processo de projeto um algoritmo de otimização com o objetivo de minimizar o efeito do ganho finito dos amplificadores [18].

3.1. Seções Passa-Tudo de Primeira e Segunda Ordens

A seção passa-tudo de primeira ordem usada aqui foi derivada usando o método da transformação dos pólos apresentada acima. A função de transferência da seção de primeira ordem $A_1(z)$ é

$$A_1(z) = \frac{z^{-1} - a'}{1 - a'z^{-1}} \quad (3.1)$$

e a transformação do polo é

$$a' = 1 - a \quad (3.2)$$

Fazendo a substituição chegamos a

$$A_1(z) = \frac{z^{-1} - (1-a)}{1 - (1-a)z^{-1}} = \frac{-1 + a/(1-z^{-1})}{1 + az^{-1}/(1-z^{-1})} \quad (3.3)$$

A realização SC de (3.3) é obtida usando um elemento acumulador implementado com um integrador LDI como mostra a Fig.3.1a, e tem uma função de transferência $z^{-3/2}A_1(z)$ quando a entrada e a saída são amostradas nas fases 2 e 1, respectivamente. De forma similar, podemos chegar à estrutura do passa-tudo de segunda ordem da Fig. 3.1b e sua função de transferência $z^{-1/2}A_2(z)$, com

$$A_2(z) = \frac{z^{-2} - (2 - a_1 k_1 k_2) z^{-1} + 1 - a_2 k_1 k_2}{1 - (2 - a_1 k_1 k_2) z^{-1} + (1 - a_2 k_1 k_2) z^{-2}} \quad (3.4)$$

Observe que o parâmetro a no numerador e denominador de (3.3) é realizado pela mesma razão de capacitâncias na Fig.3.1a. Observação semelhante pode ser feita para (3.4) com respeito aos parâmetros $a_1, a_2, k_1,$ e k_2 . Como resultado do uso de elementos acumuladores, a sensibilidade dos pólos com a variação dos coeficientes da função de transferência é muito baixa, inclusive para pequenos ângulos dos pólos. Conseqüentemente, o requerimento de $\omega T \ll 1$ é não necessário para a estrutura proposta, e o produto ωT pode assumir valores mais elevados com o propósito de aliviar as especificações e pre-filtragem e pos-filtragem, sem incremento da sensibilidade do filtro.

O efeito do ganho finito dos amplificadores é significativamente reduzido pela presença do capacitor auxiliar C' na realimentação dos amplificadores OA2 na Fig. 3.1a, OA5 na Fig.3.1b e OA0 na Fig.3.2, que garante a transferência de carga da entrada para a saída independentemente do ganho do amplificador operacional, tornando o erro inversamente proporcional ao quadrado do valor do ganho em DC [14].

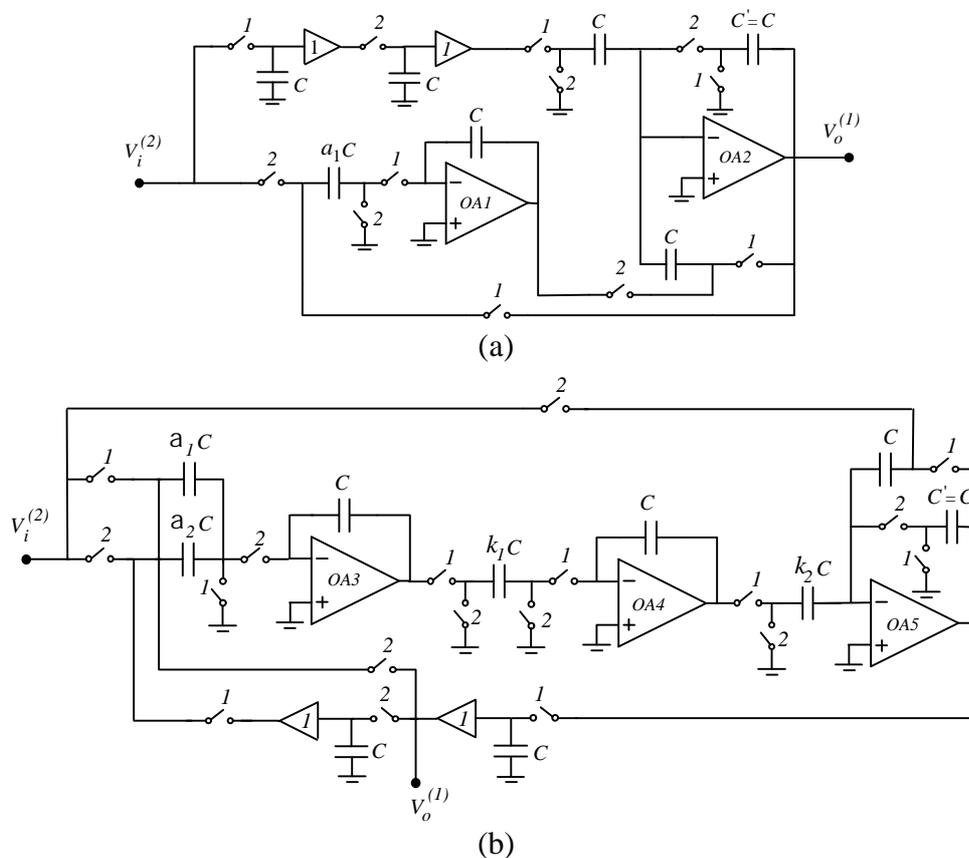


Fig. 3.1. Circuitos passa-tudo de primeira(a) e segunda (b) ordens.

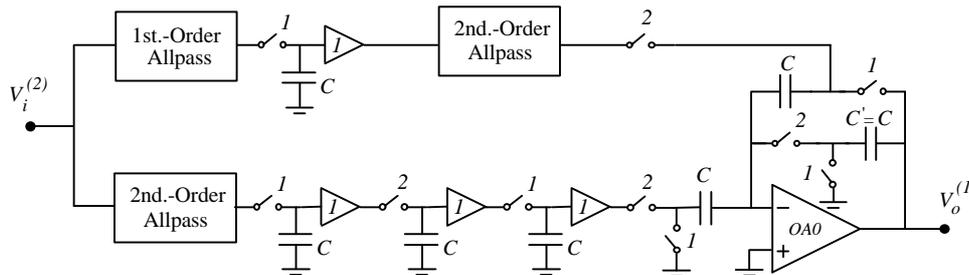


Fig. 3.2. Diagrama em blocos do filtro passa baixas de quinta ordem proposto.

3.2. Resultados da Simulação

Foi projetado um filtro elíptico passa baixas de quinta ordem com as seguintes características:

- frequência de corte de 3.4 MHz,
- ripple na banda de passagem menor do que 0.1dB,
- frequência de rejeição de 4.5 MHz,
- atenuação mínima na banda de rejeição de 30 dB[18].

O diagrama em blocos da estrutura resultante é apresentado na Fig.3.2. Observe que as duas seções passa-tudo de segunda ordem trabalham em fases complementares. O diagrama completo pode ser obtido substituindo os blocos passa-tudo pelos correspondentes circuitos mostrados na Figs. 3.1a, 3.1b. Dois circuitos *sample and hold* foram adicionados no caminho inferior para compensar o atraso extra de $z^{-3/2}$ associado com a função de transferência do passa-tudo de primeira ordem. Um algoritmo de otimização foi incorporado ao projeto da seção passa-tudo de segunda ordem de forma tal que em cada iteração os parâmetros k_1 e k_2 são ajustados com o objetivo de reduzir os efeitos do ganho finito dos Amplificadores OA3 e OA4, mantendo os valores da dispersão das capacitâncias dentro de limites pre-definidos. Os coeficientes otimizados para minimizar o efeito do ganho finito dos amplificadores são apresentados na Tabela 3.1. O filtro proposto usa somente duas fases e é praticamente insensível a capacitâncias parasitas.

Tabela 3.1. Valores otimizados dos coeficientes do filtro passa baixas de quinta ordem.

Coeficiente	Seção de primeira ordem	Seções de segunda ordem	
		superior	Inferior
A	0.662	----	----
a_1	----	0.963	0.624
a_2	----	0.100	0.252
K_1	----	0.582	0.879
K_2	----	2.50	2.50

Para conferir o projeto do filtro foram feitas simulações usando o programa de análise de circuitos amostrados descrito em [26]. Os resultados das simulações são mostrados nas Figs 3.3, 3.4 [18]. O eixo horizontal está normalizado para a frequência de chaveamento de 18 MHz. A Fig.3.3 apresenta a distorção na resposta em frequência quando o ganho dos amplificadores é igual a 1000 e a banda de passagem é infinita. Observe que a resposta em frequência da estrutura proposta é próxima da resposta em frequência do projeto ideal (quando os ganhos dos amplificadores são infinitos), mostrando desta forma a eficácia do projeto do circuito passa-tudo de primeira ordem e do procedimento de otimização dos valores dos coeficientes da seção de segunda ordem.

A Fig.3.4 mostra a distorção da resposta em frequência na banda de passagem devido a um erro de 1% nas razões de capacitâncias. Observe que nos pontos de maior ganho a sensibilidade é praticamente zero, devido às seguintes características: 1) as seções passa-tudo de primeira e segunda ordens são estruturalmente passivas; 2) o somador de saída pode ser realizado com alta precisão porque usa razões de capacitâncias unitárias, que podem ser implementadas com uma precisão de até 0.05% [18].

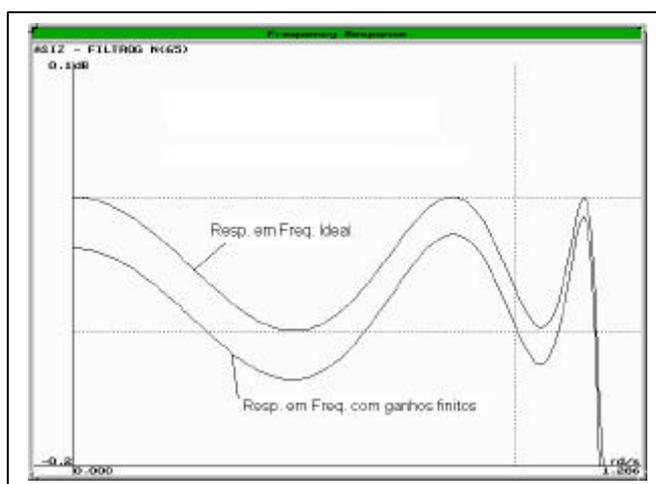


Fig. 3.3. Distorção da resposta em frequência devido ao uso de amplificadores com ganho finito.

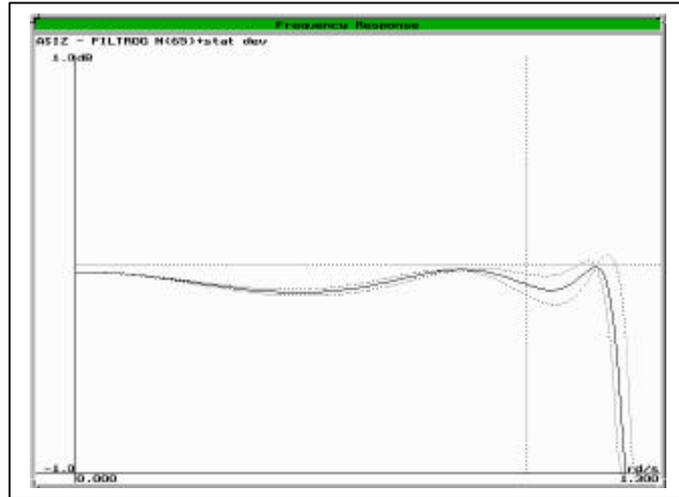


Fig. 3.4. Análise da sensibilidade do filtro às variações das razões das capacitâncias.

Capítulo 4

Projeto do Circuito Integrado CMOS

As propriedades desta estrutura, como a baixa sensibilidade às variações dos coeficientes, permitem uma realização eficiente de forma monolítica deste circuito. O circuito do filtro SC é formado basicamente por amplificadores, chaves e capacitores, além de circuitos auxiliares como inversores, fontes de corrente de polarização; todos estes componentes podem ser implementados com tecnologia CMOS.

Nesta seção serão tratadas as particularidades do projeto do circuito integrado do filtro usando uma tecnologia CMOS.

4.1. Tecnologia e Componentes do Circuito

Para projetar um circuito integrado o projetista tem que ter conhecimentos de como os componentes do circuito são feitos, em contraste com os projetos de circuitos realizados com componentes discretos, onde podem ser usados componentes disponíveis comercialmente conhecendo somente as características técnicas, sem necessidade de saber como foram feitos nem como eles são por dentro. O primeiro processo de fabricação usado para fazer *chips* comerciais foi o processo *bipolar*, chamado assim pelo uso dos transistores bipolares como elemento principal. O processo bipolar é usado até hoje com significativa *performance* em termos de velocidade. Mas para circuitos VLSI o tamanho e o consumo de potência limitam seu uso. A maioria dos circuitos VLSI são feitos usando tecnologia MOS. O primeiro processo de fabricação usado para fazer *chips* MOS foi o processo *PMOS*, chamado assim porque todos os transistores no *chip* eram *pMOS*. Depois foi usado o processo *NMOS* no qual todos os transistores eram *nMOS*, e a maior mobilidade dos elétrons comparados com os buracos consegue velocidades de operação maiores. Ao mesmo tempo foi desenvolvido o processo CMOS (*complementary* MOS) no qual existem no mesmo *chip* transistores *pMOS* e *nMOS*. Este processo dá maior flexibilidade ao projeto do circuito e reduz a dissipação de potência nos circuitos digitais. Este é o processo dominante na atualidade. Nesta seção daremos ênfase ao processo *CMOS* com poço tipo *n* que será o processo usado em nosso trabalho.

4.1.1. Transistor MOS

Transistores MOS feitos com um processo CMOS são mostrados nas Figs 4.1a e 4.1b. Na Fig. 4.1a é mostrada a vista superior e na Fig. 4.1b a seção transversal obtida a partir de um corte horizontal no meio da Fig. 4.1a. Nestas figuras as regiões de igual condutividade (tipo p ou tipo n), mas de diferentes níveis de *doping* (alto e baixo), são separadas por linhas descontínuas. Os limites entre regiões de tipos opostos e entre materiais diferentes são indicados por linhas sólidas. O *substrato* é tipo p e os componentes n MOS podem ser formados diretamente nele. Os componentes p MOS têm que ter um substrato (*body*) tipo n e não podem ser formados diretamente no substrato. As regiões separadas tipo n formadas no substrato para abrigar os componentes p MOS são chamadas de poços (*wells ou tubs*). Por esta razão este processo é referido como processo com poço tipo n (*n-well*). O corpo dos transistores p MOS é conectado através de uma região n^+ ao poço n , para garantir um bom contato ôhmico. O corpo dos transistores n MOS é conectado através de uma região p^+ , a parte posterior do *wafer* pode ser usado também para estes contatos.

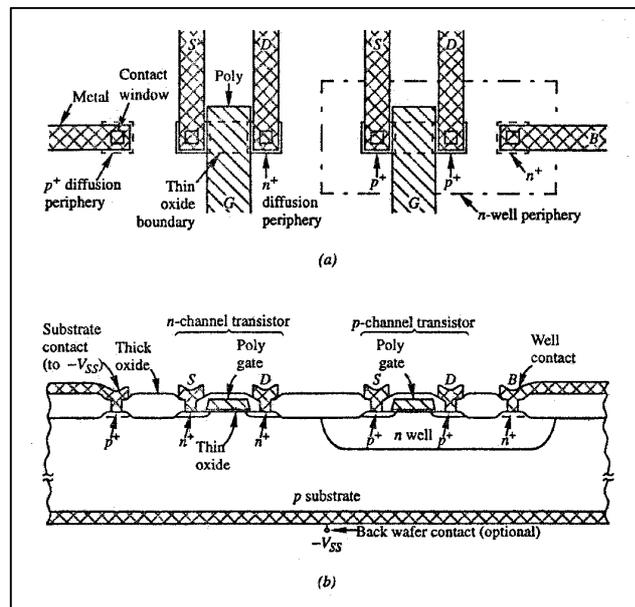


Fig. 4.1. Transistores em um processo CMOS com poço tipo-n.
(a) Vista superior; (b) Seção transversal.

O material mais comum para o *gate* é o *polisilício*. Embaixo do *gate* encontramos o *óxido* fino que pode ser mais ou menos grosso. Linhas de metal são usadas para realizar os contatos através de janelas de contatos que são buracos abertos através do óxido espesso para permitir ao metal contatar a região desejada.

Para garantir que nenhuma junção *pn* formada pelo substrato e as várias regiões *n* fiquem polarizadas diretamente, o substrato é conectado à tensão mais negativa do circuito.

Dependendo das características geométricas do transistor, largura (*W*) e comprimento (*L*) do canal há diversas formas usadas para fazer o seu *layout*. Para razões *W/L* não muito grandes usamos a forma direta de implementação. Para razões *W/L* muito grandes o transistor pode ser decomposto em *n* subcomponentes ligados em paralelo e cada um deles tem uma razão *W/L* *n* vezes menor do que a do transistor original [19]. Esta forma de *layout* reduz a área e a capacitância de junção, em comparação com o *layout* na forma direta.

4.1.2. Capacitores MOS

A vista superior de um capacitor de placas paralelas é mostrada na Fig. 4.2. O valor da capacitância sem as capacitâncias parasitas é dado por $C = AC'$, onde *A* é a área total da placa superior sobre a camada de óxido e *C'* é a capacitância por unidade de área. O isolador (óxido) dos capacitores geralmente é mais grosso do que o óxido do *gate* dos transistores. Isto melhora o casamento devido ao fato de que as flutuações das características do óxido grosso serem menores. Valores típicos para *C'* são de 0.6 a 1.2 fF/μm².

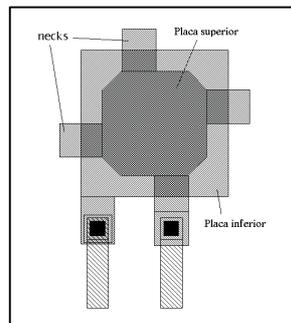


Fig. 4.2. Vista superior de um capacitor de placas

Uma forma muito popular para fazer os capacitores na tecnologia CMOS é quando a placa inferior é feita de polysilício. Na tecnologia *double-poly* que tem disponíveis dois níveis de *poly*, a placa superior pode também se feita de polysilício. Em outro caso a placa superior pode ser de metal. Um óxido grosso de alta qualidade tem que ser formado como isolador antes da placa superior ser formada.

Duas capacitâncias parasitas estão associadas à capacitância principal. A principal delas é a que fica entre a placa inferior e o substrato. O valor desta capacitância pode ser de 10% da capacitância principal. Este valor é aumentado pela capacitância das linhas de metal usadas para fazer o contato da placa inferior. A isto se adiciona a capacitância das linhas de metal usadas para contactar a placa superior com o substrato.

O capacitor da Fig. 4.2 é susceptível a interferências. Qualquer sinal de “ruído” no substrato pode ser transferido para o capacitor através das capacitâncias parasitas. Também, qualquer variação de tensão na placa inferior do capacitor pode ser transferida para o substrato e através dele a outros componentes do *chip*. Esta comunicação entre o substrato e o capacitor poder ser um sério problema. O capacitor pode ser isolado do substrato por um poço tipo *n* embaixo dele, que pode ser conectado a um potencial DC “limpo”. Isto é uma importante técnica para reduzir o ruído do substrato.

A precisão absoluta para estas estruturas de capacitores pode ser tipicamente de $\pm 10\%$, principalmente pelas variações do óxido grosso isolador, mas as razões de capacitâncias pode ser muito precisas (de 0.1% a 1%). Também os coeficientes de temperatura e tensão são menores para as razões de capacitâncias do que para as capacitâncias individuais. Para garantir o nível de precisão na implementação das razões de capacitores temos que fazer uso de algumas técnicas de *layout* que discutiremos a seguir.

Seja o erro sistemático Δl do tamanho da placa superior introduzido pelo processo de fabricação [21]. Para simplificar assumimos que este erro é o mesmo no perímetro de cada capacitor, e que não tem flutuações na geometria dos lados, nem variações do óxido isolador no *chip*. Se Δl é muito menor do que as dimensões da placa superior teremos um erro de área de $\Delta A \approx P \cdot \Delta l$. O erro relativo de área será $\Delta A/A \approx (P/A)\Delta l$. Isto significa que para capacitores de diferentes dimensões o erro relativo será o mesmo se a razão perímetro/área (P/A) é a mesma [21,22].

Outra técnica amplamente usada para implementar razões inteiras de capacitâncias é através da conexão em paralelo de conjuntos de capacitores unitários, ou seja capacitores idênticos ao menor capacitor. Neste caso, para eliminar os efeitos das variações de capacitâncias em diferentes direções, os capacitores unitários são colocados alternados em todas as direções. O ambiente nas fronteiras de cada capacitor deve ser igual para evitar diferenças nas condições de fabricação. Para isto são

adicionados os chamados capacitores *dummy* a uma distância igual à que existe entre os capacitores. A forma escolhida para implementar os capacitores é de preferência quadrada porque apresenta a menor razão perímetro /área o que minimiza o efeito das flutuações aleatórias dos lados.

A realização de capacitores por capacitores menores é uma prática comum. O valor mínimo do capacitor unitário é decidido baseando-se nas condições tecnológicas e experimentais, de maneira que se garanta uma precisão aceitável para as razões de capacitâncias e a injeção de carga. O uso de capacitores unitários pode ser estendido para razões não inteiras de capacitâncias.

Quando se trata de um banco de capacitores o *layout* é feito simetricamente nas duas direções, sendo esta estrutura conhecida como *centróide comum*. Esta estrutura pode cancelar os efeitos dos gradientes do processo e desta forma melhorar a precisão das razões, mas também em alguns casos pode requerer conexões extras, o que complica o *layout*, ocupa maior área do *chip*, e adiciona elementos parasitas indesejáveis. Esta estrutura portanto, não é sempre usada, especialmente quando o banco de capacitores não é muito grande.

Para corrigir as variações da capacitância por causa de deslocamentos da máscara da placa superior do capacitor, são adicionados os *necks* nesta placa (ver Fig 4.2).

Quando a razão de capacitâncias não pode ser realizada com números inteiros de capacitores e com suficiente precisão, ou quando têm que se usar números grandes de capacitores para realizar esta razão, pode se seguir a estratégia de usar números não inteiros de capacitores. Neste caso, serão ligados capacitores unitários em paralelo com a adição de mais um capacitor retangular, não unitário, com um valor entre 1 a 2 vezes o valor do capacitor unitário. Se L_0 é o comprimento do lado do capacitor unitário quadrado, L_1 e L_2 são os comprimentos dos lados do capacitor retangular não unitário e $I + N$ e a razão não inteira, onde I é um inteiro, então fazendo a razão área/perímetro igual a $I + N$ tem-se que as dimensões do capacitor não unitário podem ser calculadas pelas seguintes expressões [22]:

$$L_1 = NL_0 + [NL_0^2(N-1)]^{1/2} \quad (4.1)$$

$$L_2 = NL_0^2/L_1 \quad (4.2)$$

4.2. Coeficientes do Filtro e Razões de Capacitores

O processo de projeto do circuito integrado deve começar determinando os valores dos capacitores que realizam os coeficientes e os valores dos restantes capacitores que participam do circuito. Nesta seção serão determinados os valores destes capacitores.

Num circuito SC os valores dos coeficientes da estrutura são determinados pelas razões de capacitâncias. Neste caso os valores dos coeficientes das seções passa-tudo, apresentados na Tabela 3.1, são determinados pelas razões de capacitâncias destas estruturas. Na seção anterior foram descritas técnicas para realizar as capacitâncias integradas, formadas por um número de capacitores unitários ligados em paralelo. Desta forma tem que se determinar a razão de números de capacitores unitários que realizam com suficiente precisão os valores dos coeficientes.

Os valores dos coeficientes do filtro da Tabela 3.1 são os valores otimizados com relação aos ganhos finitos dos amplificadores. Estes valores, entretanto, não garantem, para o exemplo utilizado, uma implementação ótima do circuito em relação à área dos capacitores que realizam os coeficientes e o consumo do circuito. O primeiro passo neste sentido é determinar os novos valores dos coeficientes da estrutura partindo do critério de otimização da área e consumo do circuito integrado, e para se obter uma baixa dispersão (a diferença entre a menor e maior capacitância) nos valores das capacitâncias, sem fugir das especificações originais do projeto. Para isto são recalculados os valores dos coeficientes, tendo em conta a relação entre os coeficientes fornecida em (2.12). Uma implementação prática dos coeficientes é para os valores $k_1 = 1$ e $k_2 = 1$. Para estes valores os coeficientes restantes tomam os valores que são mostrados na Tabela 4.1.

Tabela 4.1. Novos valores dos coeficientes

Coeficiente	Seção de primeira Ordem	Seção de segunda ordem	
		Superior	Inferior
a	0.662	----	----
a_1	----	1.4	1.37
a_2	----	0.145	0.554
k_1	----	1	1
k_2	----	1	1

Os resultados das simulações do filtro feitas para estes novos valores dos coeficientes são mostrados nas Figs 4.3, 4.4 e 4.5. Nas Figuras 4.3 e 4.4 aparecem as respostas em frequência do filtro passa baixas e as respostas em frequência na banda de passagem para os valores dos coeficientes das Tabelas 3.1 e 4.1. A Fig. 4.5 apresenta a

análise da sensibilidade do filtro para um desvio de até 1% das razões de capacitâncias para os coeficientes da Tabela 4.1.

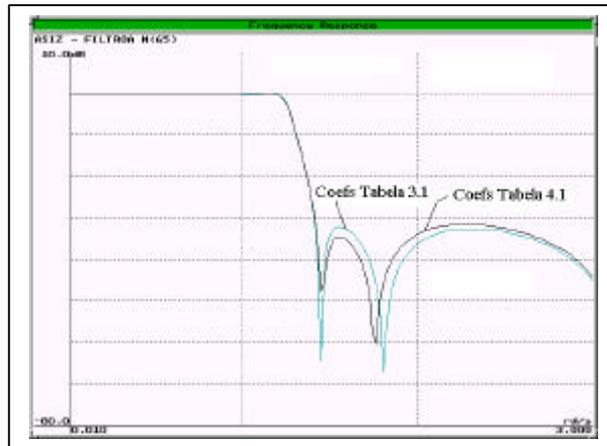


Fig. 4.3. Respostas em frequência do filtro para os valores dos coeficientes das Tabelas 3.1 e 4.1.

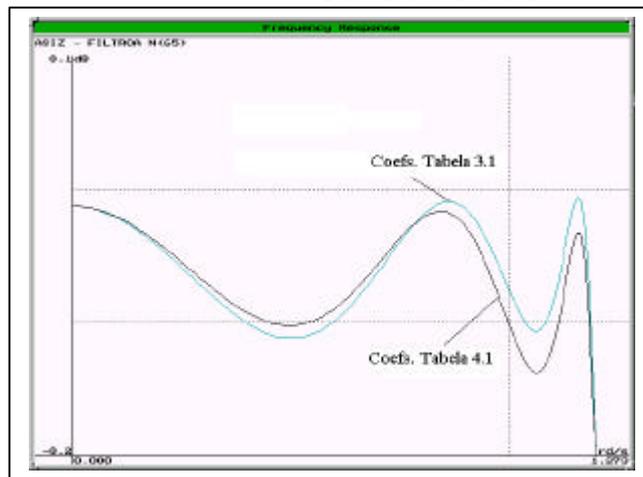


Fig. 4.4. Banda de passagem do filtro para os valores dos coeficientes das Tabelas 3.1 e 4.1.

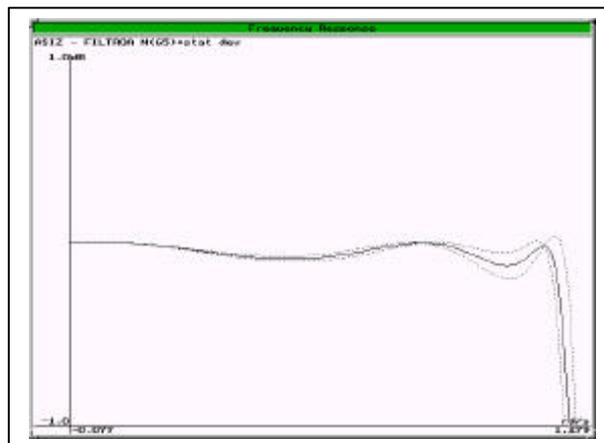


Fig. 4.5 Análise de sensibilidade às variações das razões de capacitâncias na banda de passagem para os coeficientes da Tabela 4.1.

Cada capacitância é realizada por um número de capacitores unitários conectados em paralelo, de tal forma que a soma de todas as capacitancias unitárias é igual ao valor da capacitância requerida. Desta forma o problema passa a ser, determinar o número de capacitores unitários que realizam estas razões e o valor da capacitância do capacitor unitário. Para o capacitor unitário foi usado um capacitor de 0.1pF, que é o valor mínimo de capacitância unitária que pode ser usada no processo CMOS com comprimento do canal de 0.8µm, para implementar razões com suficiente precisão e com um valor da injeção de carga que possa ser desprezível.

A seguir apresentamos diversas razões de capacitores que realizam os coeficientes da Tabela 4.1 e algumas considerações práticas.

Tabela 4.2. Realização do coeficiente $a = 0.662$ da seção passa-tudo de primeira ordem.

Razão C_1/C_2	2/3	25/38	31/47
Valor da Razão	0.6667	0.6579	0.6596
êrro, %	0.7049	-0.6201	-0.3664

Como se pode observar na Tabela 4.2, um erro aceitável na realização do coeficiente a da seção passa-tudo de primeira ordem é conseguido para a razão 31/47. Isto significa que para implementar este coeficiente tem se que usar 31+47 capacitores unitários. Este valor resulta em um número elevado de capacitores unitários o que ocuparia uma grande área no CI . Para implementar este coeficiente com suficiente precisão e uma área menor, temos que usar números não inteiros de capacitores unitários. Neste caso o coeficiente a pode ser realizado da seguinte forma:

$$a = 0.662 = \frac{0.331}{0.5} = \frac{2 \times 0.1 + 0.131}{5 \times 0.1}$$

Isto significa que o coeficiente é implementado usando dois capacitores unitários de 0.1pF, mais um capacitor não unitário de 0.131pF no numerador e cinco capacitores unitários de 0.1pF no denominador.

Semelhante análise pode ser feita para os outros coeficientes levando em conta que as razões a_1 e a_2 de cada seção têm em comum o capacitor do denominador (capacitor da realimentação do amplificador, ver Figs. 3.1 e 3.2) , ou seja, o mesmo capacitor faz parte das duas razões, e portanto, tem-se que usar um mesmo valor para calcular estas razões, o que obriga ainda mais a usar valores muito grandes de capacitores unitários, como mostramos abaixo.

Os coeficientes $a_1 = 1.37$ e $a_2 = 0.554$ da seção passa-tudo de segunda ordem do

caminho inferior podem ser realizados como,

$$a_1 = 1.37 = \frac{1370}{1000}, \quad a_2 = 0.554 = \frac{554}{1000},$$

ou, utilizando números inteiros menores,

$$a_1 = 1.37 \approx \frac{37}{27}, \quad a_2 = 0.554 \approx \frac{15}{27},$$

Para os coeficientes $a_1 = 1.4$ e $a_2 = 0.145$ da seção passa-tudo de segunda ordem do caminho superior, tem-se

$$a_1 = 1.4 = \frac{1400}{1000}, \quad a_2 = 0.145 = \frac{145}{1000}$$

ou

$$a_1 = 1.4 = \frac{70}{50}, \quad a_2 = 0.145 \approx \frac{7}{50}$$

Da análise destes resultados pode ser visto que as razões que realizam determinados coeficientes são formadas por números grandes de capacitores unitários o que significaria maior área a ocupar para a realização dos coeficientes no circuito integrado, e também levaria a especificações mais exigentes para os amplificadores quanto à rapidez, tamanho e consumo. Na Tabela 4.3 aparecem os erros de realização dos coeficientes .

Tabela 4.3. Realização dos coeficientes das seções passa-tudo de segunda ordem com números inteiros de capacitores unitários.

Coeficiente	Valor do coef.	Razão	Valor da Razão	Êrro, %
a_1	1.4	70/50	1.4	0
a_2	0.145	7/50	0.14	3.44
a_1	1.37	37/27	1.3703	-0.021
a_2	0.554	15/27	0.5555	-0.18

Assim como foi feito para a seção passa-tudo de primeira ordem, temos:

$$a_1 = 1.37 = \frac{13.7}{10} = \frac{12+1.7}{10}, \quad a_2 = 0.554 = \frac{5.54}{10} = \frac{4+1.54}{10},$$

mostrando que o coeficiente a_1 é realizado por doze capacitores unitários e mais um capacitor não unitário 1.7 vezes maior do que o capacitor unitário no numerador, e dez capacitores unitários de 0.1pF no denominador. O coeficiente a_2 é realizado por

quatro capacitores unitários mais um de valor 1.54 vezes maior, e os mesmos dez capacitores da realimentação no denominador. De forma similar para os coeficientes do caminho superior tem-se:

$$a_1 = 1.4 = \frac{14}{10}, \quad a_2 = 0.145 = \frac{1.45}{10},$$

Agora, a_1 é realizado por quatorze capacitores unitários para o numerador e dez capacitores unitários de 0.1pF para o denominador, e o coeficiente a_2 é realizado por um capacitor não unitário 1.45 vezes maior, com os mesmos dez capacitores unitários no denominador. Como podemos ver, desta forma o número de capacitores utilizados para realizar as razões de capacitâncias é muito menor, e conseqüentemente, menor a área a ser ocupada no circuito integrado, e menor capacitância de carga dos amplificadores.

Os coeficientes k_1 e k_2 com valores unitários são implementados com razões unitárias. Os demais capacitores do circuito que formam parte de células de atraso e que não necessitam muita precisão para sua implementação são realizados com capacitâncias unitárias de 0.1pF. Na Tabela 4.4 apresentamos a realização final dos coeficientes do filtro.

Tabela 4.4. Realização final dos coeficientes do filtro.

Coeficiente	Valor do coef.	Razão de capacitâncias
a	0.662	$(2+1.31) / 5$
a_1	1.4	$14 / 10$
a_2	0.145	$1.45 / 10$
a_1	1.37	$(12+1.37) / 10$
a_2	0.554	$(4+1.54) / 10$
k_1	1	$1 / 1$
k_2	1	$1 / 1$

4.3. Amplificadores

Para a realização dos amplificadores usamos o amplificador operacional de transcondutância (OTA) em configuração de cascode regulado que garante bom desempenho, ou seja, valores altos de ganho em DC e banda de passagem elevada. O circuito do OTA utilizado é apresentado na Fig. 4.6

A operação deste circuito é a seguinte. A corrente I_P do dreno de M13 polariza os transistores do par diferencial com correntes iguais a $I_P/2$. Os transistores M3 e M4 do espelho de corrente são casados e proporcionam correntes de polarização I_{b5}

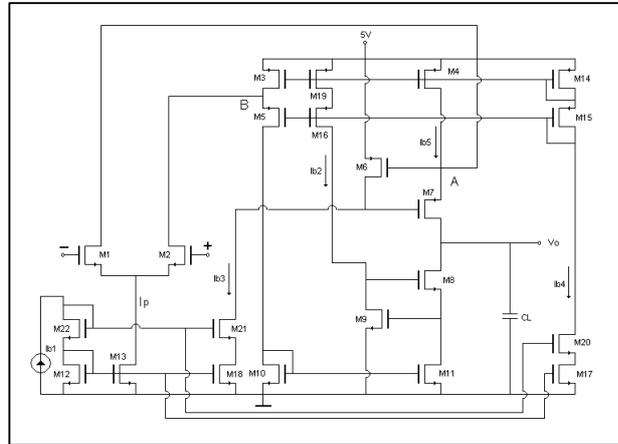


Fig. 4.5. Circuito do OTA com cascode regulado.

iguais para os nós A e B. Desta forma, os transistores M5 e M7 são polarizados com correntes iguais a $I = I_{b5} - I_P/2$. A tensão diferencial de entrada ($\Delta V_{in}^+, \Delta V_{in}^-$) aplicada nas portas (*gates*) dos transistores do par diferencial M1 e M2 provoca uma variação da corrente do dreno destes transistores igual a $\pm \Delta I_P = \pm g_{m1} \Delta V_{in} / 2$. Desta maneira, como a corrente de M3 e M4 permanece invariável, a corrente através de M5 e M7 varia em $\pm \Delta I_P$. O espelho de corrente M10/M11 transfere a mudança de corrente em M5 para M11 e M8. Assim, temos que na saída do amplificador aparecerá uma variação de corrente de $g_{m1} \Delta V_{in}$. No circuito das Figs. 3.1 e 3.2 os OTAs aparecem ligados em forma de *buffer* e em forma de amplificadores - somadores.

Os amplificadores foram dimensionados de acordo com a carga capacitiva e o tempo de estabilização do sinal na saída, determinado pela frequência de chaveamento do circuito. No filtro aparecem 8 (oito) valores diferentes de cargas capacitivas nas saídas dos amplificadores, de onde se conclui que seriam necessários oito amplificadores de diferentes dimensões, um para cada carga. Para simplificar o processo de projeto podemos nos limitar a projetar um número menor de amplificadores, considerando apenas quatro tipos de amplificadores para os seguintes valores de carga capacitiva: 0.1pF (*buffers* de atraso), 0.5pF, 1pF, e 20pF (*buffers* de saída).

As dimensões dos transistores dos amplificadores foram determinadas usando o programa [23] que faz o cálculo dos parâmetros W e L de cada transistor a partir da capacitância de carga e o tempo de estabilização, e fazendo algumas considerações para simplificar a operação. Usamos comprimento de canal mínimo ($L=0.8\mu\text{m}$) e no outros transistores o comprimento do canal foi dobrado para diminuir os efeitos de canal estreito e da modulação do canal. A Tabela 4.5 apresenta as dimensões dos transistores dos diversos amplificadores.

Tabela 4.5 Valores dos parâmetros W e L para os transistores dos amplificadores usados no circuito.

Transistor	OTA 01		OTA 05		OTA 1		OTA 20	
	W, μm	L, μm						
M1, M2	4.4	1.6	21	1.6	126	1.6	230	1
M3, M4	31	1.6	150	1.6	900	1.6	1150	1
M5	8.6	0.8	37.2	0.8	222	0.8	460	0.8
M6	4.1	1.6	7.5	1.6	45	1.6	115	1.6
M7	8.6	0.8	37.2	0.8	222	0.8	460	0.8
M8,M10,M11	3.7	0.8	13.2	0.8	77.1	1.6	160	0.8
M9	2.6	1.6	2.6	1.6	15.6	1.6	32	1.6
M13	11	1.6	60	1.6	300	1.6	460	1
M14	3.7	1.6	14.4	1.6	86.4	1.6	115	1
M15	3.7	1.6	14.4	1.6	86.4	1.6	115	1
M16	3.7	1.6	7.2	1.6	43.2	1.6	58	1
M17	2.4	1.6	6	1.6	36	1.6	44	1
M18	2.2	1.6	4.2	1.6	25.2	1.6	22	1
M19	3.7	1.6	7.2	1.6	43.2	1.6	58	1
M20	2.4	1.6	6	1.6	36	1.6	44	1
M21	2.2	1.6	4.2	1.6	25.2	1.6	22	1

Na Tabela 4.6 e nas Figs 4.7 a 4.10 são apresentados os resultados das simulações feitas no simulador do CADENCE (Spectre) com os parâmetros extraídos de cada OTA para determinar características no domínio do tempo, resposta em frequência de módulo e fase, característica em DC, e resposta transiente.

Tabela 4.6. Características de cada amplificador do circuito.

Parâmetro	Unidade	Condições Típicas				Piores Condições			
		OTA01	OTA05	OTA 1	OTA20	OTA 01	OTA 05	OTA 1	OTA20
Carga	pf	0.1	0.5	1	20	0.1	0.5	1	20
Ganho DC	dB	95.4	96.5	95.9	93.7	95.4	97	97.2	98.2
Excursão do sinal	V	2.2	2.2	2.1	1.93	2	22	1.52	2.1
Margem de fase	graus	68.5	67.5	46.5	83.9	60.1	61.1	40.1	81.8
Offset	mV	11	10	8	9	3	4	1	5
Bandwidth	kHz	1.75	1.61	4.78	1.05	1.4	1.22	3.27	0.45
GBW	MHz	103	107.5	297.1	51.5	81.2	86.25	235.6	40.7
Slew rate	V/ns	0.18	0.25	0.65	0.086	0.17	0.22	0.56	0.084
Rise time	ns	8.7	6.5	2.5	18.5	9.35	7.1	2.85	18.97
Tempo de est.	ns	14.4	10.85	6.2	28.5	15.3	12.4	7.65	30.1
Potencia dissip.	mW	0.4	1.78	13	21.2	0.4	1.81	11.7	21

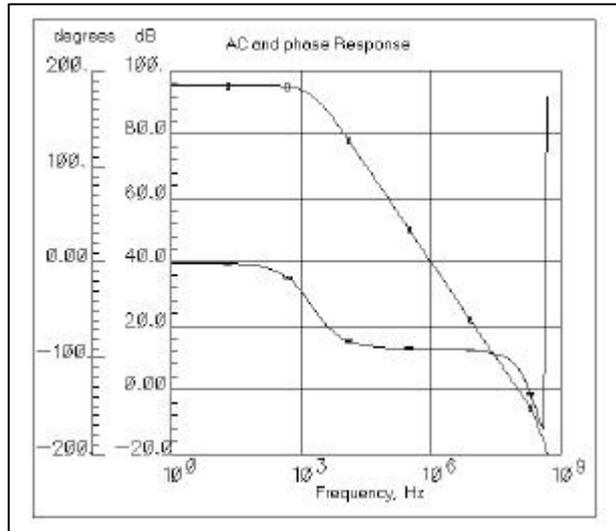


Fig. 4.7a. Resposta em frequência do OTA01.

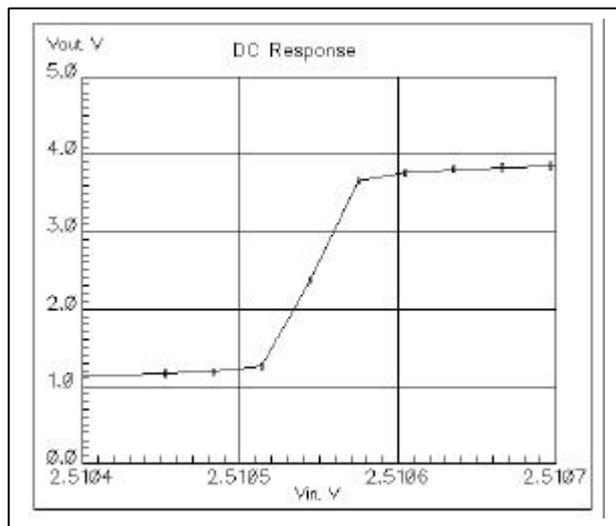


Fig. 4.7b. Resposta em DC do OTA01.

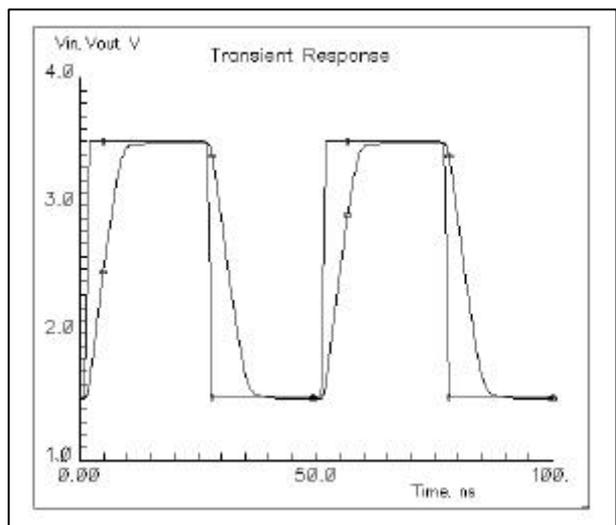


Fig. 4.7c. Característica transiente do OTA01.

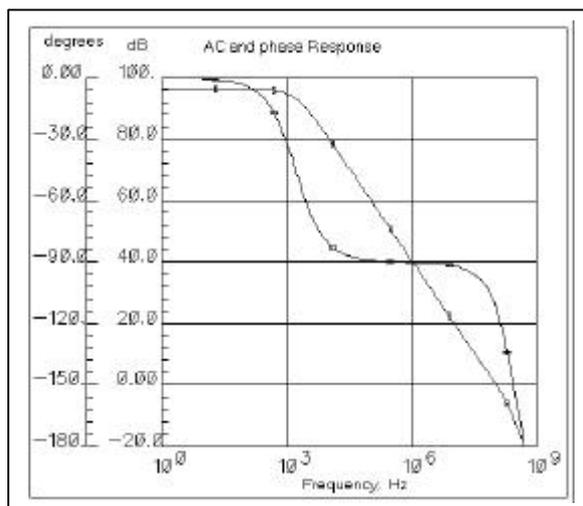


Fig. 4.8a. Resposta em frequência do OTA05.

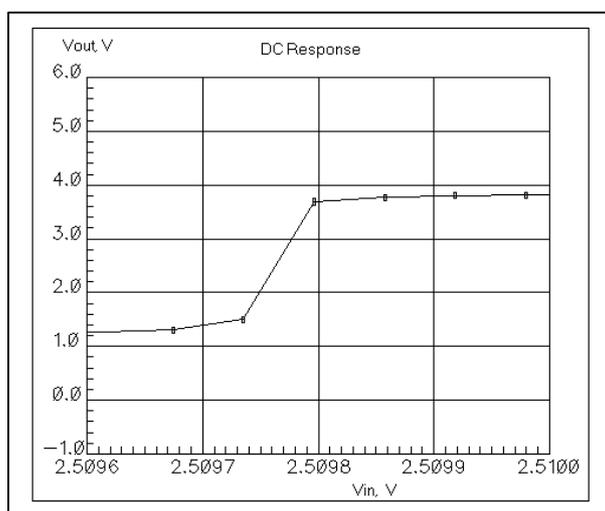


Fig. 4.8b. Resposta em DC do OTA05.

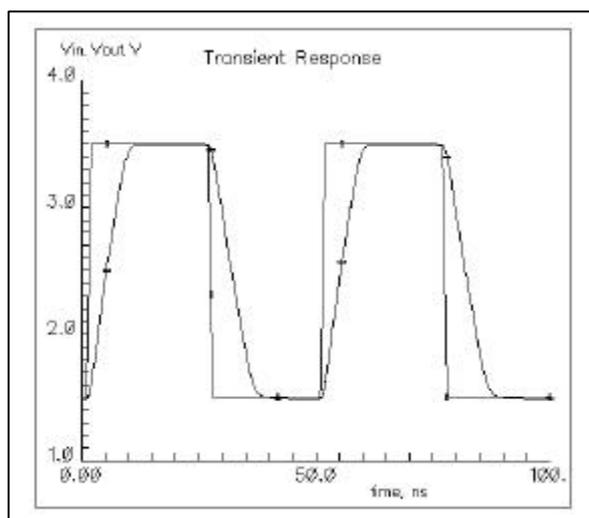


Fig.4.8c. Característica transiente do OTA05.

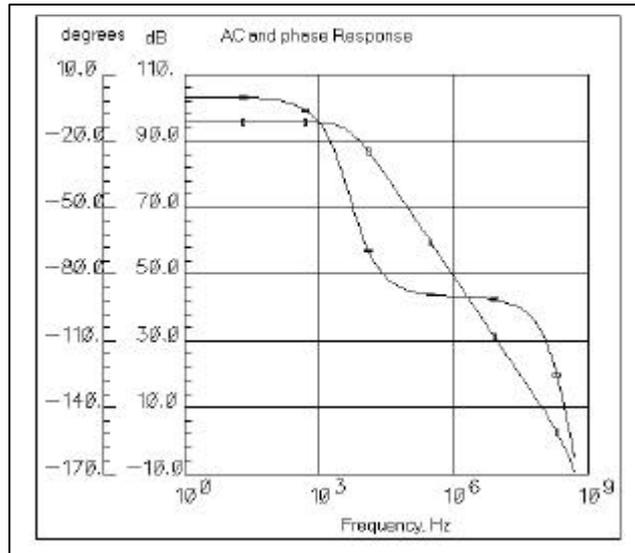


Fig. 4.9a. Resposta em frequência do OTA1.

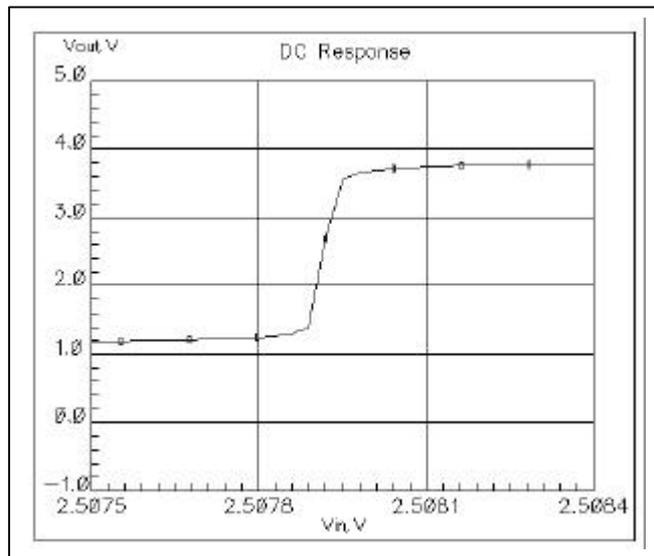


Fig. 4.9b. Resposta em DC do OTA1.

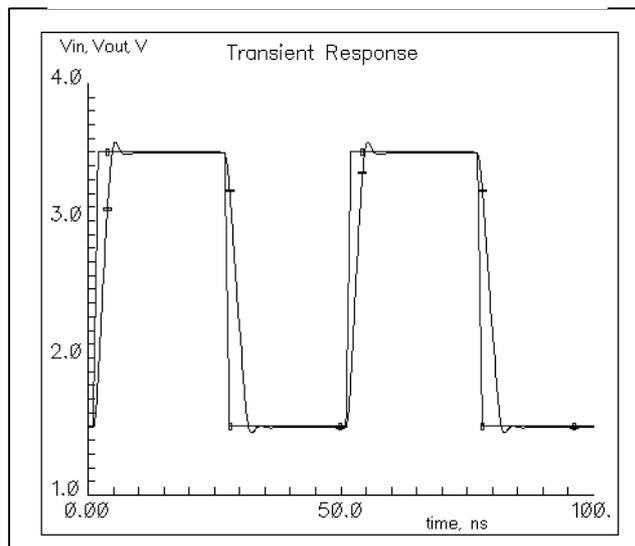


Fig. 4.9c. Característica transiente do OTA1.

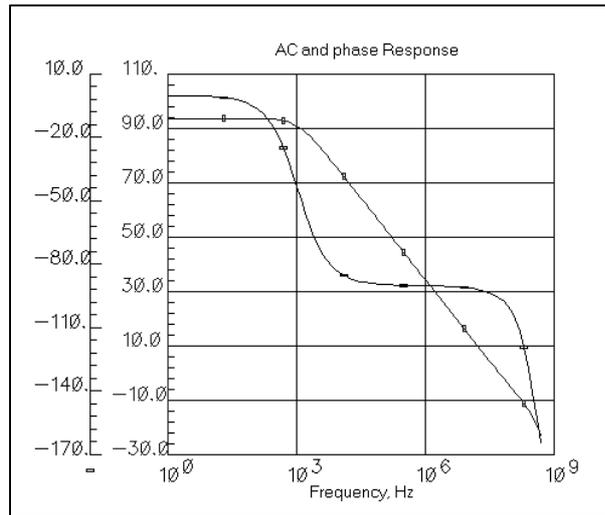


Fig. 4.10a. Resposta em frequência do OTA20.

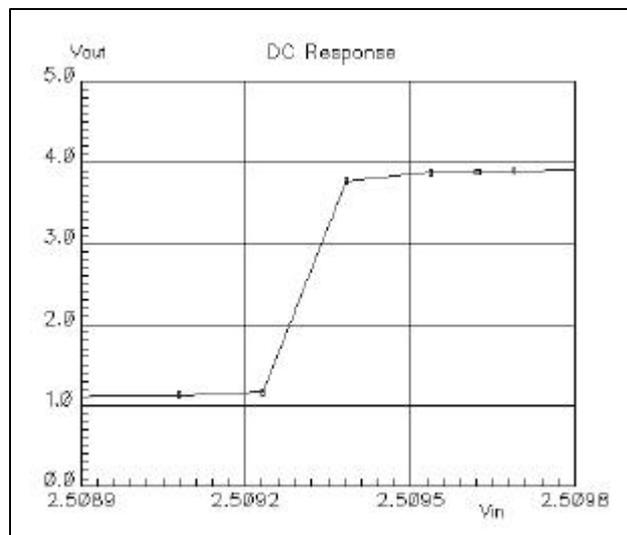


Fig. 4.10b. Resposta em DC do OTA20.

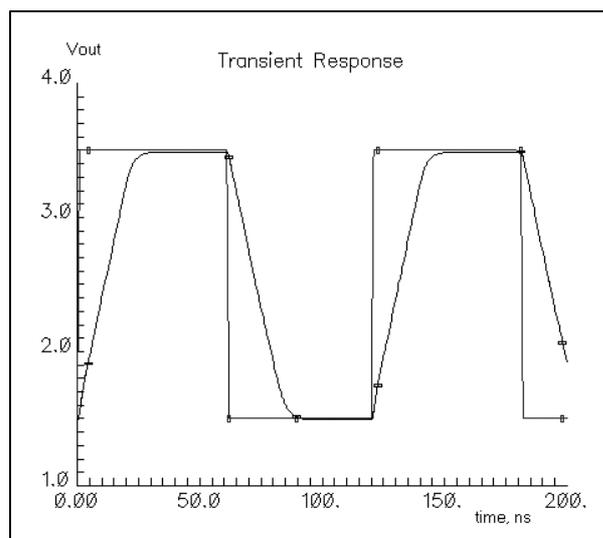


Fig. 4.10c. Característica transiente do OTA20

4.4. Chaves

Para reduzir os efeitos da injeção de carga (*clock feedthrough*) e aumentar a faixa dinâmica das chaves, usamos dois transistores MOS complementares ligados em paralelo e com transistores *dummy*. O circuito é mostrado na Fig 4.11.

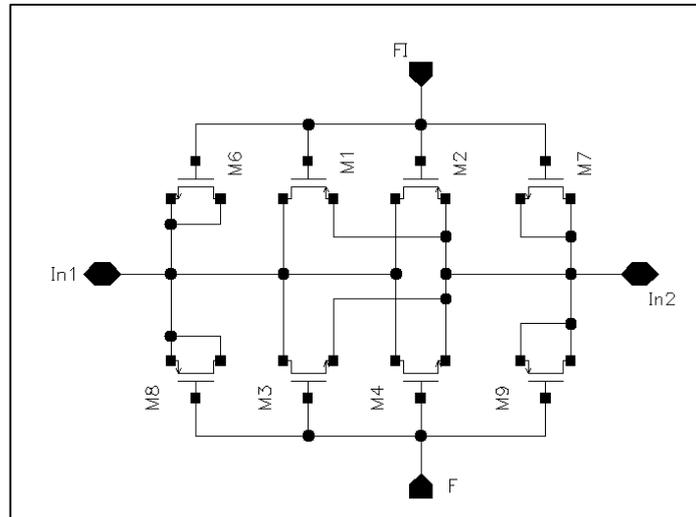


Fig. 4.11. Circuito das chaves

O dimensionamento dos transistores foi feito tendo em conta o valor da carga capacitiva das chaves e o tempo de estabilização do sinal. Como no caso dos amplificadores, o número de chaves de dimensões diferentes foi reduzido a dois para simplificar o processo de projeto. Os dois tipos de chaves e suas dimensões são mostradas na Tabela 4.7. Nas Figs. 4.12 e 4.13 são mostrados os resultados das simulações para determinar a resistência dinâmica, a injeção de carga, e a característica de transiente das chaves.

Tabela. 4.7 Dimensões dos transistores das chaves.

Transistor	Chave01		Chave05	
	W, μm	L, μm	W, μm	L, μm
M1 - M8	2	0.8	7	0.8

4.5. Inversores

Fazendo parte do circuito SC se encontram também os inversores de sinais. Estes são usados para realizar a inversão dos pulsos das fases que controlam as chaves do filtro SC. Utilizamos um circuito de dois transistores como é mostrado na Fig. 4.14. O resultado da simulação do funcionamento do inversor é apresentado na Figura 4.15.

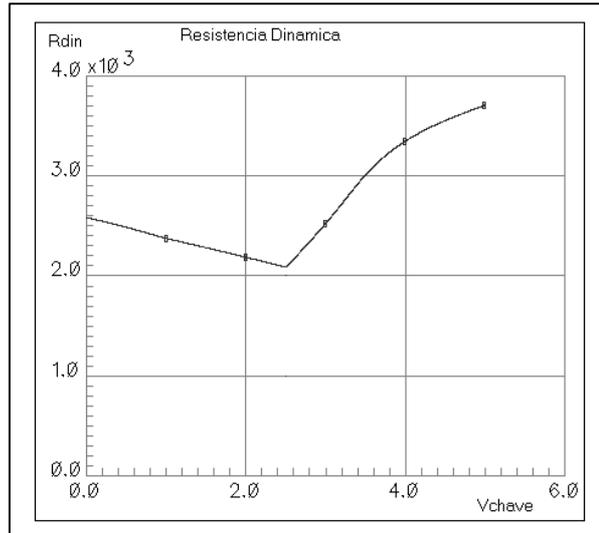


Fig. 4.12a Resistência dinâmica da chave01

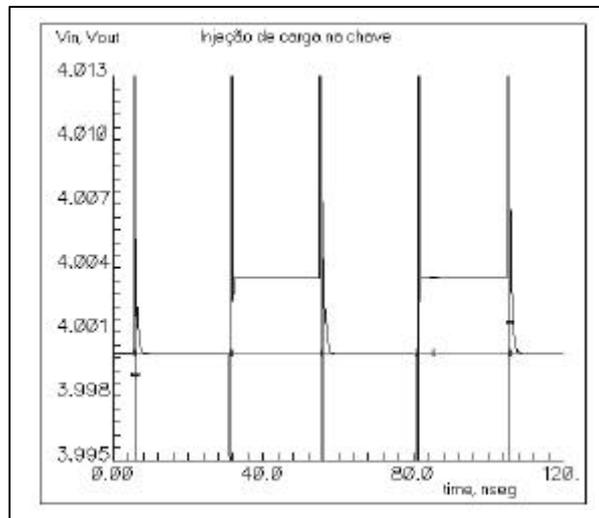


Fig. 4.12b. Injeção de carga da chave01.(4mV)

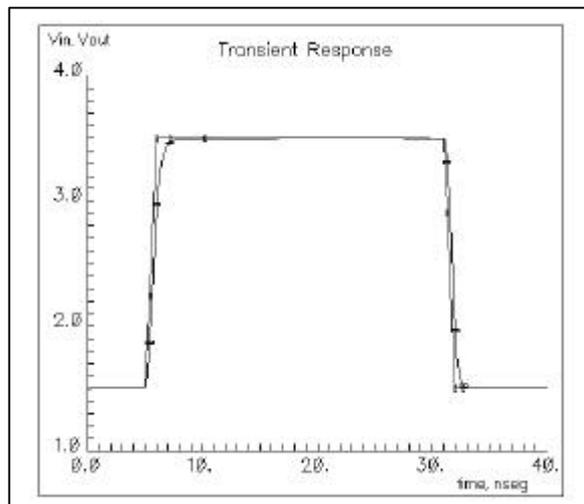


Fig. 4.12c. Resposta transiente da chave01

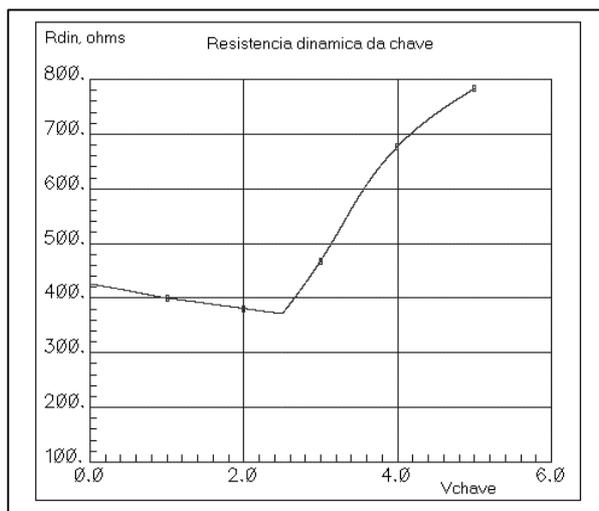


Fig. 4.13a. Resistência dinâmica chave05

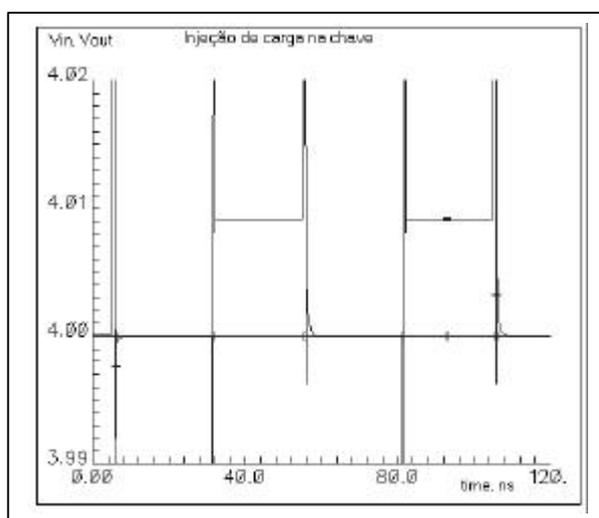


Fig. 4.13b. Injeção de carga da chave05.(9mV)

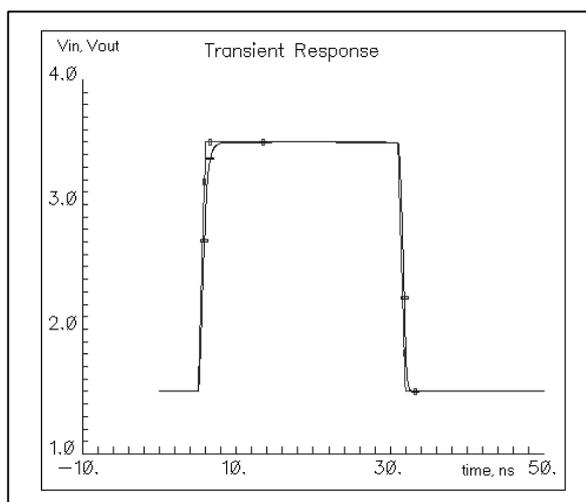


Fig. 4.13c. Resposta transiente da chave05

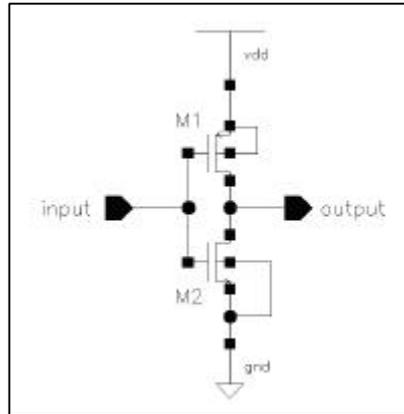


Fig. 4.14. Circuito do inversor

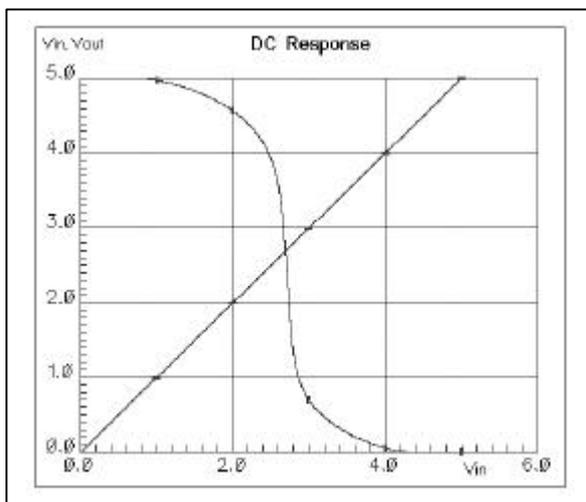


Fig. 4.15a. Resposta em DC do inversor.

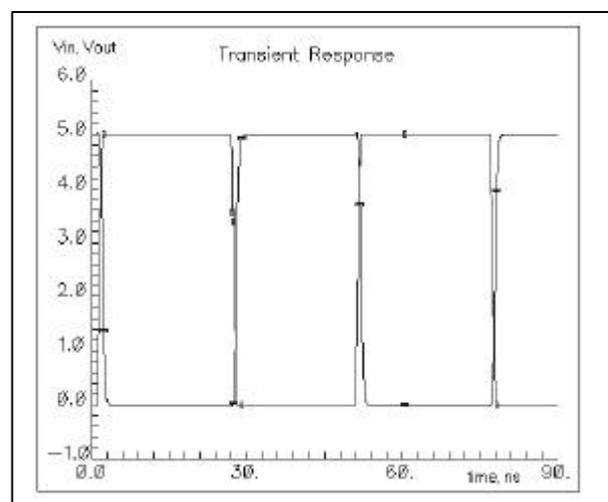


Fig. 4.15b. Resposta transiente do inversor.

4.6. Fontes de corrente de polarização.

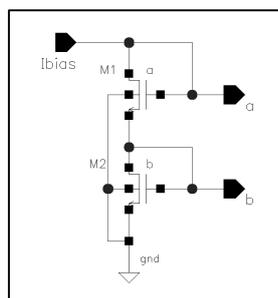


Fig 4.16. Fonte de polarização.

O circuito integrado do filtro usa várias fontes de corrente de polarização, todas elas com uma configuração de espelhos de correntes. Os valores das correntes de polarização são de $I_{bias} = 300\text{mA}$ para os OTA01 e OTA05, de $I_{bias} = 900\text{mA}$ para os

OTA1, e de $I_{bias} = 450\mu A$ para os *buffers* de saída. Os transistores dos espelhos de correntes foram dimensionados tendo em conta as relações das correntes de polarização do circuito e as dimensões dos transistores dos espelhos. Na Tabela 4.8 são apresentadas as dimensões dos transistores dos espelhos.

Tabela 4.8. Dimensões dos transistores dos espelhos de corrente

Transistor	Fonte 300 μA		Fonte 900 μA	
	W, μm	L, μm	W, μm	L, μm
M1, M2	100	1.6	300	1.6

4.7. Simulações do Filtro

Para conferir o funcionamento do circuito foram feitas simulações dos seus diferentes blocos separadamente e do circuito completo do filtro após o *layout*, ou seja, utilizando os parâmetros extraídos. Detalhes do *layout* serão mostrados no próximo capítulo. Primeiramente serão mostrados os resultados das simulações das seções passado de primeira e segunda ordens (Figs 4.18 e 4.19) e logo após apresentamos os resultado da simulação do filtro completo. As simulações foram realizadas no simulador *Spectre*. Na Fig. 4.17 é mostrado o circuito do filtro, com a indicação dos pontos de tomada de sinal que identifica as curvas apresentadas. Nas Figs 4.18, 4.19 e 4.20 são mostradas as formas dos sinais nos diferentes pontos do circuito quando aplicamos na entrada um sinal senoidal de uma frequência de 1MHz (dentro da banda de passagem do filtro) com uma amplitude de 0.5V. Observe que, em todas essas curvas as respostas estabilizam dentro de cada intervalo das fases, de acordo com os resultados das simulações dos componentes (amplificadores, chaves) mostradas nas seções anteriores.

Como se pode observar, em particular, a amplitude da senóide na saída filtro completo (ver Fig.4.20c) é duas vezes maior do que a de entrada, o que foi previsto teoricamente, uma vez que não foi implementado o fator divisor por 2 (dois) da Fig. 2.1, e na faixa de passagem as senóides de saída dos passa-tudo $A_M(z)$ e $A_N(z)$ estão praticamente em fase.

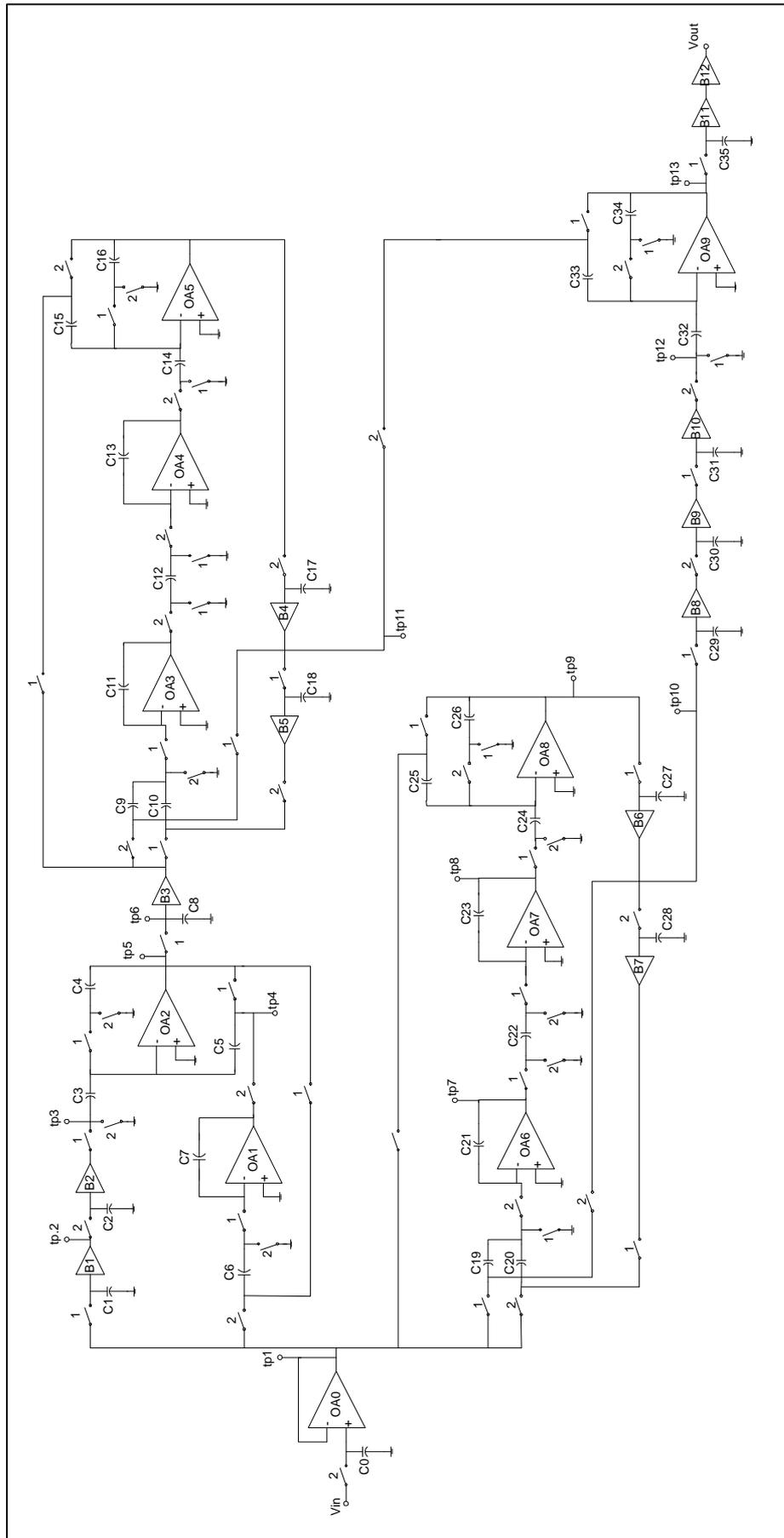


Fig. 4.17. Indicação dos pontos de tomada de sinal durante as simulações do filtro.

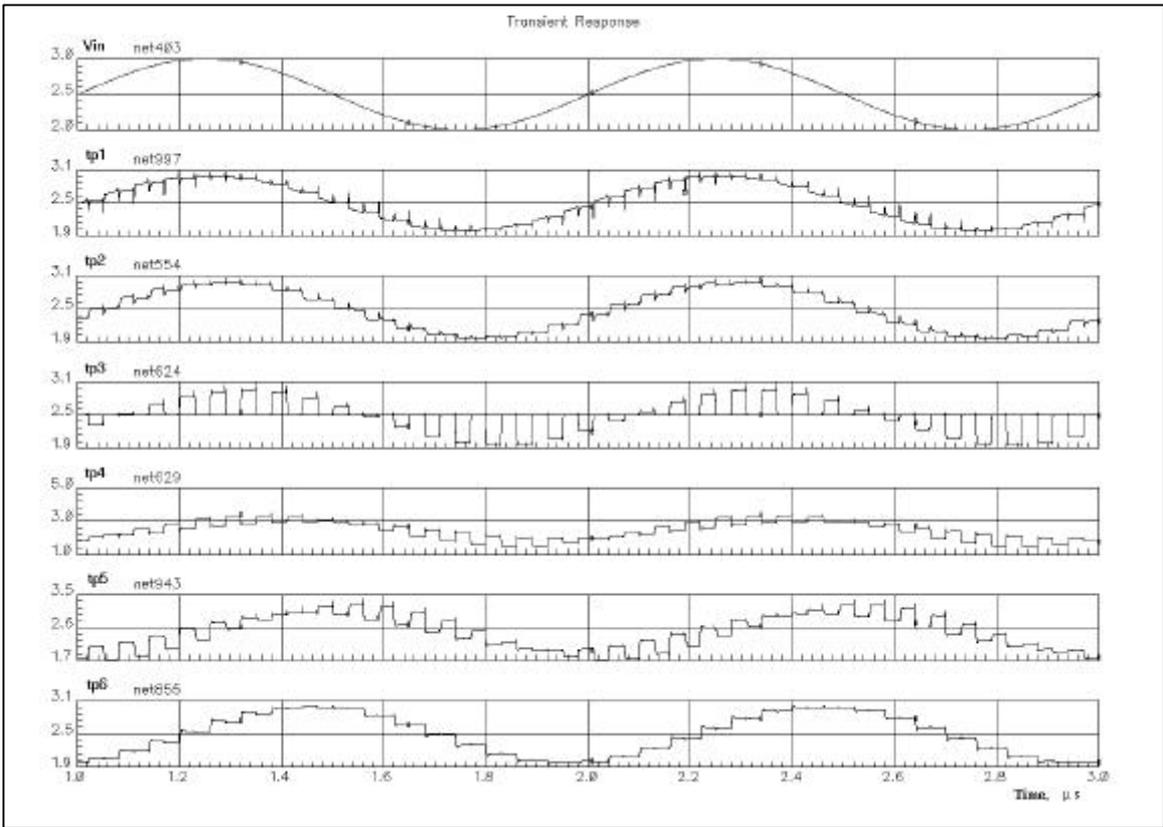


Fig. 4.18a. Resultados da simulação da seção passa-tudo de primeira ordem.

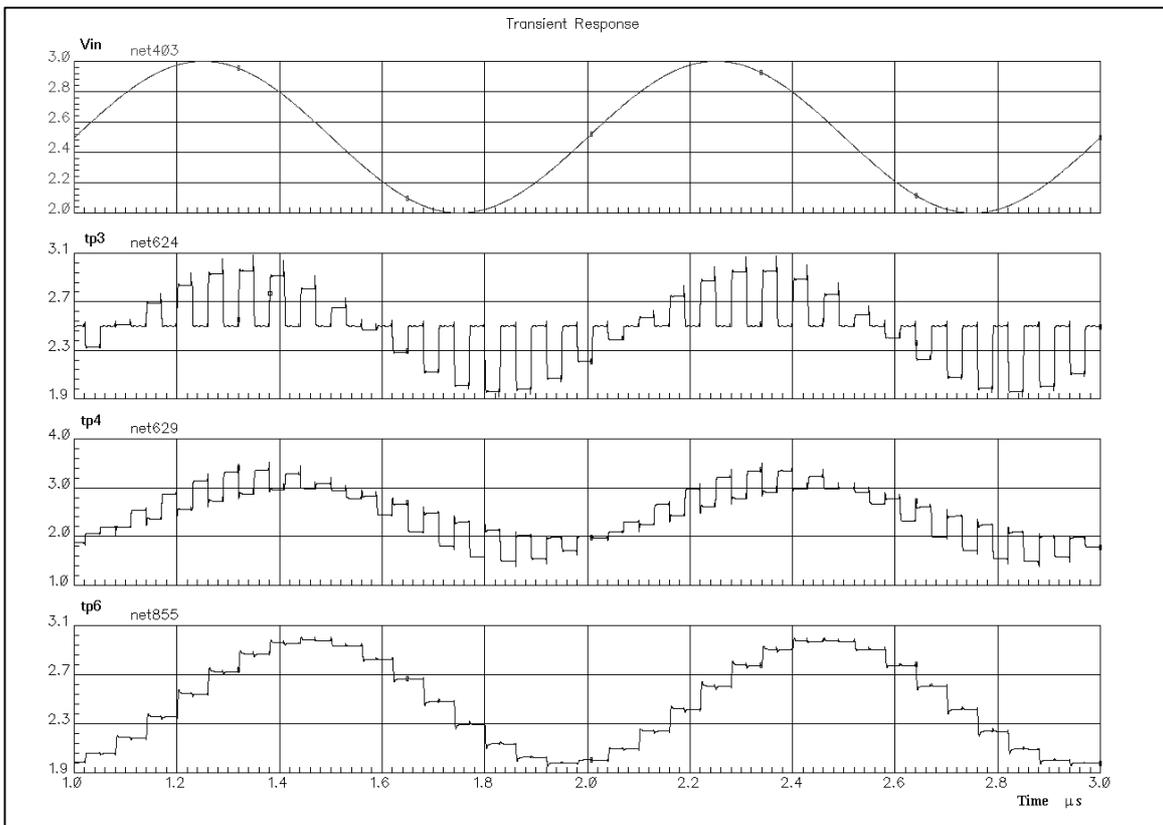


Fig.4.18b. Resultados da simulação da seção passa-tudo de primeira ordem.

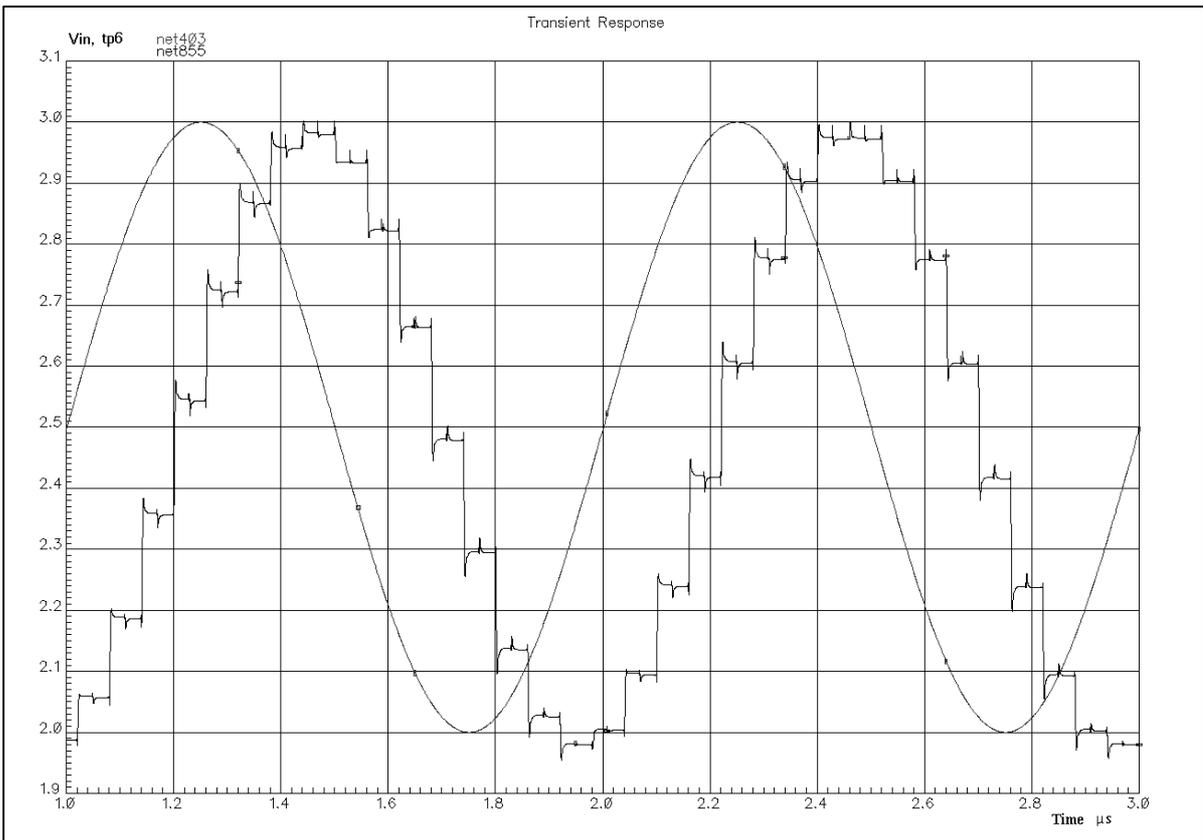


Fig. 4.18c. Sinal de entrada e saída da seção passa-tudo de primeira ordem.

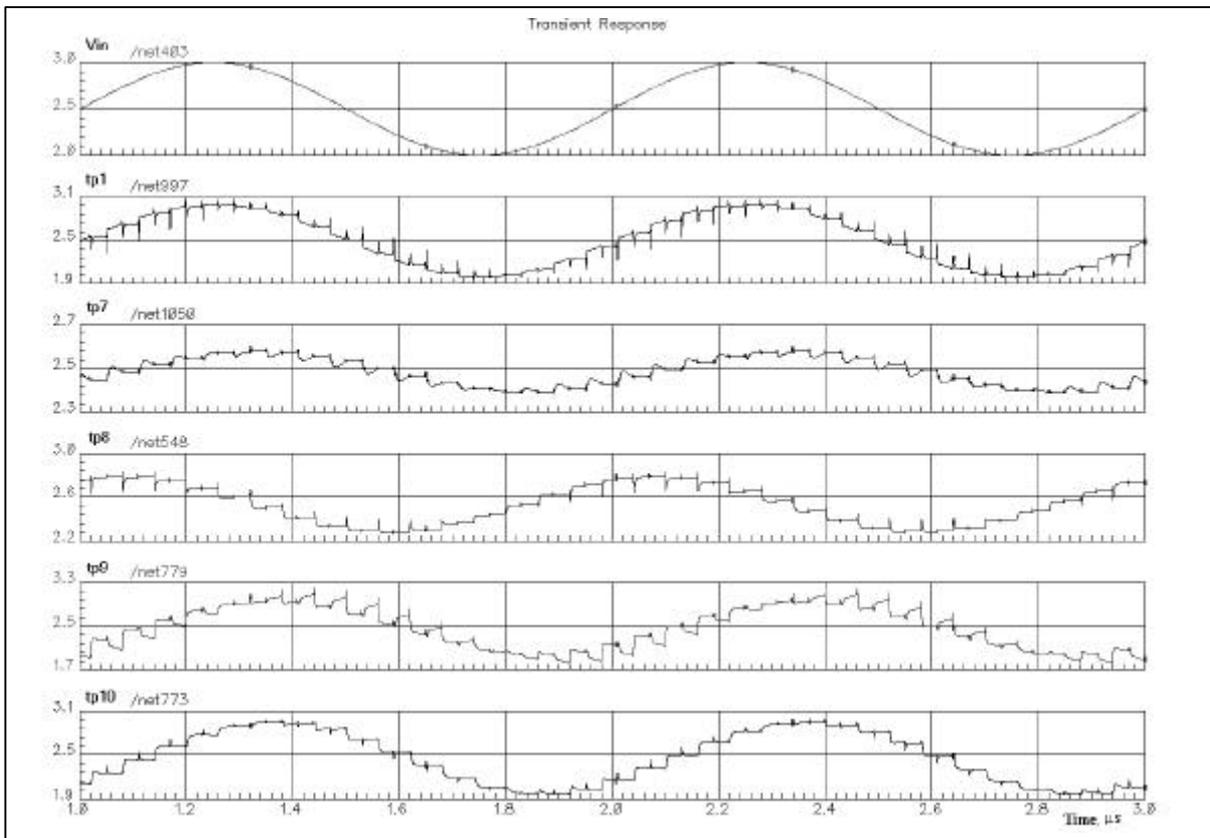


Fig. 4.19a. Resultados da simulação da seção passa-tudo de segunda ordem

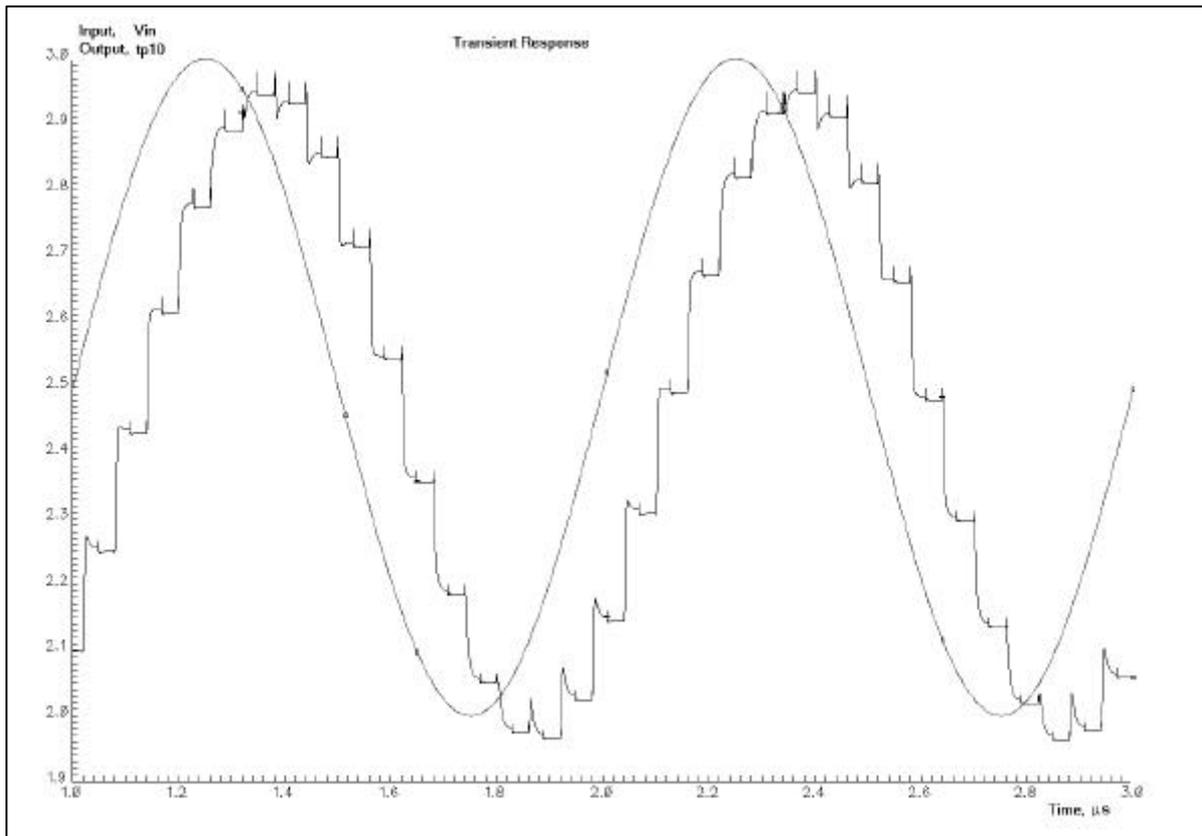


Fig. 4.19b. Sinal de entrada e saída da seção passa-tudo de segunda ordem

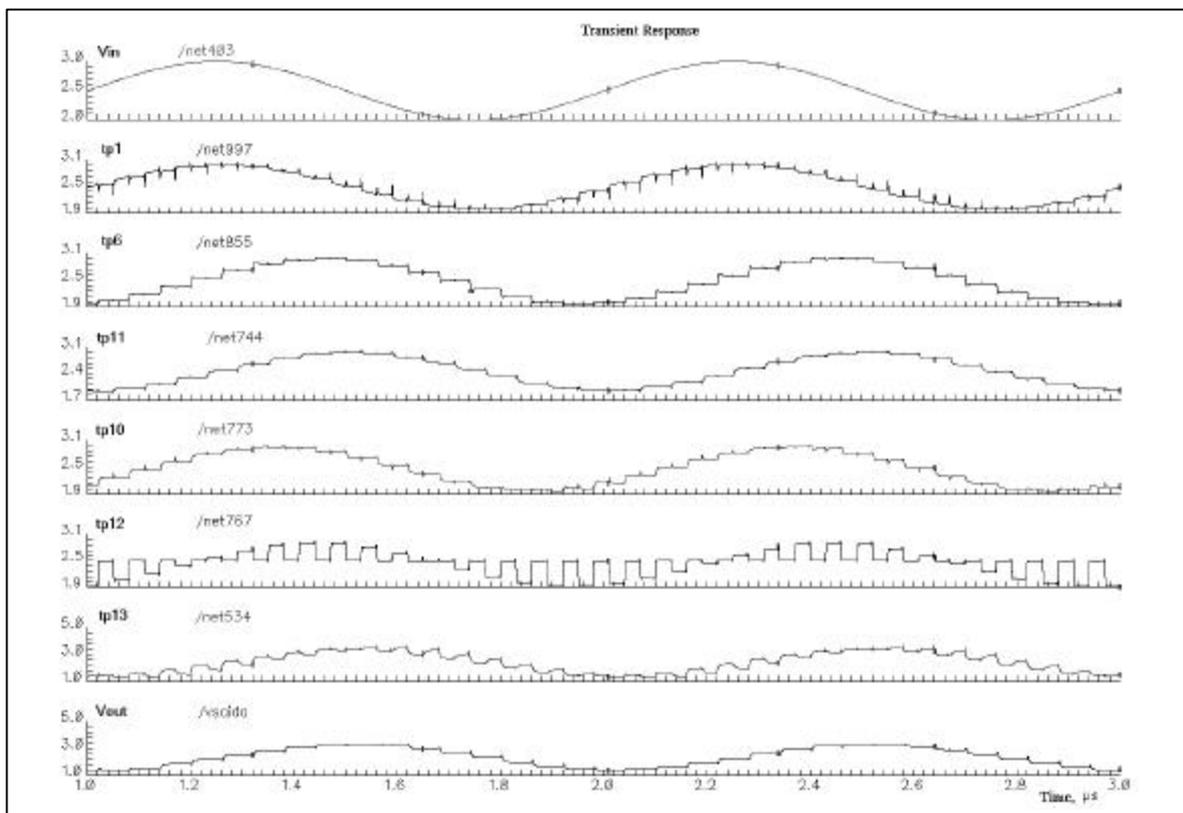


Fig.4.20a. Resultados da simulação do filtro completo.

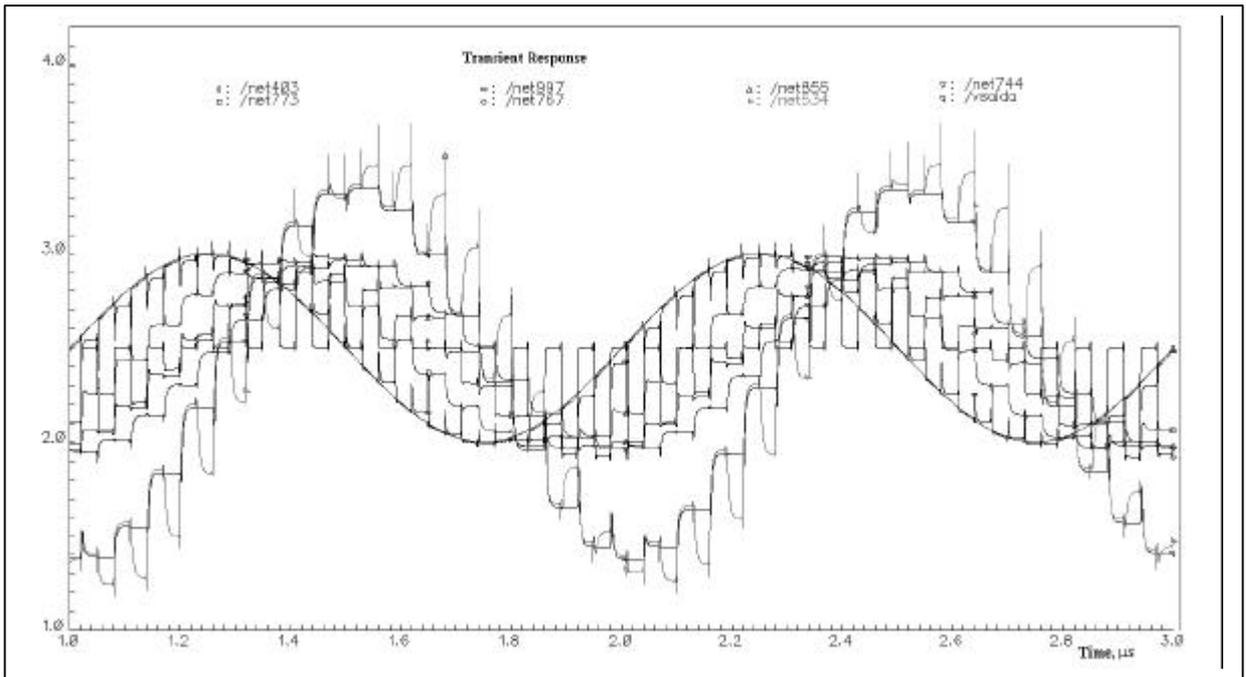


Fig. 4.20b. Resultados da simulação do filtro completo.

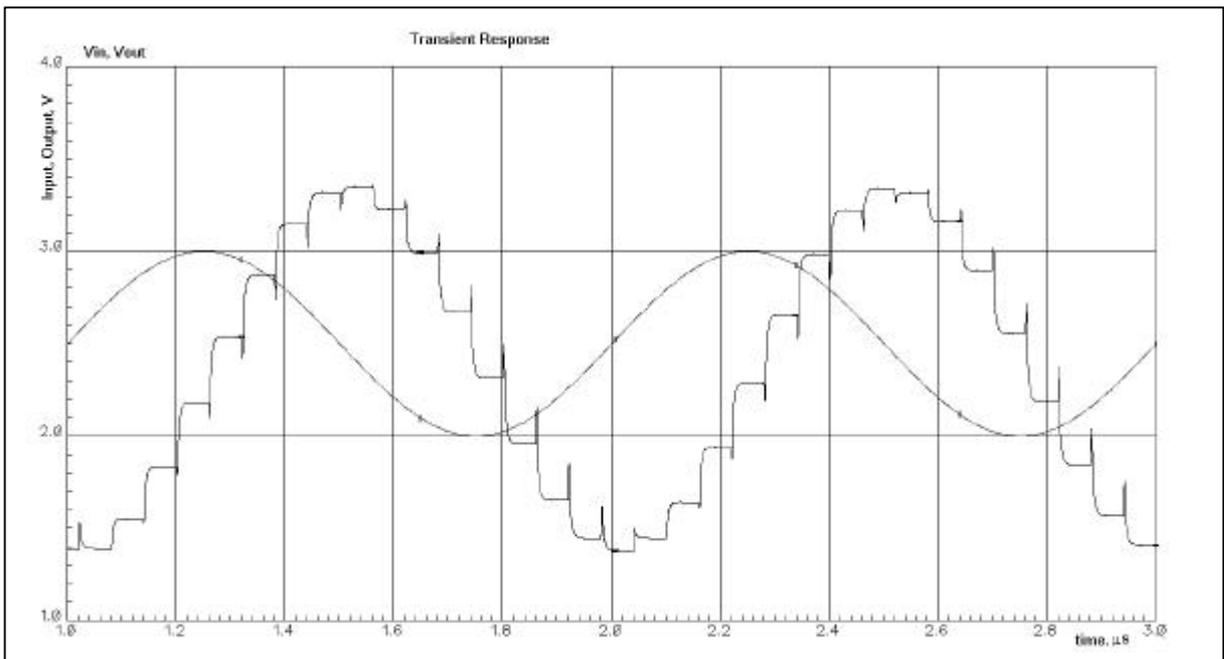


Fig. 4.20c. Sinal de entrada e saída do filtro passa baixas completo.

Capítulo 5

Layout

Nesta seção serão considerados o projeto do *layout* dos componentes do circuito e a extração dos parâmetros para realizar as simulações.

Antes que o circuito integrado possa ser fabricado, têm que ser especificadas as características geométricas dos componentes do circuito. Estas características são usadas para fazer o projeto do *layout* do circuito. O *layout* é apresentado como uma simples superposição de máscaras do processo CMOS e é realizado com ajuda de sistemas computarizados. Várias regras têm que ser seguidas durante o processo do *layout*, e estas regras obedecem a um determinado processo de fabricação. Para a integração do filtro será utilizado um processo CMOS *n-well*, com comprimento de canal de $0.8\mu\text{m}$, *double-poly*, *double-metal*. A informação contida no *layout* é usada para fabricar o circuito.

O *layout* deve ter uma distribuição ordenada das células do circuito, e para isto as células são agrupadas em regiões de acordo com seu tipo, características e posição no circuito, deixando espaço entre cada região para as linhas de ligação entre as células e considerando as células adicionais do circuito como os *buffers* de saída, lógica de controle, etc.

O *layout* de cada uma das células do circuito integrado (componentes) dever ser projetado tendo em conta como eles vão ser colocados e interligados no plano geral do circuito, e por esta razão, os pinos de entrada e saída de sinal de cada componente devem ser localizados na parte superior e inferior do *layout*. As linhas de alimentação também são localizados na parte superior e inferior do *layout* do componente e devem ser iguais nos componentes semelhantes que vão se colocar na mesma região do circuito integrado. As alturas dos componentes do mesmo tipo (amplificadores, por exemplo) devem ser de preferência iguais para se poder encostar um ao lado do outro (encostando o final das linhas de alimentação e terra) sem necessidade de ligações adicionais, o que economiza espaço e simplifica a composição do circuito. A largura do *layout* dos componentes é determinada pelo requisitos do mesmo e deve ser igualmente o menor possível para minimizar a área do *layout*. Todos estes aspectos podem ser vistos no *layout* do circuito integrado mostrado na Fig. 5.1, onde temos colocações horizontais de células semelhantes que determinam uma determinada região do *chip*.

Desta maneira temos as seguintes regiões: com o número 1 a região com os amplificadores e os *buffers*; a número 2 é a região que contém os capacitores; a região 3 contém as chaves e os inversores; na região 4 aparecem as fontes de corrente de polarização; e finalmente a região número 5 identifica o *buffer* de saída usado para o sinal de saída do filtro e dois *buffers* para verificar o funcionamento interno do circuito.

Outro importante fator a considerar durante o projeto do *layout* é a distribuição das linhas de alimentação (Vdd) e terra (gnd). Uma distribuição inadequada destas linhas pode gerar ruídos numa parte do circuito e contaminar outra. Uma boa prática neste caso é separar as linhas de alimentação em partes analógicas e digitais, e usar linhas de Vdd e gnd largas para diminuir a resistência.

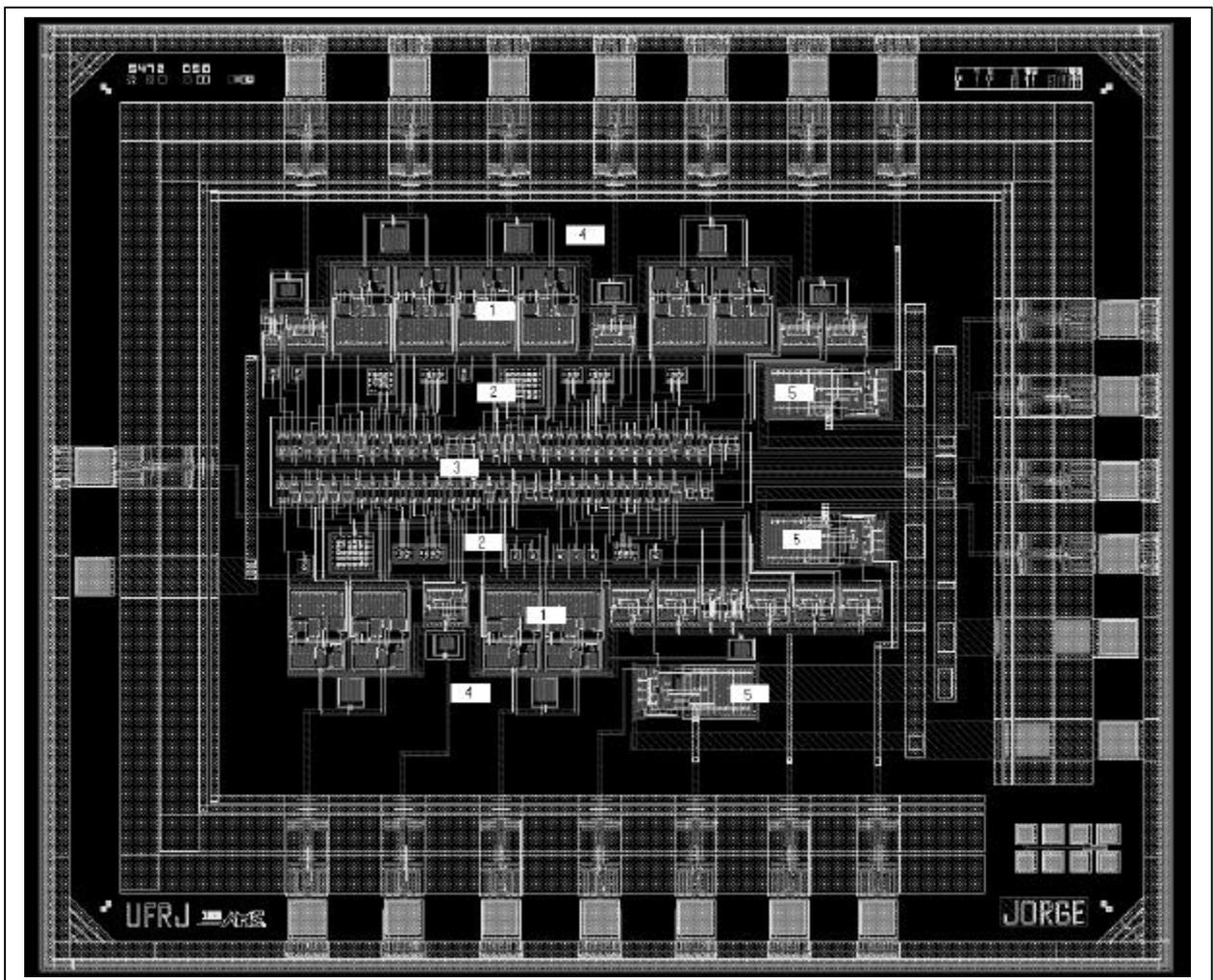


Fig.5.1. Layout do filtro.

No projeto devem ser usados também anéis de guarda ao redor de componentes ou regiões do circuito para evitar interferências de uma região para outra através do substrato. Exemplos disto são os anéis usados para separar as partes de diferentes polaridades dos transistores dos OTAs e para isolar a placa inferior dos capacitores do substrato. Estes anéis, para serem efetivos, devem estar ligados a tensões correspondentes com a polaridade do poço.

Estas e outras regras [18,19] de projeto de circuito integrado foram consideradas na de realização do *layout* do *chip*.

5.1. Amplificadores

O circuito do amplificador usado é composto por transistores *MOS* dos tipos *n* e tipo *p*, sendo cada um destes caracterizado por uma relação *W/L*. Para fazer o *layout* dos amplificadores usamos técnicas de *layout* de transistores e de circuitos analógicos conhecidas como [19]: *stacked layout* dos transistores para ter menor área e capacitâncias parasitas, uso de anéis de guarda, colocação dos pinos de entrada saída na parte superior e inferior para facilitar o *layout* do circuito, linhas de alimentação grossas, etc. O *layout* dos amplificadores são mostrados nas Figs 5.2a-5.2d*.

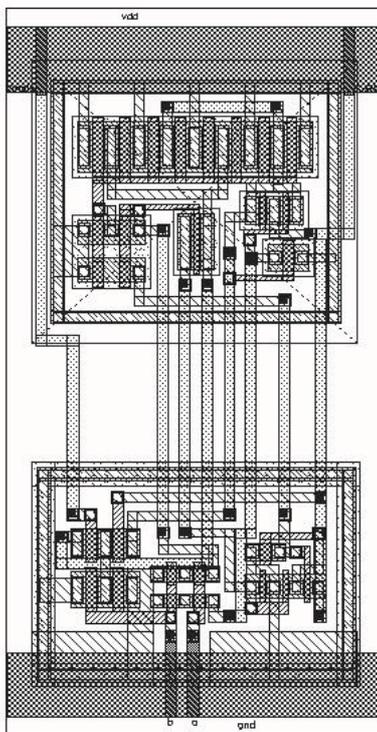


Fig. 5.2a. *Layout* do OTA01.

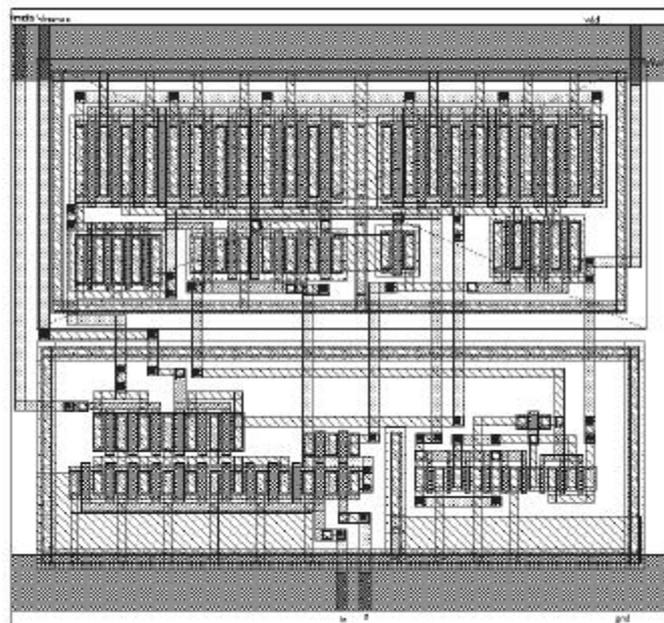


Fig. 5.2b. *Layout* do OTA05.

5.2. Capacitores

Os *layouts* dos capacitores do circuito foram feitos com base nas técnicas discutidas no Capítulo IV. Além disso, procuramos colocar num mesmo banco os capacitores que fazem parte da mesma razão de capacitâncias para garantir maior casamento. Os *layouts* são mostrados nas Figs. 5.3a a 5.3f. Na Tabela 5.1 são apresentados os valores dos capacitores do circuito do filtro.

* As figuras dos *layouts* não estão igualmente escaladas.

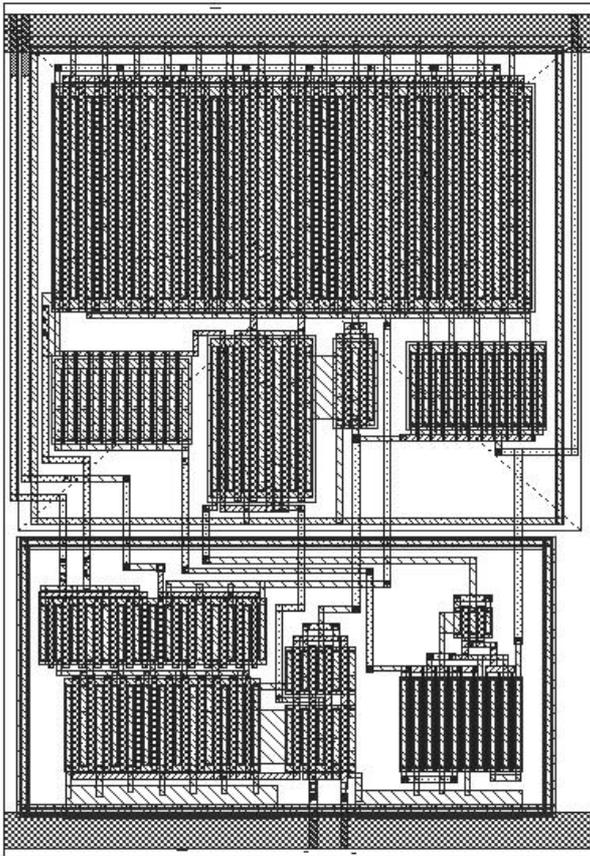


Fig. 5.2c. *Layout* do OTA1.

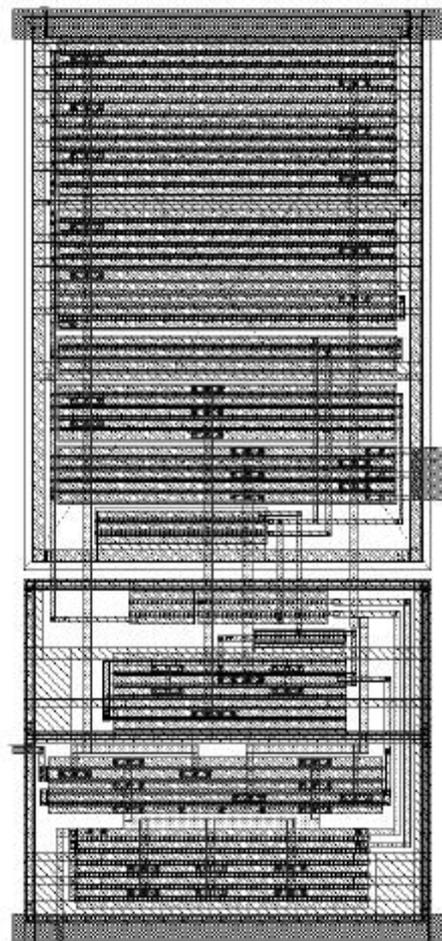


Fig. 5.2d. *Layout* do Buffer de saída.

Tabela 5.1. Capacitores do Filtro

Capacitor	Valor, pF	Função no circuito
C0,C1,C2,C8,C17,C27,C28,C29,C30, C31,C35	0.1	Célula de Atraso
C3,C5,C14,C15,C24,c25,C32,C33	0.1	Somador, Coeficiente k_2
C4,C16,C26,C34	0.1	Compensar ganho, offset
C12,C13,C22,C23	0.1	Coeficiente k_1
C11,C21	1	Realimentação
C6	0.33	Coeficiente a
C7	0.5	Coeficiente a
C9	1.4	Coeficiente a_1 superior
C10	0.14	Coeficiente a_2 superior
C19	1.37	Coeficiente a_1 inferior
C20	0.55	Coeficiente a_2 inferior

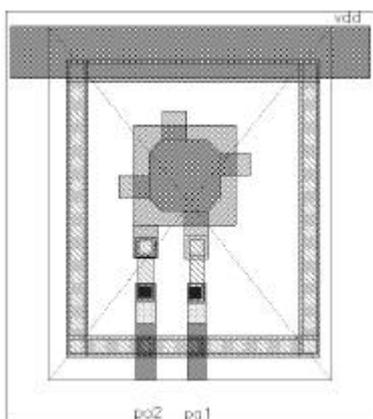


Fig. 5.3a. Layout dos capacitores C0, C1, C2, C8, C27, C28, C29, C30, C31, C35, de valor 0.1pF.

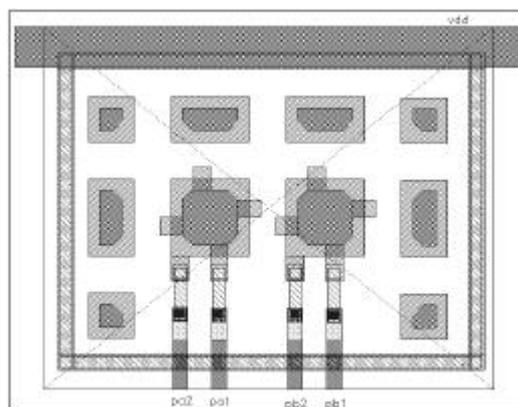


Fig. 5.3b. Layout dos capacitores C12, C13, C17, C18, C22, C23, de valor 0.1pF.

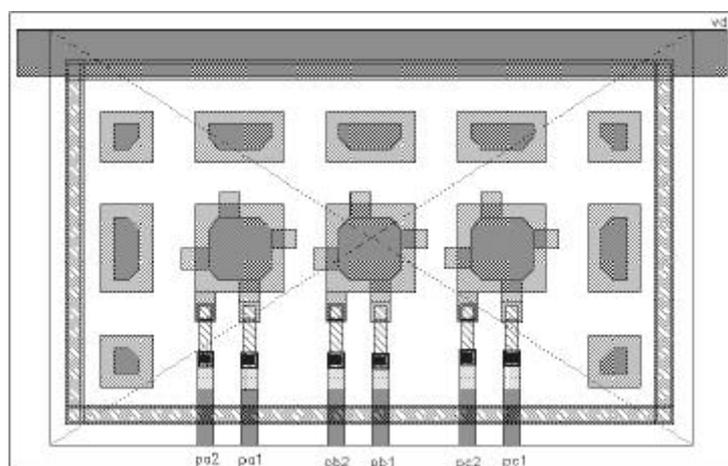


Fig. 5.3c. Layout dos capacitores C3, C4, C5, C14, C15, C16, C24, C25, C26, C32, C33, C34 de valor 0.1pF.

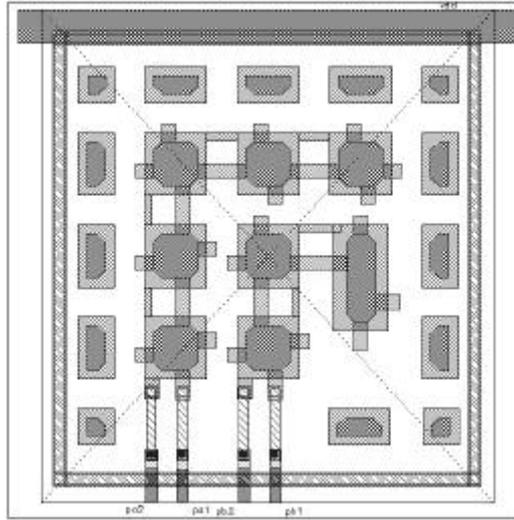


Fig. 5.3d. Layout dos capacitores $C6=0.33\text{pF}$, $C7=0.5\text{pF}$.

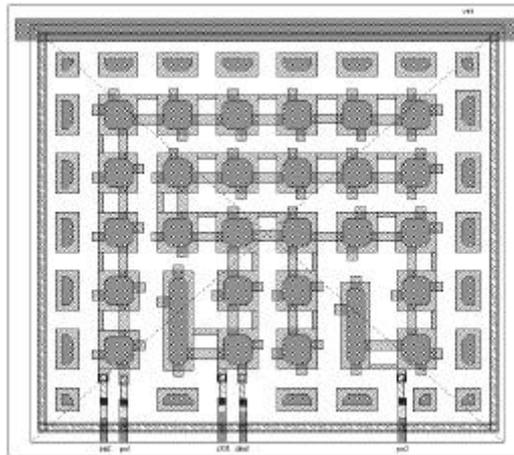


Fig. 5.3e. Layout dos capacitores $C9=1.4\text{pF}$, $C19=0.14\text{pF}$, $C11=1\text{pF}$.

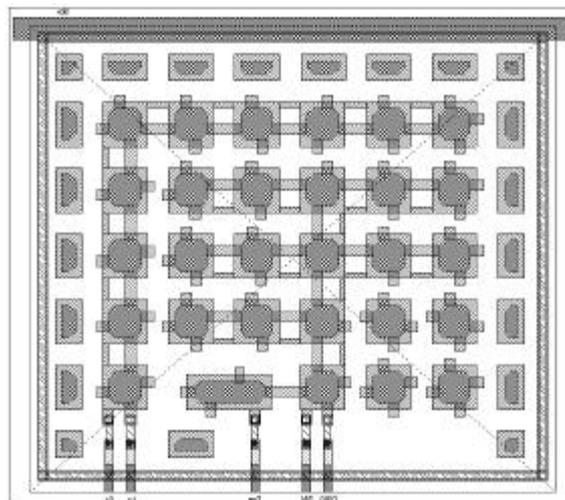


Fig. 5.3f. Layout dos capacitores $C19=1.37\text{pF}$, $C20=0.55\text{pF}$, $C21=1\text{pF}$.

5.3. Chaves , Inversores e Fontes de Corrente de Polarização

Os *layouts* das chaves, dos inversores e dos espelhos de corrente de polarização são mostrados nas Figs 5.4, 5.5 e 5.6, respectivamente.

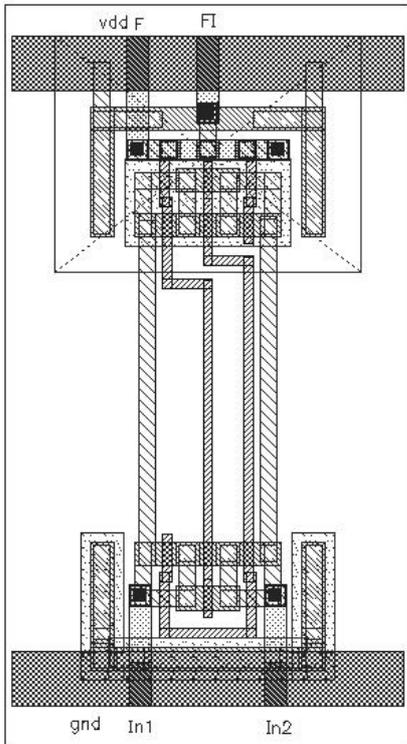


Fig.5.4a. *Layout* da chave01

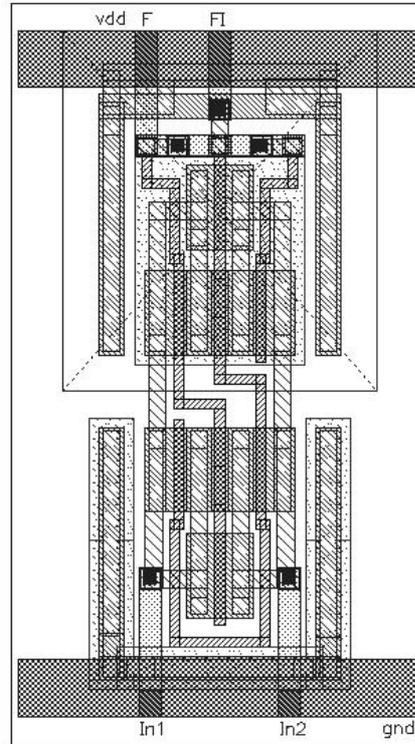


Fig.5.4b. *Layout* da chave05

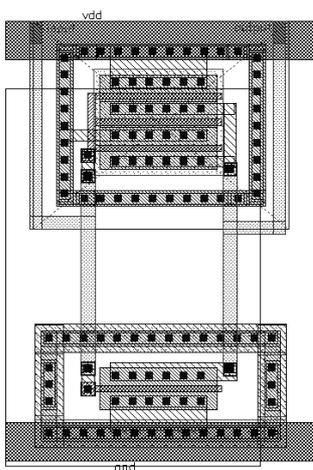


Fig.5.5. *Layout* do inversor.

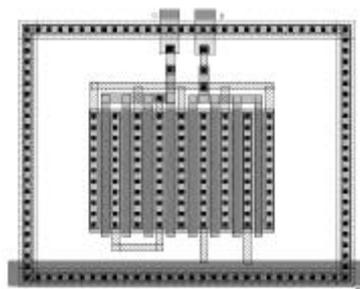


Fig.5.6a. *Layout* da fonte de 300µA.

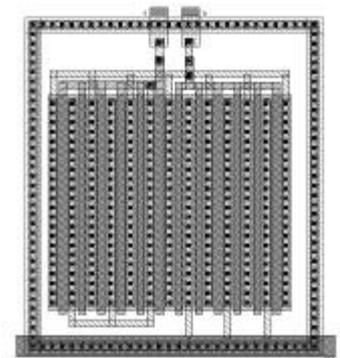


Fig.5.7b. *Layout* da fonte de 900µA

Capítulo 6

Testabilidade

A necessidade de verificar a qualidade do circuito projetado e fabricado leva ao desenvolvimento de um método de teste da função de transferência do filtro. Neste trabalho foi desenvolvido um método de teste baseado na propriedade dos principais blocos que passa-tudo. Os filtros passa-tudo tem a propriedade de modificar a fase mais não modificar a amplitude do sinal processado por eles. Esta propriedade permite implementar um método de teste que identifica, localiza e quantifica os capacitâncias que realizam os coeficientes do filtro, a diferença de outros métodos que só identificam circuitos defeituosos.

Neste capítulo são apresentadas as propriedades de testabilidade únicas para este tipo de estrutura e o método baseado nestas propriedades. O capítulo começa expondo a importância dos testes de circuitos integrados e seu impacto nos custos de produção e na qualidade dos circuitos integrados. Será analisado o impacto dos erros de fabricação no funcionamento dos circuitos analógicos e digitais. Na sequência serão descritas algumas estratégias de teste para verificar o funcionamento da parte analógica dos circuitos mistos. E finalmente serão apresentados os resultados das simulações de um filtro a capacitores chaveados onde foi implementado o método de teste descrito neste capítulo.

6.1. Introdução

O desenvolvimento da microeletrônica tem permitido integrar circuitos cada vez mais complexos e implementar cada vez mais funções em áreas cada vez menores. Cada vez mais é possível colocar milhões de transistores num mesmo chip. Para ter produtos com a qualidade requerida é necessário implementar rigorosos programas de teste dos circuitos fabricados. Para os circuitos digitais as metodologias de teste têm sido padronizadas e incorporadas aos sintetizadores de circuitos digitais, junto com os geradores de teste (vetores) padronizados. Isto permite programar e desenvolver o plano de teste nas fases iniciais do projeto e buscar o melhor compromisso entre funcionabilidade, desempenho e teste. Este procedimento de projeto é chamado de *Design for Testability* (DfT).

Também tem se incrementado a necessidade de integração de circuitos com partes analógicas e digitais, circuitos de sinais mistos. Neste tipo de circuito a falta de acesso aos seus nós internos dificulta testar e verificar o seu comportamento. Em muitos casos, *chip* não têm acesso de entrada ou saída externamente.

Para circuitos integrados mistos complexos o teste está se tornando um dos principais fatores no total dos custos de fabricação dos CI. Basicamente, é impossível ter um rendimento de 100% em um processo de fabricação de circuitos integrados, então o teste tem que ser executado em várias fases do processo de produção. É necessário identificar todos os dispositivos ruins, ou seja aqueles que contêm uma falha física ou funcional. Se a cobertura do teste for baixa, serão liberados dispositivos defeituosos que teriam passado o teste como dispositivos sem falha (fugas do teste). Isto resultará em um alto custo por substituição desses dispositivos, potenciais problemas de reputação, e no pior caso, perda de parte do mercado. Se por outro lado os requerimentos do teste forem mais apertados teremos que dispositivos bons falharão (teste defeituoso), o resultado é uma diminuição em rendimento e redução em renda. A motivação para teste é então eliminar fugas de teste e reduzir o número de dispositivos bons identificados como defeituosos pelo programa de teste. O relação entre dispositivos bons que passam no teste e dispositivos ruins identificados como sendo defeituosos (rendimento) é um problema a ser resolvido pelo teste.

Nos últimos anos a tecnologia de teste de CI digitais tem sido bastante desenvolvida. Com a tendência para a implementação de circuitos inteiros num mesmo chip e a crescente demanda de circuitos para as áreas de comunicações móveis, controle de processo, automóvel, ASIC e sensores inteligentes, incrementou-se a necessidade de circuitos mistos e conseqüentemente o desenvolvimento de teste para este tipo de circuito. O custo como também a qualidade são cruciais em muitos destes dispositivos para serem atrativos ao mercado. Os testes da parte analógica do CI são muito caros, em termos do desenvolvimento e da implementação do teste. No mercado comercial, até 80% dos custos do teste são devidos às funções analógicas que tipicamente só ocupam ao redor do 10%

6.2. Motivação

A tecnologia de circuitos integrados tem experimentado um grande progresso o que permite realizar sistemas de alto desempenho. Uma das fases do processo de fabricação de CI é a de teste, que é muito importante para o desenvolvimento presente e futuro da produção de CI. Devido ao incremento da complexidade dos CI o custo do teste constitui uma porção considerável do custo total de fabricação. Esta tendência será cada vez mais acentuada pela crescente necessidade de circuitos mistos para áreas como a de rádio

Devido a inevitáveis variações do processo, nos materiais e nas camadas usadas para a fabricação de CI, é impossível ter um rendimento de 100% na fabricação, onde rendimento se refere à razão de CI bons sobre o número total de CI fabricados. Um CI bom é aquele que satisfaz todas as especificações do projeto para todas as condições especificadas. A probabilidade de produzir um CI ruim incrementa-se com o tamanho e a complexidade do circuito. Um dispositivo ruim é aquele que não satisfaz uma ou mais das especificações indicadas para o circuito.

6.3. Teste de CIs Digitais.

As técnicas de teste de circuitos digitais existentes na atualidade podem ser classificadas da seguinte forma:

- Testes funcionais
- Testes para detectar falhas estruturais permanentes
- Testes baseados na análise de falhas induzidas
- Testes para falhas atrasadas
- Técnicas de testes baseadas na medição da corrente

Os princípios da técnica de teste funcionais de circuitos digitais foram estabelecidas há algum tempo atrás, mas devido ao grande tamanho do conjunto de teste e ao tempo associado requerido para executar o vector de teste, estas técnicas se tornaram impraticáveis. Técnicas alternativas foram conseqüentemente estabelecidas: técnicas para testes de falhas estruturais permanentes (*stuck-at*, *bridging*, *stuck-open*), teste IDDQ.

Algumas das técnicas são compatíveis com a análise de falha induzida (IFA) onde o dispositivo sob teste (DUT) tem que ser testado estruturalmente (não requer um teste necessariamente rápido). Também no domínio digital o DfT está bem estabelecido, sendo implementado na maioria de produtos mais complexos. O Padrão de IEEE 1149.1 tem sido bem aceito pela comunidade digital. Devido ao aumento da complexidade dos circuitos digitais, os circuitos de auto-teste (BIST) estão se apresentando como uma solução viável para o teste desses circuitos, e tem sido implementado em *chips* comerciais altamente complexos para testar algumas de suas funções. Como o teste de circuitos digitais não é de interesse direto deste trabalho não entraremos em mais detalhes sobre este tema. Mais informações podem ser encontradas em [16-23]

6.4. Teste de CI Analógicos e Mistos.

Nos circuitos analógicos e mistos o teste funcional é ainda a principal norma para verificar cada CI. O objetivo é verificar as características do *chip* e comparar com as especificações do projeto.

6.4.1. Teste Analógico

Para circuitos integrados de sinais mistos com alto nível integração analógico e digital, está se tornando um grande problema realizar o teste analógico. O teste de circuitos analógicos não pode ser feito com as mesmas estratégias usadas para circuitos digitais. As razões para isto são as seguintes:

- Para os circuitos digitais existem modelos de falha bem definidos. Este não é o caso dos circuitos analógicos, porque o número de possíveis formas de uma falha se manifestar
- A natureza do sinal de interesse em circuito analógico é mais complexa. Em circuitos digitais, a informação é binária, são registrados só dois possíveis valores. Em circuitos analógicos, os possíveis valores são ilimitados. Além disso, o sinal pode ser corrente ou
- A geração de sinais de teste e o processamento dos resultados são mais complexos

- Os sinais analógicos internos são freqüentemente de baixos níveis ou sinais de freqüências altas. Quando são ligados diretamente aos blocos de I/O do circuito integrado para teste, podem diminuir o desempenho do circuito.

Diferentemente dos circuitos digitais as funções realizadas por circuitos analógicos não podem ser descritas por expressões Booleanas. Isto é devido à maior complexidade inerente aos circuitos analógicos e à falta de descrição para essa complexidade. Por exemplo, o comportamento de circuito analógico depende diretamente do comportamento do transistor que por sua vez está determinado por um conjunto de equações complexas que contém mais de 50 parâmetros. A qualidade do comportamento dos circuitos analógicos é caracterizada por um valor nominal da função e por uma faixa de variação dentro da qual o

6.4.2. Efeitos da fabricação

Existem duas categorias de erros de fabricação que levam ao dispositivo a falhar: aqueles causados por defeitos pontuais (*spot defect*) e aqueles causados pelas variações do processo[16]. O resultado pode ter dois diferentes efeitos que são classificados como catastróficos e paramétricos. Uma falha catastrófica é aquela em que o componente é incontrolável. Por exemplo quando o *gate* de um transistor é destruído. A falha paramétrica é quando o componente, embora realizando sua função, não se encontra dentro dos limites de tolerância desejados.

As variações do processo são normalmente resultado de flutuações do alinhamento e desempenho do equipamento. Na fabricação de CI isto leva a um depósito desigual das camadas do material em toda a superfície. Independentemente do efeito causado sobre a circuito, as variações do processo são categorizadas em dois tipos: global e local. Variação global se refere a variação sistemática de um parâmetro que ocorre de um lado ao outro do *threshold*, por exemplo, pode variar sistematicamente de um lado ao outro. Variações locais se referem a pequenas diferenças aleatórias que ocorrem entre componentes fisicamente próximos e levam a descasamentos dos componentes.

6.4.3. Os Dois Tipos de Erros que Influenciam o Comportamento do Circuito Fabricado

No caso dos circuitos digitais a função deles é essencialmente independente do descasamentos dos dispositivos []. Por isto a estratégia que prevalece para testar os circuitos digitais é a de identificar a presença de defeitos pontuais (*spot*) em lugar de tentar verificar o comportamento funcional completo do circuito aplicando todas as possíveis combinações na suas entradas. O método para fazer isto é igual ao teste funcional, mas é realizado com um reduzido número de combinações de vetores. O tempo de teste pode ser consideravelmente reduzido desta forma.

Diferentemente, a função dos circuitos analógicos é sensível a todos os tipos de erros de fabricação e é impossível separar seus efeitos. Por isto, a única forma de verificar a validade do comportamento dos circuitos analógicos é testando a sua função diretamente e ver se está dentro da estreita faixa de aceitabilidade. Isto requer medições muito precisas e exatas. Para reduzir o tempo do teste têm sido realizados esforços para identificar o número necessário de testes e usado simulações do circuito e caracterização dos processos.

6.4.4. Métodos de Teste Analógicos

A forma mais básica de medição da função analógica consiste de um gerador de sinais excitando o circuito sob teste com um sinal conhecido e um instrumento de medição para extrair da resposta na saída do circuito o parâmetro apropriado. Dependendo do propósito do teste o gerador de sinais pode ser um gerador de DC, senoidal, de pulsos quadrados, ou de sinais aleatórios com uma conhecida função de distribuição de probabilidade. O tipo de medição depende do tipo de sinal usado. Para minimizar a influência do ruído presente no sinal de interesse são usados sinais de teste periódicos. A técnica de cálculo da média é usada para reduzir a influência do ruído.

Também um levantamento do espectro de frequência do circuito é realizado. Esta análise descreve o comportamento do circuito para diferentes frequências. Para realizar esta análise é usado um gerador de sinal senoidal com amplitude e frequência variáveis que excita o circuito sob teste e um instrumento de medição. Os testes usando sinais senoidais são talvez os mais usados, e é a técnica usada neste trabalho.

6.5. Método de Teste Proposto

O principal aspecto relativo ao procedimento de teste da estrutura de filtro proposta é o fato de que é possível controlar independentemente ângulo (por b_1) e raio (por b_2) dos pólos e zeros da função de transferência [4,25]. O ângulo determina a frequência das maiores variações da função de transferência e o raio determina a intensidade de tais variações. A resposta em frequência típica do módulo e da fase de uma seção passa tudo de segunda-ordem é mostrada na Fig. 6.1. Em $\omega = \omega_N$, a resposta de frequência da fase atinge 180° . Consequentemente, se o sinal de entrada e saída do filtro somados de acordo com o diagrama de blocos da Fig. 6.2, será criado um filtro *notch*. Se um sinal senoidal de frequência ω_i for aplicado no circuito da figura o sinal de saída será zero quando $\omega_i = \omega_N$, devido ao desfasamento de 180° entre os dois sinais para esta frequência.

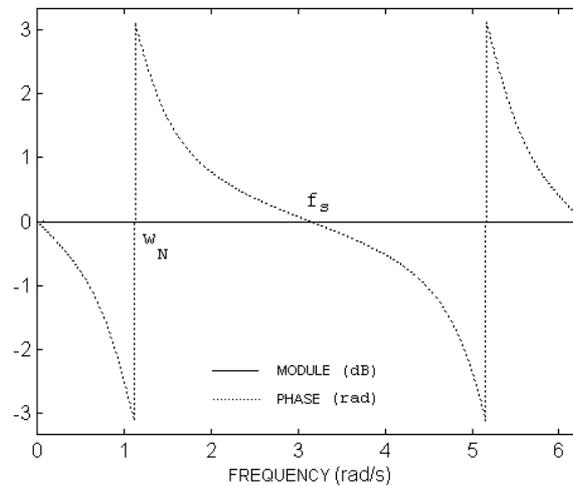


Fig. 6.1 Resposta em frequência do módulo da fase da seção passa tudo de segunda ordem.

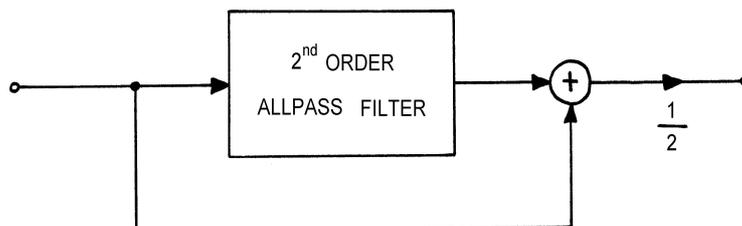


Fig. 6.2 Esquema do filtro *notch* de Segunda ordem

Então, a combinação de uma seção passa tudo de segunda ordem e somador extra, como é mostrado em Fig. 6.2, conduz à implementação de um filtro *notch* preciso, como pode ser visto na Fig. 6.3. A implementação de um filtro *notch* é um método conveniente para testar a passa-tudo a capacitores chaveados de segunda ordem devido à sua simplicidade, a partir da medição da frequência central ω_N e da largura de banda na altura de 3-dB, Ω , permitem a avaliação prática dos coeficientes realmente implementados, de acordo com as

$$\begin{aligned} 2 - b_1 &= \frac{2 \cos(\omega_N)}{1 + \operatorname{tg}(\Omega/2)} \\ 1 - b_2 &= \frac{1 - \operatorname{tg}(\Omega/2)}{1 + \operatorname{tg}(\Omega/2)} \end{aligned} \quad (6.1)$$

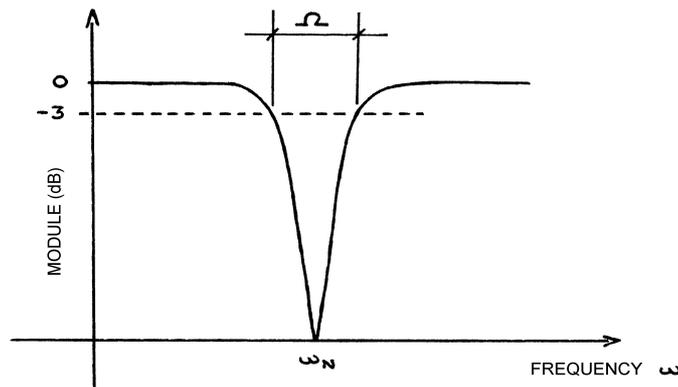


Fig. 6.3. Resposta em frequência do filtro *notch* mostrando os parâmetros Ω e ω_N .

Análise semelhante pode ser feita para a seção passa tudo de primeira ordem. O circuito da Fig. 6.2 implementado com uma seção passa-tudo de primeira ordem no lugar da de segunda ordem formará um filtro passa baixas [2]. A frequência de corte de 3-dB de atenuação na Fig. 6.4 e o coeficiente da seção estão relacionados pela expressão[2]:

$$1 - a = \frac{1 - \sin(\omega_c)}{\cos(\omega_c)} \quad (6.2)$$

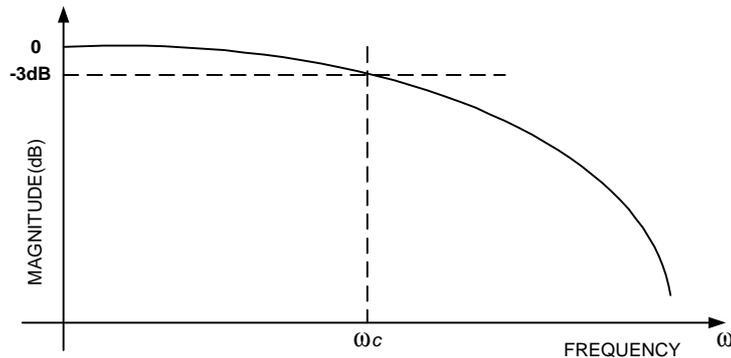


Fig. 6.4 Resposta em frequência do módulo do filtro passa baixas mostrado a frequência de corte ω_c .

Deste modo o coeficiente da seção passa-tudo de primeira ordem pode ser testado a partir da frequência de corte a 3-dB de atenuação usando a expressão (6.2).

Por causa de seu aspecto modular e o uso de seções passa tudo de primeira e segunda ordens, a estrutura de filtro descrita aqui permite a partir de medições simples, testar independentemente e de forma precisa todos os coeficientes de filtro ou as razões de capacitâncias que implementam estes coeficientes. Também deveria ser dito que a implementação deste método só requer de somador extra para cada seção passa tudo como é mostrado na Fig. 6.5a. Uma outra possível arquitetura é mostrada na Fig. 6.5b. Nesta última é usado só um somador extra para todos os módulos, que é multiplexado para realizar o procedimento de teste. O número de chaves de controle adicionais e de controle da lógica requerida aqui é mais que compensado pela economia em área de CI, consumo de potência e número de pinos de teste necessários na estrutura da Fig. 6.5a. Dependendo do ordem do filtro e das características da implementação pode ser implementada uma ou outra estrutura. Para filtros de ordens baixas pode ser mais eficiente e econômico a implementação da estrutura da Fig. 6.5a. Para filtros de ordens maiores é mais recomendado usar a estrutura da Fig. 6.5b. já que o numero de chaves e lógica de controle que tem que ser introduzido para multiplexar as seções pode ser compensado pela economia de somadores e de pinos de teste.

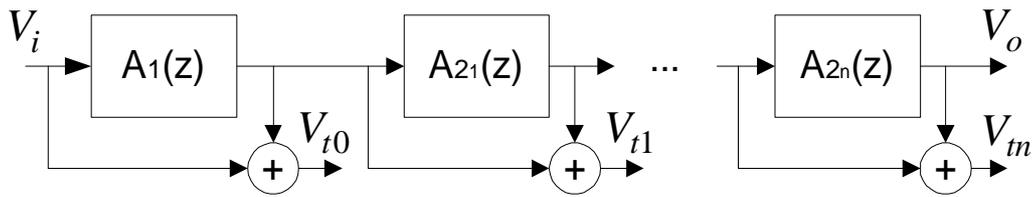


Fig. 6.5a. Esquema da implementação dos filtros *notch* para cada seção passa-tudo

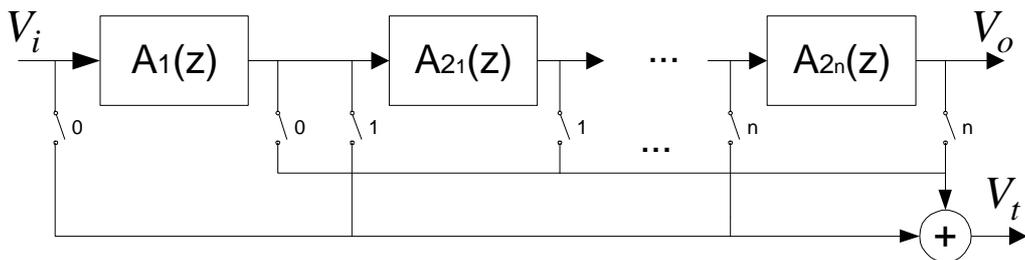


Fig. 6.5b. Esquema alternativo de teste das seções passa tudo utilizando um único somador.

A resposta em frequência do módulo de um ramo formado pela conexão em série de uma seção passa tudo de primeira ordem, uma seção de segunda-ordem e um filtro *notch* é determinada por:

$$|H_{branch}(z)| = |A_1(z)| |A_2(z)| |H_{notch}(z)|$$

Como,

$$|A_1(z)| = 1, \quad |A_2(z)| = 1$$

Tem-se

$$|H_{branch}(e^{j\omega})| = |H_{notch}(e^{j\omega})|$$

Isto significa que a resposta em frequência de um filtro *notch* independente é a mesma que a resposta em frequência do ramo, ou seja, a resposta em frequência do módulo do filtro *notch* não é modificada pelas seções passa-tudo que o antecedem no ramo. Desta forma o sinal de teste pode ser aplicado na entrada do filtro para avaliar cada módulo e,

portanto, o circuito inteiro. Então, não é necessário introduzir entradas adicionais para testar cada módulo independentemente, o que economiza um número de pinos de teste.

Também pode ser observado que o desvio nos coeficientes de qualquer seção passa-tudo vai afetar só a resposta em frequência do filtro *notch* (ou filtro passa baixas) que ela forma e não alterará a resposta de frequência dos restantes filtros *notch*. Isto permite localizar a seção passa tudo que apresenta erros nos seus coeficientes e identificar os coeficientes alterados pelas expressões (6.1, 6.2) como também calcular a magnitude do erro no coeficiente.

As falhas paramétricas locais são normalmente mais difíceis serem detectadas. Porém, nosso método pode detectar, isolar e quantificar os erros paramétricos locais, e conseqüentemente, calcular desvios nos coeficientes do filtro, conforme demonstrado a seguir.

Uma das principais fontes de erros paramétricos locais no CI são as variações locais do processo para implementar capacitores, principalmente os efeitos locais do óxido [16]. Isto causa erros nos valores dos coeficientes da função de transferência que é determinada por capacitâncias, levando a uma degradação da resposta de frequência de filtro.

A partir de (6.1) pode-se escrever

$$\Omega = -2 \arctan \frac{b_2}{b_2 - 2} \quad \text{e}$$

$$W_n = \arccos \frac{b_1 - 2}{b_2 - 2} \quad (6.3)$$

Sendo que para a estabilidade da função de transferência da seção passa-tudo de segunda ordem (3.4) os valores dos coeficientes devem ser limitados de acordo com:

$$0 < b_2 < 2 \quad \text{e} \quad b_2 < b_1 < 4 - b_2 \quad (6.4)$$

Na Fig. 6.6 pode ser observado que a variação da largura de banda do filtro *notch* Ω com o b_2 coeficiente é aproximadamente linear em todo o intervalo de variação dado em (6.4). A inclinação é suficiente para acusar variação da largura de banda para qualquer desvio do coeficiente a partir do valor projetado.

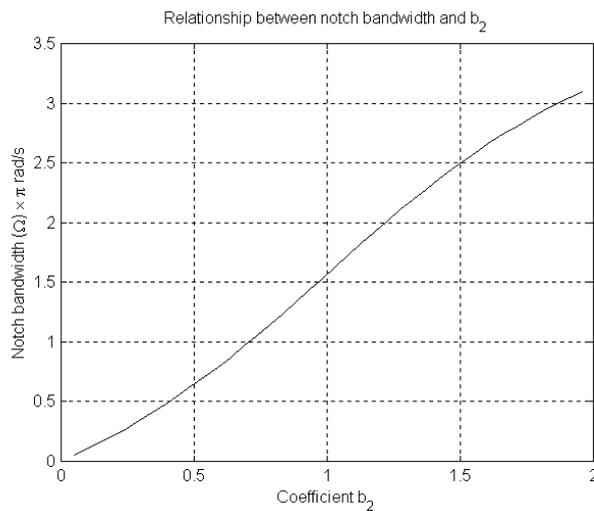


Fig. 6.6 Variação da banda de 3dB do filtro *notch*, Ω , com o coeficiente b_2 .

Na Fig. 6.7 pode ser observada a variação da frequência central em função de b_1 e b_2 . Observe também que a frequência central se torna mais sensível a variação de b_1 à medida em que b_2 aumenta. Por outro lado, a frequência central também se torna mais susceptível a ruído de medição, já que a banda de 3dB aumenta com b_2 , conforme indicado na Fig. 6.7, e, conseqüentemente, a frequência central se torna menos definida.

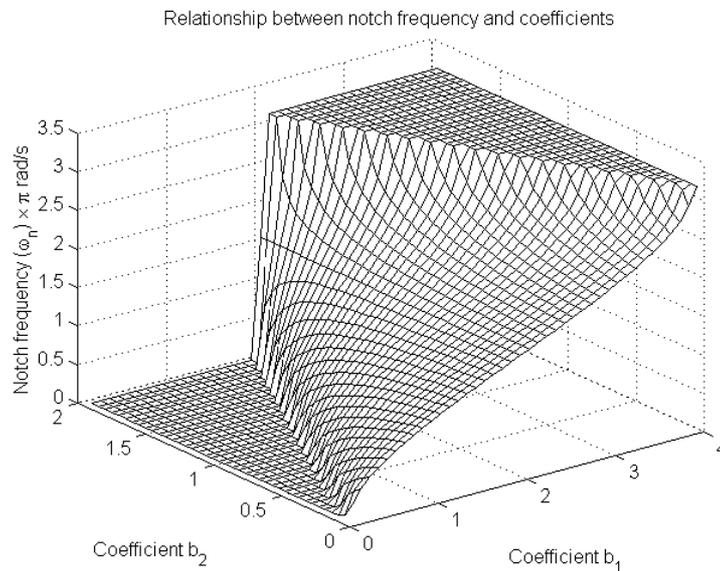


Fig. 6.7. Variação da frequência central ω_n do filtro *notch* do coeficiente b_1 e b_2 .

chip um circuito gerador dos vetores de teste. Também necessita de um circuito de medição para observar a saída dos filtros *notch* como também para o cálculo dos parâmetros a partir da resposta de frequência do filtro *notch*.

Outra vantagem deste método em comparação com outros métodos de teste de filtros a capacitores chaveados é que o circuito extra necessário para testar cada seção passa tudo do filtro é muito pequeno, o que permite economia de área e consumo de potência. Além disso, esse circuito extra é idêntico para testar todos os filtros multiplexado durante o procedimento de teste.

Uma possível inconveniência deste método pode ser o fato de usar o método da resposta de frequência para realizar o teste, o que requer equipamento mais caro e complexo para realizar o experimento.

6.6. Resultados das Simulações

Foram feitas simulações com o filtro elíptico descrito nos capítulos anteriores para verificar a metodologia de teste. O esquema usado para as simulações com os filtros de testes implementados é mostrado na Fig. 6.9.

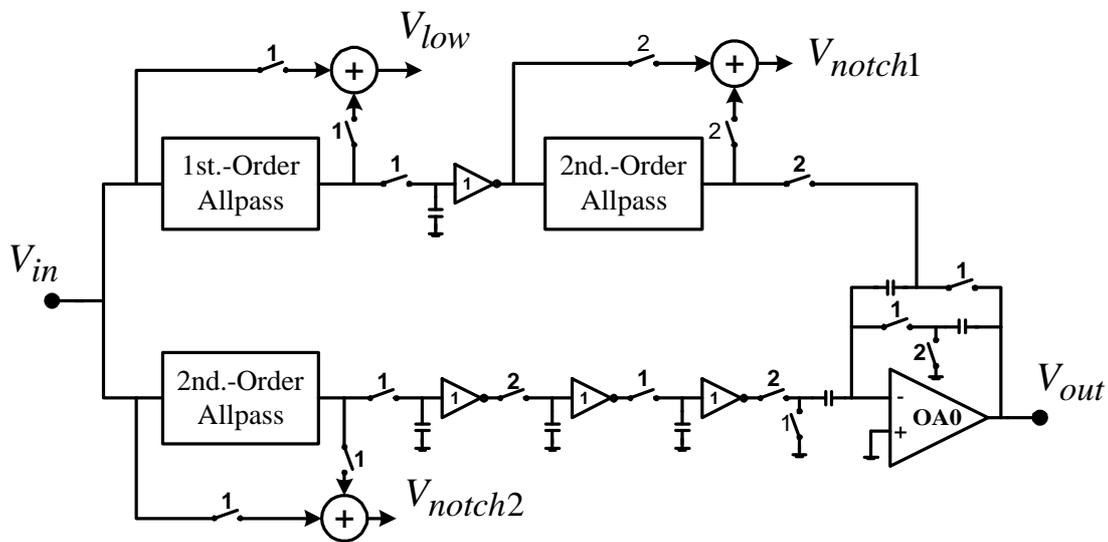


Fig. 6.9. Esquema do filtro elíptico de quinta ordem com os filtros *notch* implementados usado para as simulações de teste.

Podem ser observados os filtros *notch* implementados para cada seção passa-tudo de segunda ordem e o filtro passa baixas para a seção de primeira ordem. Os filtros *notch* são usados para testar os coeficientes de função de transferência das correspondentes seções de segunda ordem e o filtro passa baixas para testar o coeficiente da seção de primeira ordem.

Os componentes extras necessários para a implementação de cada filtro *notch* são duas chaves de entrada e um somador a capacitores chaveados típico como os reportados em [25]. É necessário introduzir um atraso no sinal antes de ser aplicado ao somador para compensar o atraso introduzido pelas seções passa tudo. Os capacitores das estruturas típicas de um somador a capacitores chaveados têm capacitâncias iguais [3] e com o menor

notch, para valores diferentes dos coeficientes das seções passatudo. Nas Figs. 6.10 e 6.11 são mostradas as respostas em frequência simuladas do módulo da função de transferência do filtro *notch* do ramo superior para valores diferentes dos coeficientes b_1 e b_2 da seção de segunda ordem. É apresentada nas Figs 6.10a e 6.11a a degradação da resposta em frequência filtro elíptico com a variação desses coeficientes. Nas Figs 6.10b e 6.11b podem ser observadas as variações da frequência central e da banda de 3dB com a variação dos coeficientes.

Qualquer desvio do valor de coeficientes da função de transferência da seção passatudo de segunda ordem provoca uma alteração na resposta de frequência do módulo correspondente ao filtro *notch*. Os valores atuais dos coeficientes podem ser calculados a partir da frequência central e da banda de 3dB usando as expressões em (6.1).

Um desvio no coeficiente da seção de primeira ordem degrada a resposta em frequência da forma mostrada na Fig. 6.12a. Na Fig. 6.12b é mostrada a resposta do filtro passa baixas implementado para testar o coeficiente de primeira ordem. A partir do valor da frequência de corte, ω_c , para -3dB de atenuação e usando a expressão (6.2) pode ser calculado o valor do coeficiente a realmente implementado.

São mostrados os resultados de cálculos dos coeficientes do filtro na Tabela 6.1. A segunda coluna apresenta os diferentes valores de coeficientes usados no circuito simulado e a terceira coluna os valores de coeficiente calculados a partir da frequência central, a banda de 3dB e a frequência de corte das respostas em frequência simuladas do filtro *notch* e do filtro passa baixas, respectivamente. Os resultados da simulação confirmam a funcionalidade

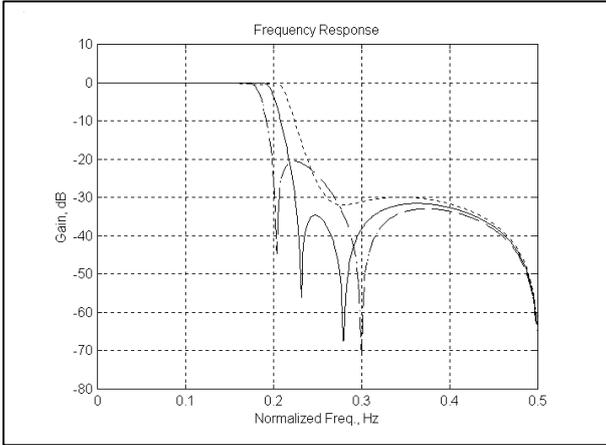


Fig. 6.10a. Resposta em frequência simulada do filtro para $b_1 = 1.26$ (pontilhada), $b_1 = 1.4$, $b_1 = 1.54$ (tracejada).

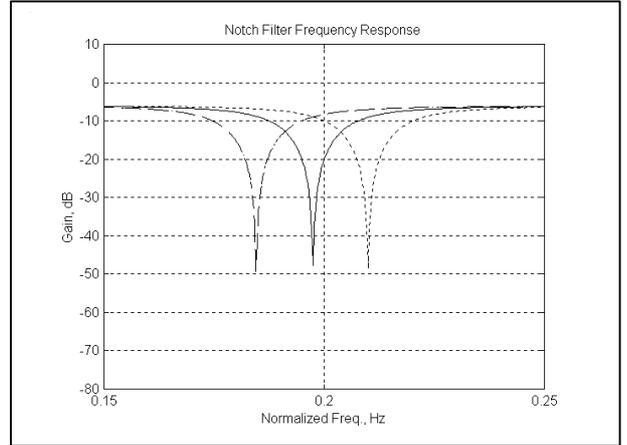


Fig. 6.10b. Resposta em frequência simulada do filtro *notch* para $b_1 = 1.26$ (pontilhada), $b_1 = 1.4$, $b_1 = 1.54$ (tracejada).

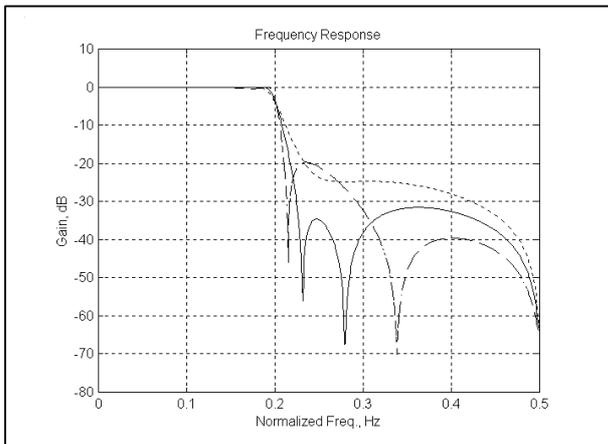


Fig. 6.11a. Resposta em frequência simulada do filtro para $b_2 = 0.13$ (pontilhada), $b_2 = 0.145$, $b_2 = 0.16$ (tracejada).

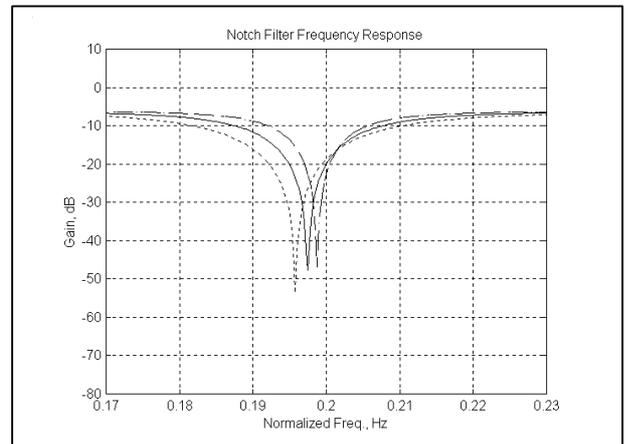


Fig. 6.11b. Resposta em frequência simulada do filtro para $b_2 = 0.13$ (pontilhada), $b_2 = 0.145$, $b_2 = 0.16$ (tracejada).

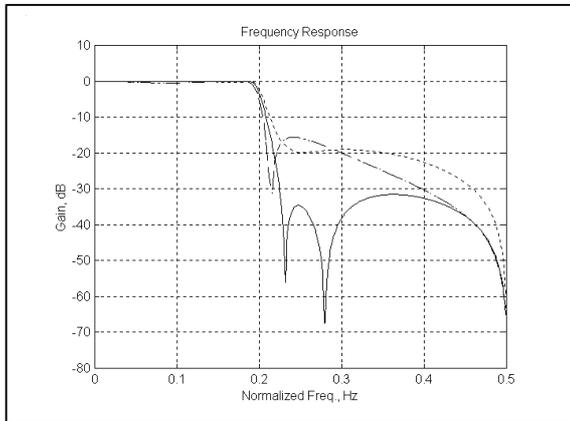


Fig. 15a. Resposta em frequência do filtro para $a = 0.5$ (tracejada), $a = 0.67$, $a = 0.8$ (pontilhada).

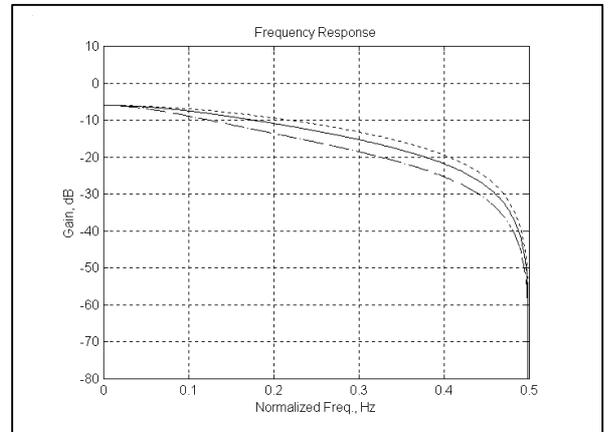


Fig. 15b. Resposta em frequência simulada do filtro passa baixas para $a = 0.5$ (tracejada), $a = 0.67$, $a = 0.8$ (pontilhada).

Table 6.1. Comparação dos valores dos coeficientes simulados e calculados.

Coefficientes	Valor Simulado	Valor Calculado	Desvio, %
a	0.5	0.4991	-0.155
	0.67	0.6690	-0.177
	0.8	0.7989	-0.141
b_1	1.26	1.2581	-0.147
	1.4	1.4009	0.065
	1.5	1.5388	-0.077
b_2	0.13	0.1305	0.369
	0.145	0.1454	0.259
	0.16	0.1605	0.336

Nota: As simulações foram feitas modificando o valor de um dos coeficientes de cada vez mantendo os valores dos outros coeficientes inalterados. Para a simulação com o coeficiente a modificado foram usados

$b_1 = 1.4$, $b_2 = 0.145$. Para b_1 , foram usados $a = 0.67$, $b_2 = 0.145$. Para b_2 , foram usados

$a = 0.67$, $b_1 = 1.4$.

Capítulo 7

Resultados Experimentais

Neste apêndice são apresentados alguns resultados e observações dos testes experimentais realizados com 10 (dez) amostras do CI fabricado.

7.1. Testes do CI fabricado

Para realizar os testes foi montada uma placa de teste. Na entrada do *chip* são aplicados diversos tipos de sinais ou vetores de teste de acordo com o tipo de teste. Foram previstas três saídas no *chip* para verificar o seu funcionamento: V_{out1} é a saída da seção superior do filtro, V_{out2} é a saída da seção inferior e V_{out} é a saída do filtro todo.

O circuito gerador de fase, gera duas fases não superpostas, com uma frequência de 18MHz.

Foi usado um analisador de espectro HP3582A, com varredura interna de frequência, para levantar as respostas em frequência do filtro e das seções passa-tudo.

7.2. Testes AC- Respostas em Frequência

- Foi observado um desvio das respostas em frequência das seções superior (passa-tudo de 1a e de 2a ordens em cascata) e inferior (passa-tudo de 2a ordem), assim como a do filtro, em relação à resposta em frequência desejada. Este desvio se observa para qualquer valor da amplitude do sinal na entrada do circuito e para qualquer frequência de chaveamento do filtro.
- Em todas as respostas em frequência se observa o efeito *sample and hold*.
- Na resposta em frequência da seção inferior, mostrada na Fig. 7.1 se observa uma distorção, diminuição do ganho, para frequências próximas da frequência do polo e do zero desta seção que se encontram mais próximos do círculo unitário.
- Similarmente na resposta em frequência da seção superior se observa uma distorção próximo das frequências do polo e zero do passa-tudo de segunda ordem, mais próximos do círculo unitário. Neste caso a distorção aparece como uma variação do ganho, primeiro para baixo e depois para acima, e em uma magnitude ligeiramente maior do que na seção inferior.
- A resposta em frequência do filtro, mostrada na Fig. 7.2 apresenta uma atenuação máxima de 25dB, que é menor do que a atenuação desejada na faixa de rejeição, *ripple* na banda de passagem de aproximadamente 1dB, maior

do desejado de 0.1dB. Também se observa a variação da posição dos zeros do filtro, a ponto de desaparecer um dos zeros da faixa de rejeição. Outro efeito observado durante as medidas foi que a resposta em frequência do filtro ficava menos distorcida para amplitudes das fases de chaveamentos menores.

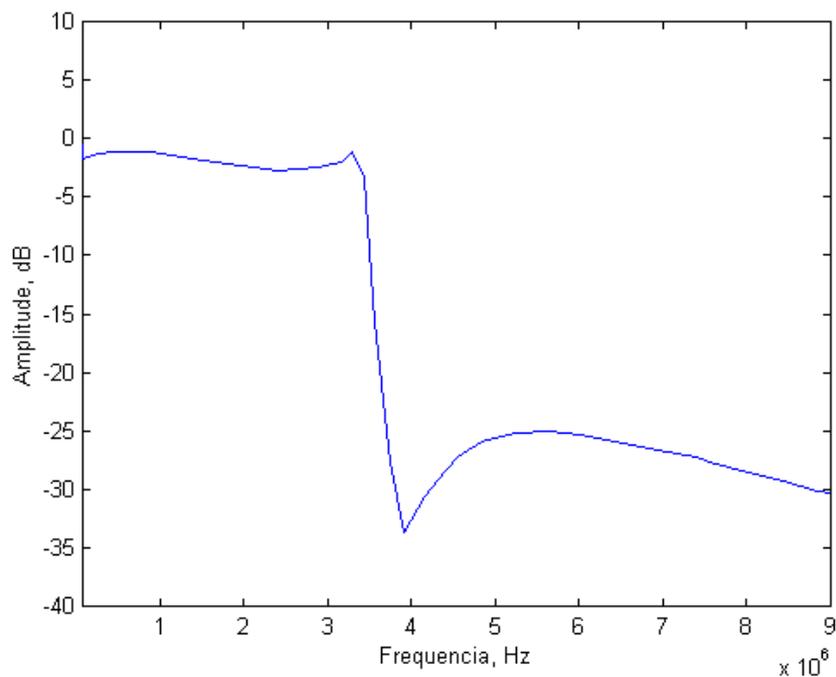
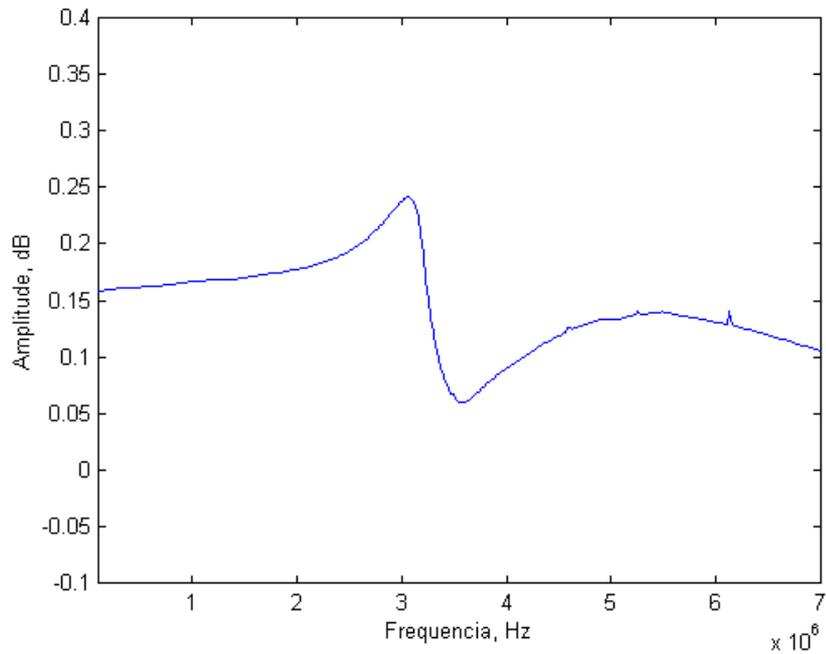


Fig. 7.2 Resposta em frequência do filtro elíptico passa-baixas.

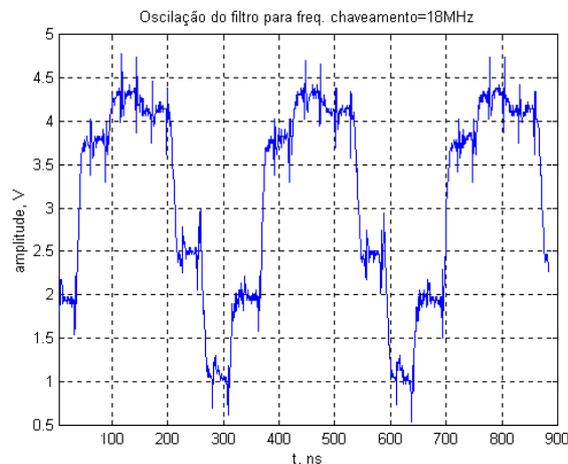
7.3. Testes de DC

Para valor zero do sinal de entrada se observaram sinais diferentes de zero nas saídas do filtro, ou seja, existe um *offset*. Na saída V_{out2} da seção inferior o valor do *offset* é menor do que 10mV. Na saída V_{out1} da seção superior o nível do sinal é maior e chega a ser de 100mV.

A excursão do sinal na entrada do filtro foi reduzida com relação ao valor desejado, ficando em 1Vpp. Foi observada a saturação do circuito quando se aplicavam sinais com amplitudes maiores do que 1Vpp. Foi observada também a saturação do circuito quando se aplicavam na entrada sinais DC acima ou abaixo de determinado valor. Este efeito de saturação foi mais notável na seção superior. Na Tabela 7.1 são apresentados os resultados medidos. Durante esta saturação se observou uma oscilação na saída da seção superior, com frequência igual a frequência do polo do bloco de 2da ordem que forma esta seção. Na Fig. 7.3 é mostrada a oscilação na saída V_{out1} do filtro, pode ser observado que a frequência desta oscilação é a frequência do polo da função de transferência do filtro que fica mais próximo do círculo unitário e que é o mesmo polo passa-tudo de segunda ordem da seção superior do filtro. A frequência do polo é aproximadamente 3.5MHz para uma frequência de chaveamento de 18MHz.

Tabela. 7.1. Valores de DC na entrada e saídas do filtro.

V_{in} , V	V_{out1} , V	V_{out2} , V	V_{out} , V
1.20	1.97	1.37	0.93
1.54	2.32	1.60	1.12
2.05	Oscilação	2.03	Oscilação
2.49	Oscilação	2.49	Oscilação
3.00	Oscilação	3.00	Oscilação



7.4. Testes de Transiente

Aplicando na entrada sinais senoidais de diferentes amplitudes e frequências avaliou-se o desempenho do circuito em regime transiente. Para valores de amplitude e frequência do sinal de entrada em que o filtro não oscilava nem se saturava foram observados nas saídas sinais que se aproximavam bastante dos esperados. Nas saídas das seções superior e inferior foram observados sinais de igual forma e amplitude (com as mesmas características) do sinal de entrada, defasado por causa do atraso introduzido pelo circuito a capacitores chaveados. Se observou que nas saídas os sinais estavam conseguindo se estabelecer dentro do intervalo de tempo de cada fase (metade do período de chaveamento). Foi observado também um efeito de injeção de carga (*clock feedthrough*) nos sinais das saídas V_{out1} , V_{out2} , V_{out} quando as chaves se abriam, sendo que os níveis de injeção de carga nestes sinais variavam com o nível do sinal e se encontravam na faixa de 10mV a 20mV.

A amplitude do sinal na saída do filtro todo é duas vezes maior que a amplitude do sinal na entrada conforme esperado, já que o multiplicador de valor $\frac{1}{2}$ não foi utilizado. Puderam ser avaliadas qualitativamente algumas das características dos OTAs de saída do circuito, como o *slew rate* e a excursão do sinal na saída dos amplificadores.

7.5. Análise dos Resultados dos Testes do Chip

O próximo passo seria identificar a causa ou as causas dos desvios das características do *chip* observadas durante as medidas. Como não é viável fazer isto experimentalmente, já que só temos acesso a três saídas do *chip*, temos que tentar identificar as causas dos problemas mediante simulações do circuito em diferentes condições.

Para começar devemos fazer uma análise dos diferentes componentes do circuito, tentando identificar algum erro no projeto destes componentes ou algum erro no processo de fabricação.

Depois analisaremos outros fatores físicos tais como o *layout*, e finalmente alguns outros efeitos não ideais como a injeção de carga.

Tudo parece indicar que não é apenas 1 (um) fator que influencia na alteração da resposta em frequência do circuito, mas que podem ser vários os fatores que provocam

distorções parecidas. A seguir analisaremos estes fatores e as precauções para evitar sua

7.6. Desvios físicos, pelo processo

A estrutura do filtro está baseada na conexão de blocos passa tudo ligados em paralelo. A estrutura dos blocos passa tudo determina que os coeficientes do numerador da função de transferência do bloco e os coeficientes do denominador devem ser implementados pelas mesmas razões de capacitâncias para se ter um circuito estruturalmente passa-tudo. Existem algumas não idealidades que podem levar alterar esta propriedade dos blocos passa-tudo e que levaria a que o bloco deixaria de ser estruturalmente passa-tudo.

7.6.1. Capacitores

No circuito existem três tipos de capacitâncias:

- capacitâncias que realizam as razões que formam os coeficientes dos blocos passa tudo,
- as capacitâncias dos módulos *sample and hold* que realizam os atrasos do circuito
- as capacitâncias que formam os somadores do circuito e que determinam os coeficientes e a precisão da soma dos sinais

Um erro no valor das capacitâncias que realizam qualquer dos coeficientes do filtro (seja pelo projeto ou pelo processo) levaria à modificação do valor do coeficiente do bloco passa tudo. Apesar desta modificação, o bloco permaneceria passa tudo e a resposta em frequência não seria distorcida. Isto foi verificado mediante simulações do circuito em ORCAD e MATLAB para cada coeficiente independentemente e no conjunto.

Um desvio no valor dos outros dois tipos de capacitores não provoca a distorção da resposta em frequência observada nas medidas. Isto foi verificado pelas simulações.

7.6.2. Chaves

As características das chaves que podem influenciar o comportamento do circuito são as seguintes:

gate e da difusão do dreno e da fonte, e uma componente dependente da tensão devido à capacitância entre o *gate* e o canal. A existência destas capacitâncias é a causa dos efeitos de injeção de carga e *clock feedthrough*, e provoca uma variação da tensão nos capacitores do circuito.

7.6.3. Amplificadores

- As simulações não indicaram erros nos amplificadores. Foram feitas simulações para valores baixos do ganho dos OTAs e as distorções das respostas observadas não foram parecidas com as observadas experimentalmente.
- Embora a comparação dos resultados experimentais com os resultados das simulações não indiquem erros nos OTAs, não podemos descartar definitivamente OTAs no comportamento do circuito já que os mesmos não foram caracterizados experimentalmente, o que daria mais certeza a uma afirmação deste tipo.
- Ajustes de corrente de polarização dos amplificadores não melhora as respostas em frequência do filtro. Cada uma das correntes de polarização dos OTAs foi variada até $\pm 50\%$ do valor de projeto, tanto individualmente quanto em conjunto. Nem as

medidas nem as simulações mostraram nada que indicasse que esta seria uma das causas da distorção das respostas.

- Os resultados das simulações dos OTAs mostrados no Capítulo 4 indicam que os valores do *offset* dos amplificadores são baixos e os ganhos em

7.6.4. Gerador de fases

O gerador de fase não apresenta problemas. É um circuito que está fora do *chip* e gera as duas fases não superpostas.

7.7. Outros efeitos

As simulações mostraram que uma alteração no valor da tensão nos capacitores, que pode ser provocado por uma descarga por causa de uma corrente de fuga, por redução do ganho dos amplificadores, ou pela injeção de carga, provocaria distorções na resposta em frequência das seções do filtro e do filtro muito próximas das distorções observadas em laboratório. Destes três fatores a injeção de carga é o que parece mais provável de provocar as alterações de carga nos capacitores.

A posição dos zeros da função de transferência do filtro é mais sensível às variações da carga nos capacitores, o que provoca a distorção na resposta em frequência dos passatodos. O efeito da variação da carga dos capacitores que realizam os coeficientes do filtro provoca uma variação na posição dos zeros, e o filtro deixa de ser estruturalmente passa-tudo. Um erro nos valores dos coeficientes causadas por erro nas capacitâncias não provoca que o filtro deixe de ser estruturalmente passa todo.

Nas simulações realizadas observamos que um erro no coeficiente unitário do termo Z^{-2} do numerador da função de transferência do passa-tudo pode provocar uma distorção na sua resposta em frequência parecida com a resposta em frequência observada no *chip*. Este desvio no coeficiente unitário pode ter sido provocado por

Nas experiências observamos que na resposta em frequência do filtro desaparecia um dos zeros. O zero que não estava aparecendo é o zero da seção passa-tudo de segunda ordem superior. O desaparecimento deste zero indica que o mesmo se deslocou para dentro do círculo unitário na direção do polo. Este deslocamento do zero é provocado pela variação do coeficiente de valor 1 do numerador da função de transferência, a diminuição deste 1 provoca o deslocamento do zero para dentro do círculo unitário

(como foi conferido pelas simulações no *matlab*). Quando este valor aumenta, acima de 1, a distorção da resposta em frequência simulada é diferente á observada no *chip*. O zero se afasta do círculo unitário, mas a posição do polo não varia porque só variou o coeficiente do numerador.

A diminuição do valor de coeficiente unitário pode ser provocada pela injeção de carga na capacitância de realimentação do somador. Desta forma, o ganho finito do amplificador provocaria que sinal não se estabelecesse completamente na capacitância de realimentação e o valor do coeficiente unitário aumentaria provocando uma distorção diferente da observada nas medidas.

A variação da carga num dos capacitores dos *sample and holds* que realizam as seções de atraso por causa da injeção de carga também provoca uma distorção parecida com a observada nas medidas.

Capítulo 8

Conclusões

Este trabalho propõe um procedimento de implementação e teste em circuito integrado de filtros a capacitores chaveados de baixa sensibilidade às razões entre capacitâncias, baseado em conexões em série e paralelo de seções passa-tudo de primeira e segunda ordens. Como exemplo ilustrativo foi realizado um circuito integrado de um filtro passa baixas de quinta ordem, na tecnologia CMOS 0.8 μ m *double poly, double metal* da AMS, utilizando especificações típicas para aplicações na faixa de frequência de vídeo. O circuito integrado ocupa uma área de 1.2x1.8mm e uma potência dissipada de aproximadamente 160mW. Foi descrita a metodologia de teste da função de transferência do filtro, fazendo uso do sinal de entrada e dos filtros *notch* utilizando apenas dois somadores e duas saídas extras.

Pode ser conferido através de simulações que a estrutura de filtro desenvolvida apresenta baixa sensibilidade às variações das razões de capacitâncias que implementam os coeficientes. Se desejável os valores dos coeficientes podem ser modificados para otimizar a área e o consumo de potência do circuito sem perder as propriedades de baixa sensibilidade do filtro.

A metodologia proposta consegue realizar um projeto de integração otimizado, através do o projeto otimizado de cada um dos componentes do circuito. Foram realizados os *layouts* e simulações *pos-layout* para verificar e determinar as características de cada componente. Foi então composto o *layout* das seções passa-tudo e do filtro inteiro, e simulados separadamente e no conjunto.

Foi observado que esta estrutura precisa de mais elementos ativos do que outras estruturas. A configuração usada nos somadores requer OTAs com alta corrente de saída para poder satisfazer as requisitos do circuito, o que aumenta a potência de consumo e torna esta estrutura não muito eficiente quanto ao consumo de potência.

Os 10 (dez) protótipos fabricados apresentaram desvios nas respostas medidas experimentalmente das especificações desejadas e dos resultados das simulações. Tanto estes resultados quanto as medidas experimentais apontaram para alguns aspectos do circuito a serem considerados no futuro. O ganho unitário dos *sample and hold* de atraso do circuito podem ser alterados pela injeção de carga o que leva aos passa-tudos

deixarem de ser estruturalmente passa-tudo, e deteriorando a propriedade de baixa sensibilidade do filtro. Para evitar isto têm que ser tomadas providências para reduzir a injeção de carga nas chaves e capacitores que realizam *sample and holds*. Para isto pode se aumentar o valor das capacitâncias destes capacitores, otimizar as chaves ou usar amplificadores diferenciais. A injeção de carga nos capacitores que formam os somadores também pode deteriorar a sensibilidade do filtro. A injeção de carga nos capacitores do somador altera o valor do coeficiente 1 do numerador da função de transferência, o que leva ao zero desta seção se aproximar do círculo unitário provocando a distorção da resposta em frequência.

Tendo em conta os efeitos observados nas medidas experimentais e alguns dos resultados das simulações, deve se considerar no futuro o aumento do valor absoluto das capacitâncias que implementam os coeficientes para ganhar em precisão de implementação das razões de capacitores, e reduzir a injeção de carga, particularmente no capacitor de 0.145pF. Os OTAs devem ser re-dimensionados para estes novos valores de capacitâncias e implementados separadamente para sua caracterização. Devem se melhorar os casamentos dos transistores dos espelhos, realizando os seus *layouts* de forma que o número de transistores seja igual à razão da multiplicação das correntes. Deve se polarizar de forma mais independente cada amplificador para ter mais facilidades de sintonia da polarização durante os testes e para garantir um melhor casamento dos espelhos ficando mais próximos do amplificador do *layout*. Finalmente, devem-se engrossar as linhas de alimentação e terra para reduzir o ruído, e igualmente engrossar as linhas das fases das chaves. Tornar o mais independente possível a alimentação de cada amplificador, juntando todas as alimentações num só ponto *pad* correspondente.

As principais contribuições deste trabalho foram: o desenvolvimento de uma metodologia de integração de filtros SC com estrutura de passa-tudos ligados em paralelo em tecnologia CMOS, a implementação desta metodologia através de um exemplo ilustrativo e o desenvolvimento de um método de teste dos coeficientes da função de transferência do filtro SC único para este tipo de estrutura, que permite a localização e quantificação de falhas paramétricas. O método de teste proposto necessita de apenas um circuito somador extra para sua implementação, em contraste com outros métodos apresentados na literatura que duplicam os circuitos a serem testados e comparam a suas saídas. Esta duplicação tem a desvantagem de aumentar

consideravelmente a área do CI. Exemplos foram considerados para verificar a eficiência do método. Finalmente, o procedimento de teste proposto pode ser estendido a filtros contínuos no tempo e a filtros digitais baseados em seções passa-tudo.

Apêndice A

Procedimento de projeto dos filtros SC com seções passa-tudo ligadas em paralelo

Neste apêndice é apresentado o procedimento de síntese da função de transferência e da configuração do circuito de estruturas baseadas na conexão de passa-tudo ligados em paralelo.

Vamos identificar as duas funções passa-tudo a partir da função de transferência $G(z)$. Seja

$$G(z) = \frac{P(z)}{D(z)} = \frac{p_0 + p_1 z^{-1} + \dots + p_N z^{-N}}{1 + d_1 z^{-1} + \dots + d_N z^{-N}} \quad (\text{A.1})$$

uma função de transferência real e limitada de ordem N , e a sua complementar em potência $H(z)$ dada por

$$H(z) = \frac{Q(z)}{D(z)} = \frac{q_0 + q_1 z^{-1} + \dots + q_N z^{-N}}{1 + d_1 z^{-1} + \dots + d_N z^{-N}} \quad (\text{A.2})$$

A propriedade de complementares em potência implica que

$$\left|G(e^{j\omega})\right|^2 + \left|H(e^{j\omega})\right|^2 = 1 \quad (\text{A.3})$$

De (2.3) temos que $G(z)$ tem que ter um numerador com coeficientes simétricos,

$$p_n = p_{N-n} \quad (\text{A.4})$$

e de (2.4) temos que os coeficientes do numerador de $H(z)$ devem ser antissimétricos,

$$q_n = -q_{N-n} \quad (\text{A.5})$$

De (A.4) implica que

$$P(z^{-1}) = z^{-N} P(z) \quad (\text{A.6})$$

similarmente de (A.5) se deriva que

$$Q(z^{-1}) = -z^{-N} Q(z) \quad (\text{A.7})$$

Podemos então escrever (A.3) como

$$G(z^{-1})G(z) + H(z)H(z^{-1}) = 1 \quad (\text{A.8})$$

Substituindo $G(z) = P(z)/D(z)$ e $H(z) = Q(z)/D(z)$ na equação anterior e fazendo uso de (A.4) e (A.5) chegamos a,

$$[P(z) + Q(z)][P(z) - Q(z)] = z^{-N} D(z^{-1})D(z) \quad (\text{A.9})$$

Das relações (A.6) e (A.7) podemos escrever

$$P(z) - Q(z) = z^N [P(z^{-1}) + Q(z^{-1})] \quad (\text{A.10})$$

Se denotar os zeros de $[P(z) + Q(z)]$ como $z = x_k$, $1 \leq k \leq N$ então da equação (A.9) temos que $z = 1/x_k$, $1 \leq k \leq N$ são os zeros de $[P(z) - Q(z)]$. De (A.10) se deduz que os zeros de $[P(z) + Q(z)]$ dentro do círculo unitário são os zeros de $D(z)$ e os zeros de $[P(z) + Q(z)]$ fora do círculo unitário são os zeros de $D(z^{-1})$ desde que $G(z)$ e $H(z)$ sejam funções de transferências estáveis. Seja $z = x_k$, $1 \leq k \leq r$, os zeros de $[P(z) + Q(z)]$ dentro do círculo unitário e os restantes $N - r$ zeros, $z = x_k$, $r + 1 \leq k \leq N$ fora do círculo unitário. De (A.10) podemos ver que os N zeros de $D(z)$ são dados por $z = x_k$, $1 \leq k \leq r$ e $z = 1/x_k$, $r + 1 \leq k \leq N$.

Tudo o que precisamos agora é relacionar estes zeros com as funções de transferências passa-tudo $A_M(z)$ e $A_N(z)$. Das equações (2.3) e (2.4) temos que

$$A_M(z) = G(z) + H(z) = \frac{P(z) + Q(z)}{D(z)} \quad (\text{A.11})$$

$$A_N(z) = G(z) - H(z) = \frac{P(z) - Q(z)}{D(z)} \quad (\text{A.12})$$

Então as duas funções de transferência passa-tudo podem ser expressas como

$$A_M(z) = \prod_{k=r+1}^N \frac{z^{-1} - (x_k^*)^{-1}}{1 - x_k^{-1} z^{-1}} \quad (\text{A.13})$$

$$A_N(z) = \prod_{k=1}^r \frac{z^{-1} - x_k^*}{1 - x_k z^{-1}} \quad (\text{A.14})$$

onde x_k^* é o complexo conjugado de x_k .

Para chegar a estas expressões é necessário determinar a função de transferência $H(z)$ que é a complementar em potência de $G(z)$. Denotando o polinômio $P^2(z) - z^{-N}D(z^{-1})D(z)$ como $U(z)$

$$P^2(z) - z^{-N}D(z^{-1})D(z) = U(z) = \sum_{n=0}^{2N} u_n z^{-n} , \quad (\text{A.15})$$

podemos escrever (A.9) como

$$Q^2(z) = \sum_{n=0}^{2N} u_n z^{-n} \quad (\text{A.16})$$

Resolvendo esta equação para os coeficientes q_k de $Q(z)$ chegamos a

$$q_0 = \sqrt{u_0} , \quad q_1 = \frac{u_1}{2q_0} , \quad (\text{A.17})$$

$$q_k = -q_{N-k} = \frac{u_k - \sum_{l=1}^{k-1} q_l q_{k-l}}{2q_0} , \quad k \geq 2 , \quad (\text{A.18})$$

Aqui usamos a propriedade de anti-simetria dos coeficientes de $Q(z)$. Após determinar $Q(z)$, é formado o polinômio $[P(z) + Q(z)]$ e são calculados os zeros $z = X_k$, para então determinar as duas funções de transferência passa-tudo usando (A.13) e (A.14).

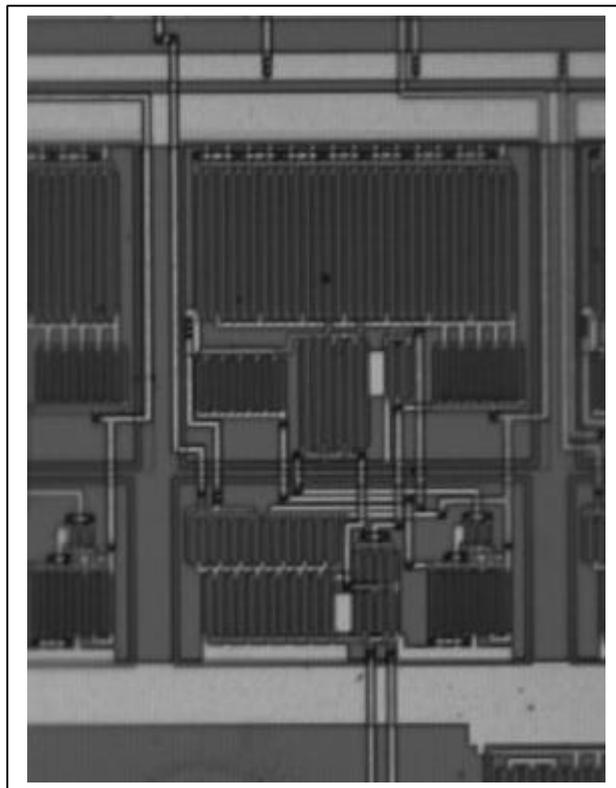
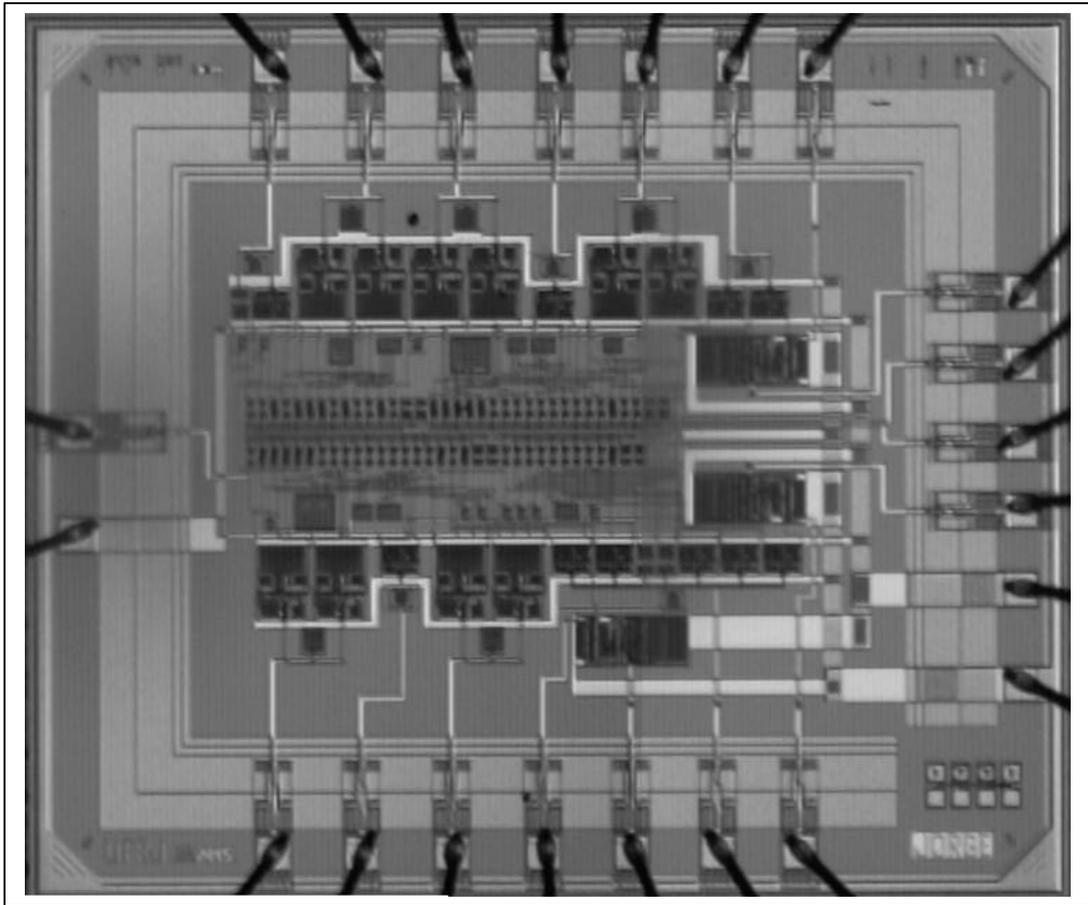
No caso de filtros discretos no tempo passa baixas ou passa altas dos tipos Butterworth, Chebyshev e elíptico existe um procedimento simples para identificar os pólos das funções de transferências passa-tudo $A_M(z)$ e $A_N(z)$ a partir dos pólos l_k , $0 \leq k \leq N-1$ do par de funções $G(z)$ e $H(z)$. Seja α_k o ângulo do polo l_k . Assumindo que os pólos são numerados de forma tal que $\alpha_k < \alpha_{k+1}$ então, os pólos de $A_M(z)$ são dados por l_{2k} e os pólos de $A_N(z)$ por l_{2k+1} . Esta é a chamada propriedade de *interlacing* [17].

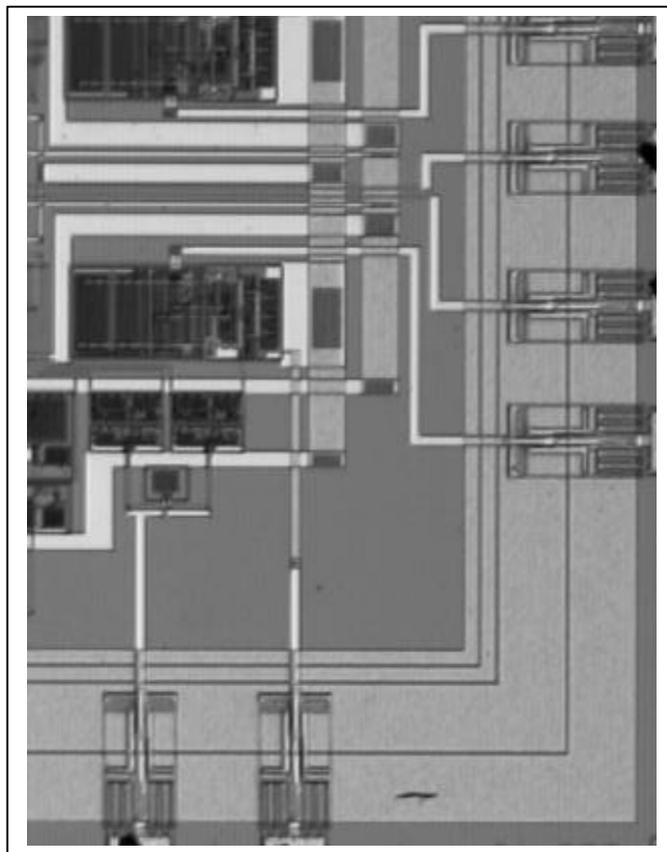
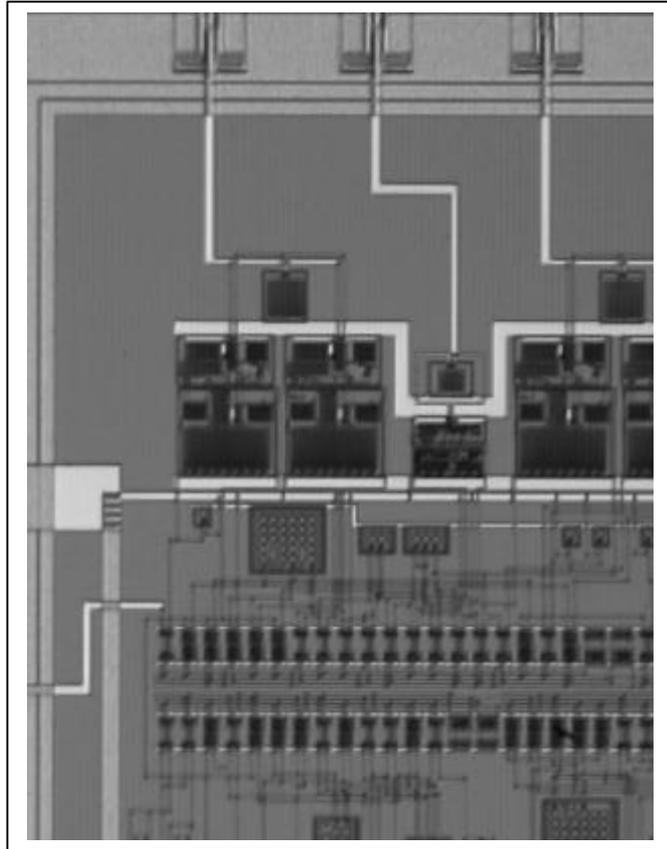
Estas realizações baseadas em conexões de passa-tudos em paralelo apresentam uma muito baixa sensibilidade às variações dos coeficientes se as seções passa-tudo são realizadas da forma que sejam estruturalmente passa-tudo [17].

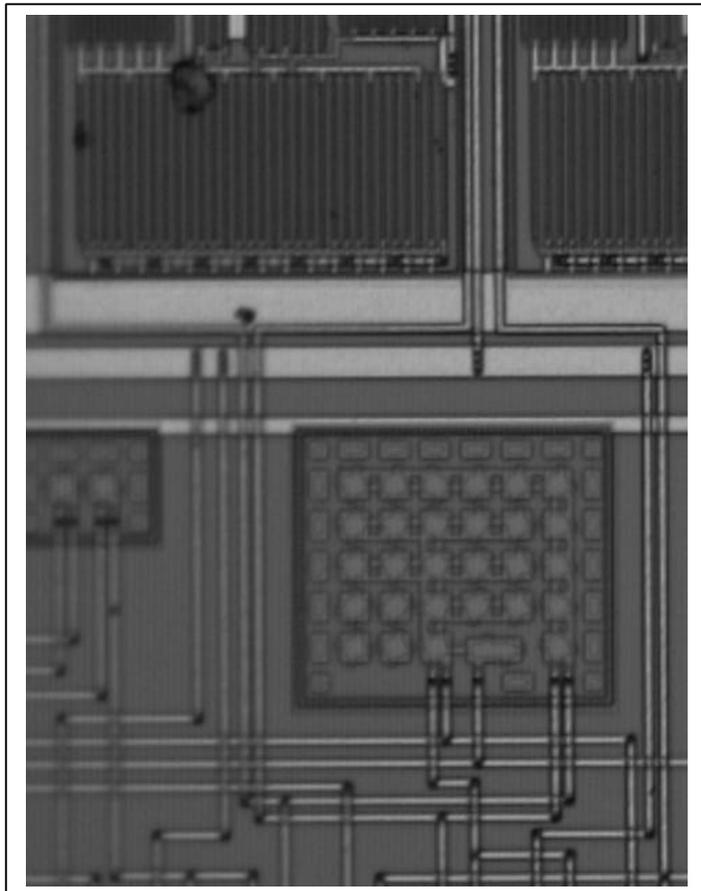
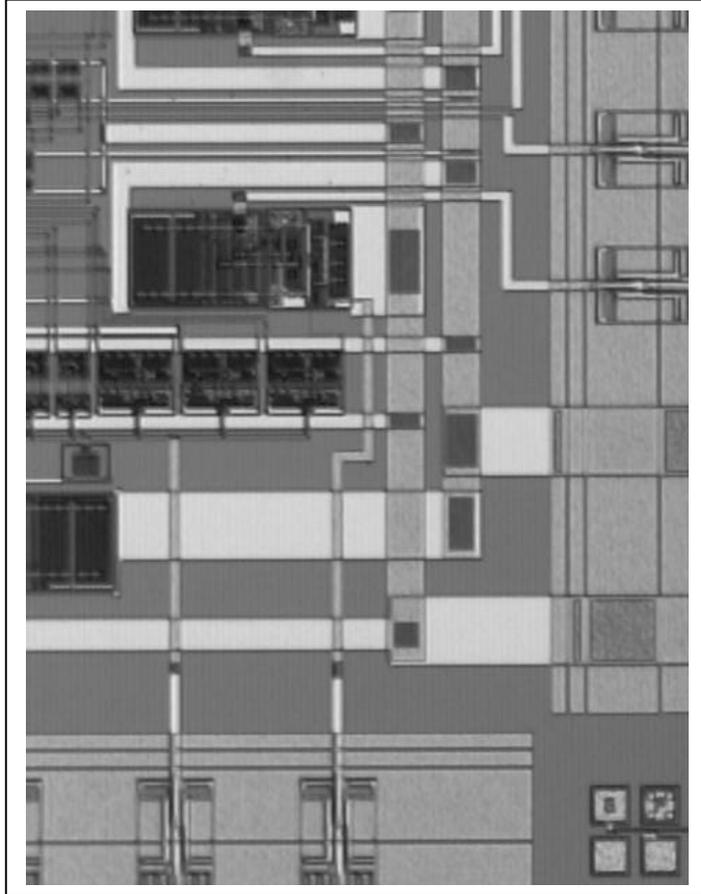
Este resultado pode ser estendido para o contexto dos filtros SC [14]. Em [14] se mostra que estruturas baseadas na transformação de pólos e usando elementos acumuladores implementados por integradores LDI oferecem uma solução viável para a implementação de forma monolítica de filtros SC de baixa sensibilidade.

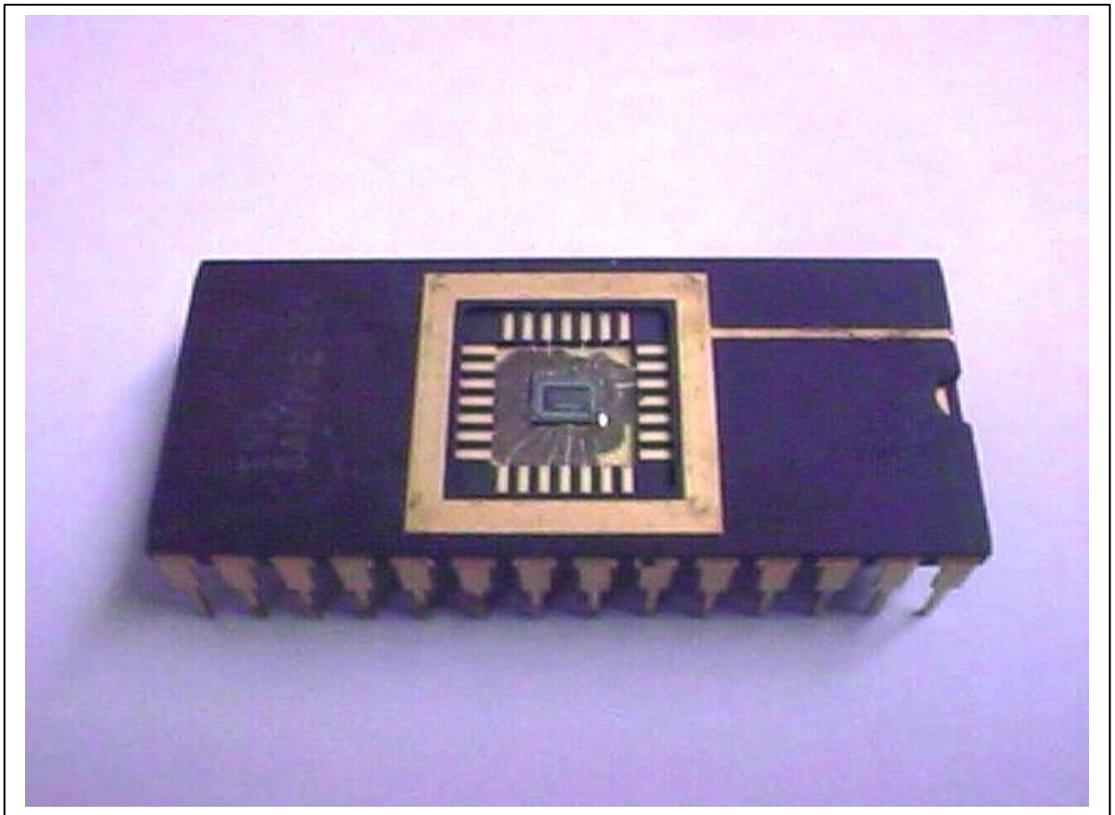
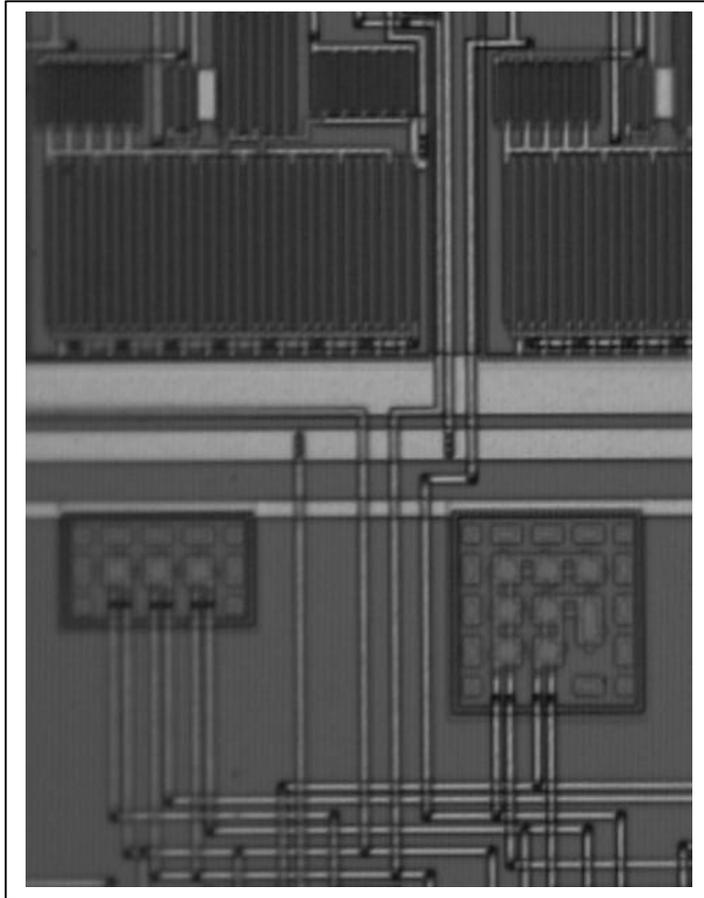
Apêndice B

Fotografias do Circuito Integrado









Bibliografia

1. G.M. Jacobs, D.J. Allstot, R.W. Broderson and P.R Gray, "Design techniques for MOS switched-capacitor ladder filters", *IEEE Trans. Circuits and Systems*, CAS-25, 1014-1021, 1978.
2. R. W. Broderson, P. R. Gray and F. A. Hodge, "MOS switched-capacitor filters", *Proc. IEEE*, 67, 61-74, 1979.
3. K. Martin and A. S. Sedra, "Stray-insensitive switched-capacitor filters based on bilinear z-transform", *Electron. Lett.*, 15, 365-366, 1979.
4. M. S. Lee and C. Chang, "Low sensitivity switched-capacitor ladder filters", *IEEE trans. Circuits and System*, CAS-27,475-480, 1980.
5. M. S. Lee and C. Chang, " Switched-capacitor filters using the LDI and the bilinear transformations", *IEEE Trans. Circuits and System*, CAS-28, 265-270, 1981.
6. M. S. Lee, G. C. Temes and C. Chang, "Bilinear switched-capacitor ladder filters", *IEEE Trans. Circuits and System*, CAS-28, 811-821, 1981.
7. R. B. Datar and A. S. Sedra, "Exact design of stray-insensitive switched -capacitor ladder filters", *IEEE Trans. Circuit and System*, CAS-30, 888-898, 1983.
8. R. Gregorian, "Switched-capacitor filter design using cascade sections", *IEEE Trans. Circuits and Systems*, CAS-27, 515-521, 1980.
9. P. E. Fleisher and K. R. Laker, "A family of active switched-capacitor filter biquad blocks", *Bell Syst. Tech. J.* 58, 2235-2269, 1979.
10. K. Martin and A. S. Sedra, "Exact design of switched-capacitor bandpass filters using coupled-biquad structures", *IEEE Trans. Circuits and Systems*, CAS-27, 469-474, 1980.
11. N. Attaie and E. I. El-Masry, "Multiple-loop feedback switched-capacitor structures", *IEEE Trans. Circuits and Systems*, CAS-30, 865-872, 1983.
12. E. I. El-Masry, "Stray-insensitive state-space switched-capacitor filter", *IEEE Trans. Circuits and Systems*, CAS-30, 474-488, 1983.
13. B. McGuffin and B. Liu, " Low sensitivity switched-capacitor filters using allpass building blocks", *Proc. IEEE Int. Symp. On Circuits and Systems*, Montreal, May 1984, pp. 288-291.

14. C. A. Gobet, S. K. Mitra and A. Petraglia, "Low-passband-sensitivity switched-capacitor filters using a parallel connection of two structurally lossless networks", *Int. Journal of Circuit theory and Applications*, vol. 20, 47-62, 1992.
15. A. Petraglia and M. A. M. Monteiro, "A Switched- Capacitor Filter Having Very Low Sensitivity to Capacitance ratios Errors and to Finite Amplifier Gains", *IEEE Trans. Circuits Syst.*, vol. 45, No. 7, pp. 890-894, July 1998.
16. R. Gregorian, G. C. Temes , *Analog Integrated Circuits for Signal Processing*, John Wiley & Sons, 1986.
17. S. K. Mitra, *Digital Signal Processing-A Computer Based Approach*, McGraw-Hill, 1998.
18. A. Petraglia e S. K. Mitra, "Switched-Capacitor Equalizers with Digitally Programmable Tuning Characteristics", *IEEE Trans.* Vol.38, No .11 (1991), pp1324-1331, Nov. 1991.
19. Y. Tsvividis, *Mixed Analog Digital VLSI Devices and Technology*, McGraw-Hill, 1995.
20. M.J. McNutt, S. LeMarquis and J.L. Dunkley, "Systematic Capacitance Matching Errors and Corrective Layout Procedures", *IEEE Journal of Solid-State Circuits*, Vol.29. No. 5, pp. 611-616, May 1994.
21. J.F. Duque-Carrillo, J.Silva-Martinez e E. Sanchez-Sinencio, "Programmable Switched-Capacitor Bump Equalizer Architecture", *IEEE Journal of Solid-state Circuits*, Vol. 25, No.4, pp 1035-1038, Aug. 1990.
22. B.G. Henriques e J.E. Franca, "A High-Speed Programmable CMOS Interfase System Combining D/A Conversion and Filtering", *IEEE Journal of Solid-State Circuits*, Vol.29, No.8, pp. 972-977, Aug. 1994.
23. F. A. Baruqui, A. Petraglia, *Estruturas a Capacitores Chaveados de Baixa Sensibilidade para Processamento de Sinais*, Tese de Doutorado, PEE/UFRJ, Brasil 1999.
24. N. Paulino , J.E. Franca e F.P. Martins, "Programmable CMOS Switched-Capacitor Biquad Using Quasi-Passive Algorithmic DAC's", *IEEE Journal of Solid-State Circuits*, Vol.30, No.6, pp. 715-719, June 1995.
25. G.C. Temes, "Finite Amplifier Gain and Bandwidth Effects in Switched-Capacitor Filters", *IEEE Journal of Solid-State Circuits*, Vol.SC-15.No.3, pp. 358-361, June 1980.

26. Phillip E. Allen and Edgar Sanchez-Sinencio, *Switched Capacitor Circuits*, Van Nostrand Reinhold Company, New York, 1984.
27. A C. M. Queiroz, P. R. M. Pinheiro and L. P. Calôba, "Nodal analysis of switched-current filters", *IEEE Trans. Circuits Syst. II*, vol. 40, pp. 10-18, Jan. 1993.
28. J.-B. Shyu, G. C. Temes and F. Krummenacher, "Random error effects in matched MOS capacitors and current sources," *IEEE J. Solid-State Circuits*, Vol. 19, pp. 948-955, Dec. 1984.
29. C. Eichenberger and W. Guggenbuhl, "On charge injection in analog MOS switches and dummy Switch compensation techniques", *IEEE Transactions on Circuits and Systems*, Vol. 37, No.2, pp 256-264, February 1990.
30. José L. Huertas, A Rueda and D. Vázquez, "Testable Switched –Capacitor Filters", *IEEE J. Solid-State Circuit*, vol. 28, no 7, pp. 719723, July 1993.
31. M. F. Toner and G. W. Roberts, "A BIST Scheme for a SNR, Gain Tracking, and Frequency Response Test of a Sigma-Delta ADC ", *IEEE Trans. on Circuits and Systems-II*, vol. 42, no. 1, pp 1-15, January 1995.
32. M. F. Toner and G. W. Roberts, "A Frequency Response, Harmonic Distortion Test for BIST of a Sigma-Delta ADC", *IEEE Trans. on Circuits and Systems-II*, vol. 43, no. 8, pp 608-613, August 1996.
33. R. Harjani and b. Vinnakota, "Analogue Circuit Observer Blocks", *IEEE Trans. on Circuits and Systems-II* vol. 44, no. 3, pp. 154-163, February 1997.
34. A. Grochowski, D. Bhattacharya, T.R. Viswanathan and K. Laker , "Integrated Circuit Testing for Quality Assurance in Manufacturing: History, Current Status, and Future Trends", *IEEE Trans. on Circuits and Systems-II*, vol. 44, no.8 , August 1997.
35. J. Shyu, G.C. Temes, and Krummennacher, "Random error effects in matched MOS capacitors and currents", *IEEE J. Solid-State Circuits*, vol. 19, pp. 948-955, 1984.
36. J. Shyu, G.C. Temes, and K. Yao, "Random errors in MOS capacitors", *IEEE Trans. Circuit Syst.*, vol. 17, pp. 1070-1076, 1982.
37. J.M. McCreary, Matching properties, and voltage and temperature dependence of MOS capacitors", *IEEE J. Solid State Circuits*, vol. 16, pp. 608-616, 1981.
38. A. Kaelin, J goette, W Guggenbuhl, and Moschytz, "A novel capacitance assignment procedure for the design of sensitivity-and-noise optimized SC-filters", *IEEE Trans. Circuits Syst.*, vol. 38, pp. 1255-1269, 1991.
39. J.M. Cañive e A. Petraglia, "On the Testability of SC filters based on allpass sections", *IEEE Int. Symp. On Circuits and System*, Sydney, Australia, May 2001.

40. J. M. Cañive, J. G. R. C. Gomes e A. Petraglia, "A CMOS low sensitivity switched-capacitor video filter," *Proc. IEEE Int. Symp. on Circuits and Systems*, Geneva, Switzerland, May 2000, pp. III.165-III.168.
41. J. M. Cañive, J. G. R. C. Gomes e A. Petraglia, "A Low Sensitivity SC Filter Design with Testability Features" *Proc. XII Symp. on IC and Syst. Design* 1999, pp. 115-118.