

# ESTRUTURAS DE TESTE DE SENSORES APS RESISTENTES À RADIAÇÃO

Leandro Teixeira Dornelles

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Aprovada por:

---

Prof. Antônio Carneiro de Mesquita Filho, Dr. D'Etat

---

Profa. Maria Thereza Miranda Rocco Giraldi, Dr.

---

Prof. Jorge Lopes de Souza Leão, Dr.Ing.

RIO DE JANEIRO, RJ - BRASIL  
MARÇO DE 2007

DORNELLES, LEANDRO TEIXEIRA

Estruturas de Teste de Sensores APS  
Resistentes à Radiação [Rio de Janeiro]  
2007

XIV, 137 p. 29,7cm (COPPE/UFRJ,  
M.Sc., Engenharia Elétrica, 2007)

Dissertação - Universidade Federal do  
Rio de Janeiro, COPPE

1. Sensores APS
2. Resistência à Radiação

I. COPPE/UFRJ    II. Título ( série )

Dedico este trabalho a meus amados pais, que foram capazes de se entregar completa e desinteressadamente, para que eu pudesse chegar até aqui.

## AGRADECIMENTOS

Primeiramente, a Deus, por esta bênção fazer parte do seu plano de infinito amor.

Aos meu pais, Daltro e Glória Regina, por todo o carinho e integral dedicação dispensados com a minha formação. Amo vocês!

Ao TC Pedro Paulo, a quem eu ousou considerar, muito mais que mestre e amigo, como um irmão, por ter me conduzido durante os meus primeiros passos neste fascinante caminho da Engenharia Eletrônica, inclusive abrindo as portas para o campo da Microeletrônica.

Aos professores Mesquita e Filipe, que me orientaram durante a realização do projeto alvo desta dissertação, pela paciência, ensinamentos transmitidos, disponibilidade e amizade.

Aos meus companheiros de turma, Vitor César e Guimarães, pela amizade e companheirismo desenvolvidos ao longo desses anos, e fortalecidos, sem dúvida alguma, com as muitas horas de dedicação comum na realização deste projeto.

Aos meus chefes e ex-chefes Cel Apolinário, TC Ivan, TC Moisés, Maj Pellanda, Professora Maria Thereza e Maj Castedo, de quem sempre recebi todo o apoio para a conclusão desta meta.

Ao amigo e ex-companheiro de baiuca Eumir, com quem compartilhei momentos de dificuldade e incentivo, ao longo de nossos mestrados. Teu apoio foi fundamental!

Aos alunos e ex-alunos de mestrado do IME, todos companheiros de trabalho, Alessandra, Arthur, Caique, Diogo, Cap Leonardo, Gleyson, João, Catia, Leonardo, Loss, Michele, Paul, Ricardo Toscano, Roberto, Sebastian, Toscano, pela amizade que me ajudou a transpor diversas barreiras ao longo dessa trajetória.

Aos companheiros de trabalho da COPPE/UFRJ, Bruno, Edvaldo, Milton, Gavião e Pedro, por toda a ajuda. Torço por vocês e pelas suas carreiras!

Muito Obrigado.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

## ESTRUTURAS DE TESTE DE SENSORES APS RESISTENTES À RADIAÇÃO

Leandro Teixeira Dornelles

Março/2007

Orientador: Antônio Carneiro de Mesquita Filho

Programa: Engenharia Elétrica

Este trabalho apresenta algumas estruturas de teste desenvolvidas para a caracterização de sensores de pixels ativos CMOS (CMOS APS) resistentes à radiação. Essas estruturas consistem em dois tipos de matrizes, as quais podem ser utilizadas no levantamento de parâmetros ópticos, como Eficiência Quântica, Resposta Espectral, Faixa Dinâmica, Efeito Siliceto/Saliceto, Ofuscamento e Carga Residual; e parâmetros elétricos, como Sensibilidade, Corrente de Escuro, Capacitância de Fotoconversão do Pixel, Função de Transferência DC do Seguidor de Fonte, e Ruído Referido a Entrada. Quatro tipos de pixels, nas versões convencional e resistente à radiação, cada, foram implementados para formarem as matrizes. Além disso, algumas estruturas auxiliares foram projetadas para proteger o circuito contra efeitos danosos, especialmente aqueles causados pela radiação ionizante, além de melhorar a sua funcionalidade. As estruturas resistentes à radiação foram implementadas com o uso de técnicas de projeto aplicadas em tecnologias comerciais. Um chip contendo estas estruturas foi construído no processo  $0.6 \mu\text{m}$  CMOS CUP da Austriamicrosystems. Suas corrente de escuro e capacitância de fotoconversão foram levantadas, e os resultados serão discutidos.

Abstract of Thesis presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

## TEST STRUCTURES OF RADIATION HARD APS SENSORS

Leandro Teixeira Dornelles

March/2007

Advisor: Antônio Carneiro de Mesquita Filho

Department: Electrical Engineering

This work presents some test structures designed to the characterization of Radiation-Hard CMOS Active Pixel Sensors (Rad-Hard CMOS APS). These structures are arrays of pixels of two types, that can be used to the survey of optical parameters, like quantum efficiency, spectral response, dynamic range, Silicide/Salicide effect, blooming and lag; and electrical parameters, like sensitivity, dark current, fotoconversion capacitance and dc transfer function of the source follower transistor. Four types of pixels, in the standard and rad-hard versions each, have been implemented to form the arrays. Moreover, some auxiliary structures have been designed to protect the IC against damage effects, especially those caused by the ionizing radiation, besides to improve its functionality. The radiation-hard structures have been implemented with the use of project techniques applied at standard processes. A chip contained these structures has been built in the  $0.6\ \mu\text{m}$  CMOS CUP process of the Austriamicrosystems (AMS). Its dark current and fotoconversion capacitance parameters have been surveyed, and the results will be discussed.

# Sumário

<b>1</b>	<b>Introdução</b>	<b>1</b>
<b>2</b>	<b>O Sensor de Pixels Ativos</b>	<b>4</b>
2.1	Breve Histórico . . . . .	5
2.2	O Pixel Passivo . . . . .	6
2.3	O Pixel APS . . . . .	8
2.4	O Elemento Fotossensível . . . . .	9
2.4.1	O Fotodiodo . . . . .	9
	Junção Rasa . . . . .	11
	Junção Profunda . . . . .	12
	Junção P-Diff/N-Well . . . . .	13
2.4.2	O Fotogate . . . . .	13
2.5	Modos de Operação do Sensor APS . . . . .	15
2.5.1	Operação em Modo Integrado . . . . .	15
	O Pixel APS Baseado em Fotodiodo . . . . .	16
	O Pixel APS Baseado em Fotogate . . . . .	17
2.5.2	Operação em Modo Logarítmico . . . . .	17
2.6	Sensores CCD X Sensores APS . . . . .	19
	Fator de Preenchimento: . . . . .	19
	Funcionalidade: . . . . .	20
	Efeitos Danosos ao Sinal: . . . . .	20
	Leitura de Matrizes: . . . . .	20
	Consumo de Potência: . . . . .	21
	Processo e Integração: . . . . .	21
2.7	Aplicações dos Sensores APS . . . . .	22
2.7.1	Aplicações Convencionais . . . . .	23
2.7.2	Aplicações sob Incidência de Radiação . . . . .	23
<b>3</b>	<b>Efeitos de Dose Total de Ionização em Circuitos MOS</b>	<b>25</b>
3.1	Os Mecanismos de Atuação da Radiação em Materiais Semicondutores	26
3.2	Efeitos da Radiação em Materiais Semicondutores . . . . .	27
3.3	Dose Total de Ionização . . . . .	28

3.4	Problemas Causados por Efeitos de Dose Total de Ionização em Dispositivos MOS . . . . .	29
3.4.1	Efeito de Fuga no Óxido de Campo . . . . .	30
3.4.2	Formação de Transistores de Borda . . . . .	31
3.5	Técnicas de Proteção Contra Radiação . . . . .	33
3.5.1	Técnicas de Processo . . . . .	33
3.5.2	Técnicas de Arquitetura . . . . .	36
3.5.3	Técnicas de Projeto . . . . .	36
	Transistores Resistentes à Radiação . . . . .	37
	Anéis de Guarda . . . . .	40
<b>4</b>	<b>O Projeto</b>	<b>42</b>
4.1	Parâmetros de Caracterização de Sensores de Imagem . . . . .	44
4.2	Os Pixels de Teste . . . . .	45
4.2.1	Estrutura Convencional . . . . .	46
4.2.2	Estrutura Resistente à Radiação . . . . .	46
4.2.3	Os Pixels Implementados . . . . .	47
	Pixel Shallow ( <i>Junção Rasa</i> ) . . . . .	48
	Pixel Deep ( <i>Junção Profunda</i> ) . . . . .	49
	Pixel IMEC ( <i>Contato de Junção Profunda</i> ) . . . . .	50
	Pixel Fotogate ( <i>Fotogate</i> ) . . . . .	52
4.3	Estruturas de Teste . . . . .	53
4.3.1	Matrizes $34 \times 4$ . . . . .	53
	A Matriz Dummy . . . . .	55
	Ligações dos Pixels . . . . .	56
4.3.2	Matrizes $3 \times 3$ . . . . .	60
	Ligações dos Pixels . . . . .	61
4.4	Estruturas Auxiliares . . . . .	64
4.4.1	Estruturas de Proteção . . . . .	65
	Anéis de Guarda . . . . .	65
	Tampa de Metal . . . . .	69
	Diodos de Proteção . . . . .	71
	Chanfros . . . . .	73
4.4.2	Estruturas de Entrada e Saída . . . . .	74
	A Coroa de Pads . . . . .	74
	Chaves Analógicas . . . . .	76
4.5	Estruturas a Parte - Caracterização de Transistores NMOS com Molduras PMOS . . . . .	77

<b>5</b>	<b>Caracterização e Resultados</b>	<b>78</b>
5.1	Parâmetros da Caracterização . . . . .	79
5.1.1	Caracterização Óptica . . . . .	79
	Eficiência Quântica, Resposta Espectral e Carga Residual . . . . .	79
	Faixa Dinâmica . . . . .	81
	Ruído de Padrão Fixo . . . . .	82
	Efeito Siliceto/Saliceto . . . . .	82
	Ofuscamento . . . . .	83
5.1.2	Caracterização Elétrica . . . . .	84
	Sensibilidade e Ruído Referente à Entrada . . . . .	85
	A Corrente de Escuro . . . . .	86
	Capacitância de Fotoconversão do Pixel . . . . .	87
	Função de Transferência DC do Transistor Seguidor de Fonte . . . . .	89
5.2	Alguns Resultados da Caracterização Elétrica . . . . .	90
5.2.1	Resultados da Caracterização da Corrente de Escuro . . . . .	91
5.2.2	Resultados da Caracterização da Capacitância de Fotoconversão Fotocorrente Gerada por Transistor Concêntrico . . . . .	101 111
<b>6</b>	<b>Conclusões</b>	<b>114</b>
	<b>Referências Bibliográficas</b>	<b>118</b>

# Lista de Figuras

2.1	Esquemático do Pixel Passivo. . . . .	7
2.2	Amplificador na saída de uma coluna de pixels passivos. . . . .	7
2.3	Circuito Esquemático do APS. . . . .	8
2.4	Estruturas de Fotodiodos possíveis na tecnologia CMOS. a)p-sub/n-diff; b)p-sub/n-well. . . . .	10
2.5	Seção reta mostrando uma junção rasa. . . . .	11
2.6	Seção reta mostrando uma junção profunda. . . . .	12
2.7	Processo de geração e armazenamento de cargas no Fotogate. . . . .	14
2.8	Estrutura de um pixel APS baseado em fotodiodo (Junção Rasa). . .	16
2.9	Estrutura de um pixel APS baseado em Fotogate. . . . .	17
2.10	Estrutura de um pixel APS em Modo Logarítmico. . . . .	18
3.1	Dispositivos isolados pela junção PN reversamente polarizada. . . . .	31
3.2	Inversão de Canal sob o Óxido de Campo. . . . .	31
3.3	Formação do Transistor de Borda. a) Vista espacial; b) Vista do corte indicado pela linha branca traço-ponto; c) Vista, por cima, da formação do Transistor Parasita. . . . .	32
3.4	a)Estrutura CMOS Bulk; b)Estrutura CMOS/SOI; c)Estrutura CMOS/SOS; d)Estrutura CMOS Epitaxial. . . . .	35
3.5	Transistor Concêntrico. . . . .	38
3.6	Transistor Hexagonal. . . . .	39
3.7	Transistor NMOS com moldura PMOS. . . . .	39
3.8	Anel de Guarda. . . . .	41
4.1	Pixel APS Convencional. (a) Baseado em Fotodiodo; (b) Baseado em Fotogate. . . . .	46
4.2	Pixel APS Resistente à Radiação. (a) Baseado em Fotodiodo; (b) Baseado em Fotogate. . . . .	47
4.3	Pixel Shallow (Junção Rasa). (a) Convencional; (b) Resistente à Radiação. . . . .	49
4.4	Pixel Deep (Junção Profunda). (a) Convencional; (b) Resistente à Radiação. . . . .	50

4.5	Pixel IMEC (Contato de Junção Profunda). (a) Convencional; (b) Resistente à Radiação. . . . .	51
4.6	Pixel Fotogate (Fotogate). (a) Convencional; (b) Resistente à Radiação. . . . .	52
4.7	Matrizes $34 \times 4$ . . . . .	54
4.8	Esquemático simplificado do procedimento e setup de levantamento da Capacitância de Fotoconversão dos sensores. . . . .	56
4.9	Esquema de ligações das Matrizes $34 \times 4$ com pixels fotogates. . . . .	59
4.10	Esquema com estruturas e ligações da matriz Dummy. . . . .	60
4.11	Matrizes $3 \times 3$ . . . . .	61
4.12	Esquema de ligações das Matrizes $3 \times 3$ . . . . .	62
4.13	Matrizes de Teste. . . . .	63
4.14	Esquema de ligações envolvendo os dois conjuntos de matrizes. . . . .	64
4.15	Anéis de Guarda isolando uma matriz. . . . .	66
4.16	Primeiro Anel de Guarda com layout e vista em corte. . . . .	67
4.17	Segundo Anel de Guarda com layout e vista em corte. . . . .	68
4.18	Anéis de Guarda isolando uma matriz. . . . .	69
4.19	Chip coberto pela camada de metal 3. . . . .	70
4.20	Slots na tampa de metal 3. . . . .	71
4.21	Esquemático dos Diodos de Proteção usados nas matrizes $3 \times 3$ . . . . .	72
4.22	Diodos de proteção aplicados às matrizes $3 \times 3$ , envoltos por anéis de guarda. . . . .	73
4.23	Figura base para o procedimento de cálculo da razão de aspecto de um transistor com chanfros. . . . .	74
4.24	Pads utilizados. (a) Pad de Canto; (b) Pad Analógico. . . . .	75
4.25	Coroa de Pads. . . . .	75
4.26	Conjunto de Chaves Analógicas. (a) Esquemático; (b) Layout. . . . .	76
5.1	Esquemático simplificado do procedimento de levantamento da Eficiência Quântica, da Resposta Espectral e da Carga Residual dos sensores. . . . .	80
5.2	Esquemático simplificado do procedimento de levantamento da Faixa Dinâmica e do Ruído de Padrão Fixo dos sensores. . . . .	81
5.3	Layout de dois pixels utilizados no levantamento do Efeito Siliceto/Saliceto. (a) Layout convencional; (b) Layout com janelas no óxido de campo do elemento fotossensível. . . . .	82
5.4	Esquemático simplificado do procedimento de levantamento do Ofuscamento dos sensores. . . . .	84
5.5	Esquemático simplificado do procedimento de levantamento da Sensibilidade e do Ruído Referente à Entrada ( <i>Input Referred Read Noise</i> ) dos sensores. . . . .	86

5.6	Esquemático simplificado do procedimento de levantamento da Corrente de Escuro dos sensores. . . . .	87
5.7	Esquemático simplificado do procedimento de levantamento da Capacitância de Fotoconversão dos sensores. . . . .	88
5.8	Esquemático simplificado do procedimento de levantamento da Capacitância Parasita de Fotoconversão dos sensores. . . . .	89
5.9	Esquemático simplificado do setup de levantamento da Função de Transferência DC do Transistor Seguidor de Fonte dos sensores. . . .	90
5.10	Corrente de Escuro para o pixel Shallow Convencional. . . . .	92
5.11	Corrente de Escuro para o pixel Shallow Resistente à Radiação. . . .	93
5.12	Corrente de Escuro para o pixel Deep Convencional. . . . .	94
5.13	Corrente de Escuro para o pixel Deep Resistente à Radiação. . . . .	94
5.14	Corrente de Escuro para o pixel IMEC Convencional. . . . .	95
5.15	Corrente de Escuro para o pixel IMEC Resistente à Radiação. . . . .	96
5.16	Corrente de Escuro para os pixels convencionais não irradiados. . . .	97
5.17	Corrente de Escuro para os pixels resistentes à radiação não irradiados.	98
5.18	Corrente de Escuro para pixels irradiados (50 krad). . . . .	99
5.19	Corrente de Escuro para pixels irradiados (100 krad). . . . .	99
5.20	Corrente de Escuro para pixels resistentes à radiação irradiados (200 krad). . . . .	100
5.21	Capacitância de Fotoconversão para o pixel Shallow Convencional. . .	102
5.22	Capacitância de Fotoconversão para o pixel Shallow Resistente à Radiação. . . . .	103
5.23	Capacitância de Fotoconversão para o pixel Deep Convencional. . . .	103
5.24	Capacitância de Fotoconversão para o pixel Deep Resistente à Radiação.	104
5.25	Capacitância de Fotoconversão para o pixel IMEC Convencional. . . .	105
5.26	Capacitância de Fotoconversão para o pixel IMEC Resistente à Radiação. . . . .	105
5.27	Capacitância de Fotoconversão para os pixels convencionais não irradiados. . . . .	107
5.28	Capacitância de Fotoconversão para os pixels resistentes à radiação não irradiados. . . . .	107
5.29	Capacitância de Fotoconversão para pixels irradiados (50 krad). . . .	108
5.30	Capacitância de Fotoconversão para pixels irradiados (100 krad). . . .	108
5.31	Capacitância de Fotoconversão para pixels irradiados (200 krad). . . .	109
5.32	Capacitância de Fotoconversão de pixels convencionais. (a) Esquemático; (b) Layout. . . . .	110
5.33	Capacitância de Fotoconversão de pixels resistentes à radiação (a) Esquemático; (b) Layout. . . . .	111

5.34	Comparação entre fotocorrentes geradas por um transistor concêntrico (pixel resistente à radiação) e por um fotodiodo de junção rasa (pixel convencional). . . . .	112
------	--	-----

# Lista de Tabelas

6.1	Fatores de preenchimento alcançados . . . . .	115
-----	---	-----

# Capítulo 1

## Introdução

Os sensores APS (*Active Pixels Sensors*) surgiram no início da década de 90, no Jet Propulsion Laboratory (JPL) da NASA [1], como uma alternativa promissora em aplicações de imageamento. Características como baixo consumo de potência; compatibilidade com a amplamente difundida tecnologia CMOS, possibilitando a integração do sensor ao circuito de processamento do sinal, em um mesmo chip (integração monolítica); flexibilidade com respeito aos modos de operação; e facilidade de integração com outros chips analógicos e digitais, operando com baixas fontes de tensão, comuns em equipamentos eletrônicos modernos; incentivaram o desenvolvimento dos APS, tornando-os competitivos com a tecnologia CCD (*Charge Coupled Device*), até então dominante no mercado de sensores de imagem [2], [3], [4] e [5], [6].

A crescente demanda por aplicações espaciais e da física de alta energia tem resultado em uma grande busca por sensores capazes de operar sob condições especiais. No caso de detectores de partículas de alta energia, por exemplo, os requisitos básicos impostos são um pouco distintos daqueles considerados em detectores para aplicações de consumo e industriais. Naturalmente, é desejável que se tenha a melhor sensibilidade possível, com um mínimo ruído (corrente de escuro) e um máximo sinal (eficiência quântica). Contudo, outros fatores devem ser considerados, como a necessidade de uma taxa de leitura bastante elevada, capaz de capturar o sinal incidente (imagem), enquanto o mesmo estiver presente em apenas uma pequena parte da região total de imagem (2% ou menos). Dentre estes fatores, o principal deles é,

---

certamente, a exposição prolongada à radiação. Por causa de sua vulnerabilidade à radiação de partículas, os sensores CCD [7] tem sido deixados de lado nas aplicações da Física de Alta Energia [8].

Sensores de pixels ativos não são, por si só, tolerantes à radiação, necessitando da adoção de técnicas específicas para se tornarem mais resistentes aos seus efeitos, de uma maneira semelhante ao que é utilizado para melhorar circuitos integrados modernos [9]. De forma imediata, esta resistência pode ser alcançada com o uso de tecnologias especialmente desenvolvidas para esta finalidade. Contudo, pelo fato do seu emprego sempre ter sido direcionado para aplicações militares, essas tecnologias resistentes à radiação foram sendo deixadas de lado, logo após o término da Guerra Fria, de modo que hoje, apenas uns poucos processos desse tipo encontram-se disponíveis, num mercado quase que exclusivamente voltado para aplicações comerciais. Assim, além de possuírem um processo de fabricação consideravelmente complexo, a baixa demanda das tecnologias resistentes à radiação resultou em um atraso de desempenho de pelo menos duas gerações, quando comparadas ao estado-da-arte das tecnologias comerciais [10]. Em contrapartida, as tecnologias comerciais sub-micron têm apresentado um acelerado desenvolvimento, com componentes cada vez mais reduzidos e óxidos cada vez menos espessos, aumentando, gradativamente, a resistência dos circuitos aos efeitos de acúmulos de doses de radiação [11], [12], [13]. Assim, projetos de circuitos integrados destinados a operarem sob incidência radioativa têm sido realizados com o uso de tecnologias comerciais sub-micron, aliadas a técnicas de projeto escolhidas cuidadosamente.

O presente trabalho tem por objetivo realizar a descrição de estruturas de teste implementadas para a caracterização de sensores de pixels ativos resistentes à radiação, sob aspectos ópticos e elétricos, além de mostrar os resultados de alguns parâmetros elétricos desses sensores, levantados com o propósito de se verificar a eficácia de técnicas de proteção de circuitos contra os efeitos da radiação ionizante. Esta implementação foi realizada em um chip de  $2,5 \text{ mm} \times 2,5 \text{ mm}$ , baseado na tecnologia  $0.6 \mu\text{m}$  CMOS CUP da Austriamicrosystems (AMS), e compatível com o encapsulamento JLCC68 do Circuits Multi-Projets (CMP). Seu projeto foi realizado com o uso do software Cadence IC Virtuoso 4.4.5, configurado com o AMS HIT-KIT 3.3.0, fornecido pelo CMP, sendo enviado a esta mesma fábrica no run A60C1-4 do CMP.

Este texto é dividido em 6 capítulos, sendo este o primeiro. O Capítulo 2 trata dos sensores APS, com sua estrutura e funcionamento, elementos fotossensíveis utilizados e modos de operação permitidos, terminando em uma comparação mais detalhada com os seus concorrentes, os sensores CCD, além das principais aplicações para as quais estão sendo desenvolvidos hoje. O capítulo 3 descreve a ação da radiação em materiais semicondutores, com enfoque na Dose Total de Ionização (*Total Ionization Dose*), ou seja, a quantidade de energia criada e acumulada em um material, quando este é submetido à ação da radiação ionizante, por um longo período de tempo. Nesse capítulo ainda são analisados os problemas causados pelos efeitos de dose total de ionização em dispositivos MOS e as técnicas de proteção normalmente utilizadas contra os mesmos. No Capítulo 4 é feita uma descrição completa do chip desenvolvido, com todas as estruturas de teste e proteção implementadas. O Capítulo 5, por sua vez, mostra como as estruturas de teste podem ser utilizadas para o levantamento dos diversos parâmetros ópticos e elétricos dos sensores, além de discutir alguns resultados obtidos pela caracterização elétrica dos mesmos. Por fim, no Capítulo 6 a dissertação é concluída com uma análise dos resultados alcançados através da realização do projeto em questão.

# Capítulo 2

## O Sensor de Pixels Ativos

Matrizes de sensores de pixels ativos (*APS*) são uma tecnologia de imagem emergente, voltada para uma grande gama de aplicações de consumo, industriais e científicas. Os sensores de imagem APS estão substituindo os tradicionais sensores CCD devido ao seu baixo custo, grande flexibilidade e facilidade de integração com a eletrônica de baixa potência mais avançada. Isso tudo é alcançado com o preço de uma redução de desempenho em algumas características de imagem, quando comparados com os sensores CCD.

Neste capítulo serão abordados alguns aspectos gerais relacionados aos sensores APS. Ele inicia-se com um breve histórico das tecnologias de sensores de imagem desenvolvidas ao longo dos anos, que levaram ao surgimento do sensor APS (Seção 2.1). Na Seção 2.2 são descritos a estrutura e o funcionamento do Pixel Passivo (PPS), precursor dos sensores APS, com a diferença de não possuir uma eletrônica interna de tratamento do sinal de saída do fotossensor. Em seqüência, é feita a análise do Pixel APS (Seção 2.3), destacando-se, separadamente, o fotossensor (Seção 2.4), com suas diferentes formas de implementação, e alguns dos modos de operação do pixel (Seção 2.5), com uma abordagem mais voltada para sua eletrônica de controle e leitura. Fechando o capítulo, é feita uma comparação entre os sensores APS e CCD (Seção 2.6), sob diversos aspectos relacionados à estrutura e ao funcionamento de ambos, seguida de uma listagem de áreas onde os sensores APS estão sendo utilizados nos dias atuais (Seção 2.7). Nesta última seção é dado um destaque para as aplicações nas quais os sensores APS operam submetidos à incidência de radiação.

## 2.1 Breve Histórico

Na década de 1960, as pesquisas relacionadas a sensores de imagem em estado sólido estavam voltadas, principalmente, para processos NMOS, CMOS e bipolar [14] [15] [16]. Esses sensores limitavam-se a gerar um sinal de saída proporcional à intensidade instantânea de luz incidente, não havendo um processo de integração, pelo menos intencional, do sinal óptico. Com isso, esses dispositivos apresentavam uma sensibilidade baixa, necessitando de um componente de ganho no interior do pixel, para melhorar seu desempenho.

Em 1967, G. P. Weckler, da Fairchild, sugeriu a operação de junções p-n por integração do fluxo de fótons [17]. A carga integrada era lida com o auxílio de uma chave PMOS, e o sinal podia ser convertido de um pulso de corrente para um pulso de tensão, com o uso de um resistor em série. Esse dispositivo foi chamado, pelo próprio Weckler, de *reticon*.

Em 1968 P. Noble discutiu um amplificador integrador de cargas, para a leitura do sinal oriundo da junção p-n [18]. Neste mesmo ano, foi reportado o uso inédito, interno ao pixel, de um transistor MOS, operando em modo Seguidor de Fonte, como buffer de leitura. Foi a primeira idéia de um pixel APS. Chamberlain, em 1969, reportou uma descrição do funcionamento e um modelo melhorado deste sensor [19].

No ano de 1970 os sensores CCD (Charge Coupled Devices) foram reportados pela primeira vez [20]. Suas principais vantagens sobre os outros sensores em estado sólido da época estavam: na liberdade relativa em relação ao Ruído de Padrão Fixo (Fixed-Pattern Noise), na constância da corrente de saída sob iluminação fixa; no seu tamanho reduzido; e em sua simplicidade. Tais características fizeram deste dispositivo uma alavanca para a indústria e o mercado de câmeras.

Durante as décadas de 70 e 80 os sensores de imagem baseados em tecnologias MOS foram pouco explorados [21] [22], em virtude de seu menor desempenho, em relação aos sensores CCD [23].

Em 1985, Hitachi combinou o sensor MOS com um registrador de deslocamento horizontal CCD [24].

Algumas limitações dos sensores CCD, como operação em baixas temperaturas e complexa manipulação de cargas, levaram ao desenvolvimento de multiplexadores CMOS, melhores em funcionalidade e desempenho do que os multiplexadores baseados em tecnologia CCD. Além disso, a sensibilidade à radiação apresentada pelos dispositivos CCD e o aumento da funcionalidade oferecida pelos dispositivos CMOS levaram ao abandono daqueles, em detrimento destes, para aplicações como sensores de imagem.

Assim, a partir de meados da década de 80, deu-se início a trabalhos mais intensivos na pesquisa e no desenvolvimento de sensores CMOS. Esses trabalhos, realizados principalmente no VLSI Vision Ltda e no Jet Propulsion Laboratory (JPL), serviram de base para os sensores atuais.

Até o início dos anos 90 utilizava-se apenas tecnologias PPS (*Passive Pixel Sensor*) [25], já que as dimensões das tecnologias CMOS da época eram muito grandes para acomodar, em um único chip, mais do que um transistor e três linhas de interconexão, além da estrutura fotossensível. Contudo, os sensores PPS apresentavam um desempenho muito pior do que os sensores CCD, sendo por isso limitados a aplicações de menor exigência.

Esforços coletivos realizados no início dos anos 90, principalmente pela Universidade de Edinburgh, na Escócia, pela Universidade de Linköping, na Suécia, pela NASA e pelo JPL, com posterior transferência de tecnologia deste último para AT&T Bell Labs, Kodak, National Semiconductor, entre outras grandes empresas do Estados Unidos, levaram a significativos avanços nos sensores de imagem CMOS e ao desenvolvimento dos sensores de pixels ativos CMOS (*CMOS APS*) [1], anteriormente concebidos por Noble.

## 2.2 O Pixel Passivo

O sensor sugerido por Weckler em 1967 [17] apresentava uma estrutura bastante simples (Figura 2.1). Ele utilizava um fotodiodo como elemento fotossensível, acompanhado por um transistor de passagem, cuja função era fazer a ligação com a coluna de saída. Assim, quando o transistor de passagem era ativado, a corrente gerada

pelo fotodiodo era transferida para a coluna de saída. Esta estrutura se mantém, hoje, basicamente a mesma.

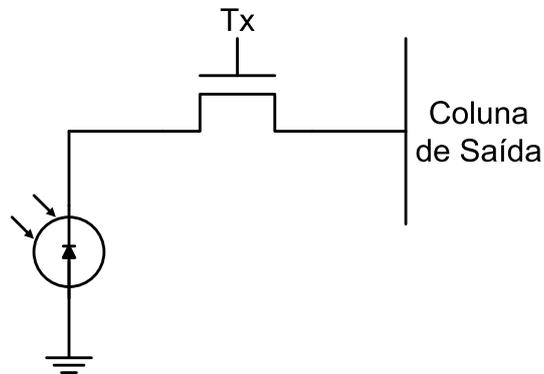


Figura 2.1: Esquemático do Pixel Passivo.

No final da coluna de saída existe um amplificador responsável por fazer a integração do sinal de carga (Figura 2.2), gerando um sinal de tensão de nível proporcional ao da luminosidade incidente.

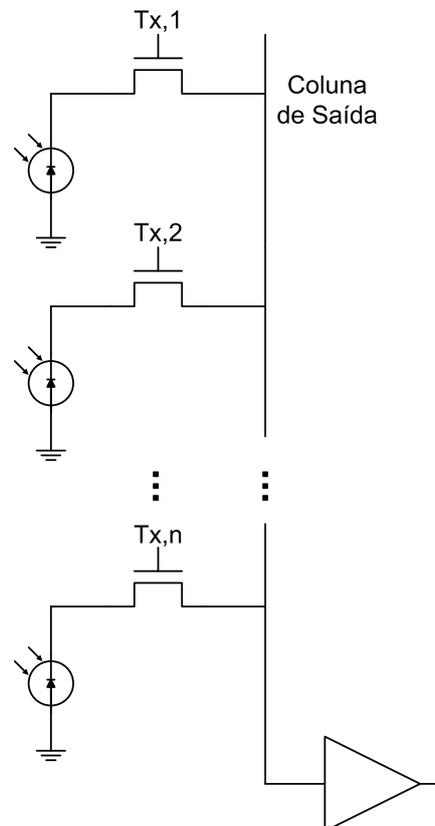


Figura 2.2: Amplificador na saída de uma coluna de pixels passivos.

## 2.3 O Pixel APS

Logo que o Pixel Passivo foi descoberto, teve-se a idéia de se incluir o amplificador integrador de cargas no interior de sua estrutura, de modo a se conseguir uma melhora no desempenho do dispositivo. Assim surgiu o Pixel APS, capaz de já fornecer o sinal de tensão, resultante da integração das cargas fotogeradas, para a coluna de saída. Com isso, houve uma melhora significativa na velocidade e na relação sinal-ruído da resposta do dispositivo.

A Figura 2.3 mostra o esquemático de um pixel APS em sua forma mais simples. Ele pode ser dividido em duas partes principais: o elemento fotossensível, capaz de converter a luz incidente em cargas elétricas; e a estrutura de controle e leitura, responsável por transformar as cargas elétricas em sinal elétrico, a ser lido na saída do pixel.

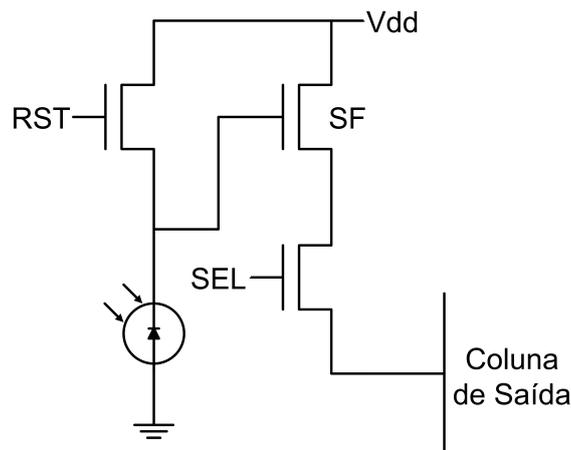


Figura 2.3: Circuito Esquemático do APS.

O elemento fotossensível mais utilizado no pixel APS é o fotodiodo, formado através de junções p-n existentes nas tecnologias CMOS. Um outro tipo de elemento fotossensível é o fotogate, que possui a estrutura e o mesmo mecanismo de acúmulo de cargas de um capacitor MOS. Estes elementos são melhor analisados na Seção 2.4.

A estrutura de controle e leitura, por sua vez, é constituída, em sua forma mais simples, por 3 transistores. O transistor Reset (RST) é responsável por reinicializar

o elemento fotossensível, ao final do processo de leitura. O transistor Seguidor de Fonte (SF) realiza a integração das cargas fotogeradas em sinal de tensão. Por último, o transistor Seleção (SEL) determina o pixel a ser lido, quando o mesmo se encontra, por exemplo, em uma matriz. A Seção 2.5 descreve as diferentes maneiras de se realizar o processo de leitura em um pixel APS.

## 2.4 O Elemento Fotossensível

Como mencionado na Seção 2.3, existem, basicamente, dois tipos de elementos fotossensíveis que podem ser utilizados em sensores APS: o fotodiodo, formado por uma das junções p-n do processo e o fotogate, cuja estrutura é a de um capacitor MOS.

### 2.4.1 O Fotodiodo

Os dispositivos semicondutores mais utilizados como elementos fotossensíveis, em sensores de imagem, são os fotodiodos de silício. Os sensores APS baseados em fotodiodos foram descritos por Noble em 1968 [18] e a preferência por esta estrutura se deve à sua grande versatilidade na detecção de luz visível.

Um fotodiodo de silício é uma junção p-n, polarizada reversamente, que pode ser acionada pela incidência de luz, através do efeito fotovoltaico. Por este efeito, quando o dispositivo é iluminado, os fótons absorvidos pela zona de depleção do mesmo geram pares elétron-buraco que, sob a ação do campo elétrico existente nesta região, são acelerados, formando uma corrente elétrica através do dispositivo. A energia capaz de gerar estes pares (Energia de Band-Gap -  $E_g$ ), no Silício, é de 1,124 eV. Os fótons com comprimento de onda na faixa do visível possuem energia suficiente para gerar pares elétron-buraco no silício: em 400 nm (violeta),  $E_p h = 3,1$  eV; e em 700 nm (vermelho),  $E_p h = 1,77$  eV.

A corrente fotogerada no fotodiodo, pelo efeito fotovoltaico, pode ser dada pela Equação 2.1

$$I_p h = \frac{A.P.\lambda.\eta}{1,24} \quad (2.1)$$

onde  $A$  é a área do detector,  $P$  é o fluxo de potência da luz incidente,  $\lambda$  é o comprimento de onda da luz incidente, em micrômetros, e  $\eta$  é a eficiência quântica do processo, um parâmetro que mede a relação entre o número de pares elétron-buraco coletados e o número de fótons incidentes.

Em processos CMOS do tipo N-Well, costuma-se utilizar duas formas de junção p-n para a fotogeração de cargas: p-sub/n-diff, formada entre o substrato e uma difusão n, e p-sub/n-well, implementada entre o substrato e o poço n. Na Figura 2.4 podem ser observadas essas duas junções.

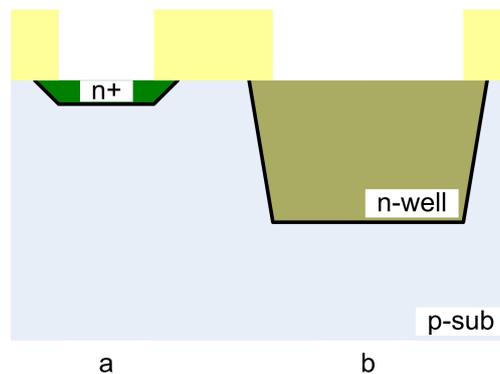


Figura 2.4: Estruturas de Fotodiodos possíveis na tecnologia CMOS. a)p-sub/n-diff; b)p-sub/n-well.

Para a escolha do tipo de junção a ser utilizado, deve ser dada atenção especial à região de depleção formada pela mesma. O campo elétrico decorrente da barreira de potencial que se forma nessa região atua sobre os pares elétron-buraco formados pelo efeito fotovoltaico, incorporando-os, quase que instantaneamente, à fotocorrente gerada. Assim, a camada de depleção é a principal contribuinte dessa fotocorrente, e sua área e profundidade exercem grande influência no desempenho da junção formada.

Pelo fato da zona de depleção ser uma grande responsável pela fotogeração de portadores, é compreensível que a resposta do fotodiodo seja mais intensa, quanto

maior for a área dessa região. Contudo, para áreas maiores, existe também um aumento correspondente na corrente de escuro e na capacitância do fotodiodo, fatores normalmente indesejáveis.

Quanto à profundidade da zona de depleção, pode-se dizer que o comprimento de absorção no silício é maior para fótons com comprimentos de onda também maiores. Isso ocorre pelo fato deste material apresentar um coeficiente de absorção reduzido para comprimentos de onda menores, fazendo com que os fótons que se encontram nesta faixa do espectro sejam absorvidos pela superfície do dispositivo, sensibilizando, assim, junções mais rasas. Conseqüentemente, apenas os fótons com comprimentos de onda mais elevados conseguem sensibilizar as regiões mais profundas do dispositivo. Portanto, fotodetectores formados com junções de diferentes profundidades terão respostas espectrais diferentes.

Nas próximas seções os diferentes tipos de junções utilizadas como fotodiodos são analisados mais detalhadamente.

### Junção Rasa

A junção rasa é estabelecida entre o substrato (p-sub) e uma difusão n (n-diff), como mostra a Figura 2.5.

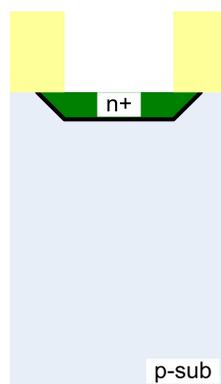


Figura 2.5: Seção reta mostrando uma junção rasa.

Ela caracteriza-se por apresentar uma região de depleção larga, resultando em uma elevada eficiência quântica, e uma corrente de escuro baixa [26]. Quanto à sua

resposta espectral, a junção rasa apresenta uma boa sensibilidade para a faixa do visível (400 nm a 700 nm) [27]. Essas características fazem desse tipo de junção uma boa escolha para aplicações de imageamento.

Outras vantagens obtidas com a escolha pela junção rasa são a facilidade de integração à estrutura do pixel, bastando, para isso, estender o catodo (difusão n) para o transistor apropriado, além do ganho de área alcançado, por dispensar a utilização do poço n-well.

Uma desvantagem deste tipo de junção reside no fato de que, apesar da camada de depleção formada ser bastante larga, ela se apresenta deslocada para o substrato, em virtude da dopagem deste ser muito inferior à da difusão n. Isso é um tanto inconveniente, em virtude das imperfeições existentes na superfície do substrato.

### Junção Profunda

A Figura 2.6 mostra a visão em corte de uma junção profunda, a qual é formada entre o substrato p-sub e o poço n.

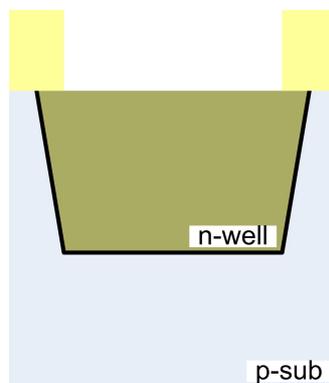


Figura 2.6: Seção reta mostrando uma junção profunda.

Assim como a junção rasa, a junção profunda também trabalha bem na faixa do visível [28]. Sua sensibilidade, contudo, está concentrada em comprimentos de onda mais elevados, como é explicado na Seção 2.4.1.

O uso do poço n resulta num aumento da área da junção e, conseqüentemente, da sua capacitância. Contudo, este efeito é compensado pela menor dopagem do

poço, em relação à difusão  $n$  da junção rasa, o que reduz o deslocamento da zona de depleção em direção ao substrato.

Um problema dos fotodiodos de junção profunda é o fato desta ser formada em uma região menos superficial do substrato, tornando estes dispositivos bastante vulneráveis a efeitos de ruído e crosstalk, oriundos de pixels adjacentes em matrizes. A corrente de escuro também é caracteristicamente mais elevada do que a produzida por junções rasas [26].

### Junção P-Diff/N-Well

Ainda poderia ter sido considerada a junção p-diff/n-well, formada entre uma difusão  $p$  e o poço  $n$  no qual é construída. Contudo, apesar deste tipo de junção possuir, tipicamente, uma baixa corrente de escuro e uma boa proteção contra correntes de fuga e efeitos de crosstalk, em virtude de se formar dentro do poço  $n$ , ela apresenta uma região de depleção estreita e, conseqüentemente, uma eficiência quântica menor do que a dos outros fotodiodos [26].

## 2.4.2 O Fotogate

Um dos grandes problemas da utilização de fotodiodos como elementos fotossensíveis é o fato desses dispositivos apresentarem uma elevada capacitância de carga. Isso gera um conflito pois, ao mesmo tempo em que o aumento da área do fotodiodo corresponde a um aumento da superfície de absorção de fótons, também resulta na redução do ganho de conversão carga-tensão e, conseqüentemente, do sinal na saída do sensor. Tal fato decorre, justamente, do aumento da capacitância com a área da junção [29] [30].

Uma opção para se reduzir a capacitância envolvida no processo de conversão, mantendo-se a área fotossensível elevada, é o uso do fotogate como elemento fotossensível, no lugar do fotodiodo. O fotogate foi introduzido pelo JPL em 1993 [31] [32] [33] para aplicações em imageamento científico de alto desempenho e baixa luminosidade. Sua estrutura consiste em um capacitor MOS, que acumula as cargas geradas pelo efeito fotovoltaico, da mesma forma como em um transistor. A Figura

2.7 ilustra este processo.

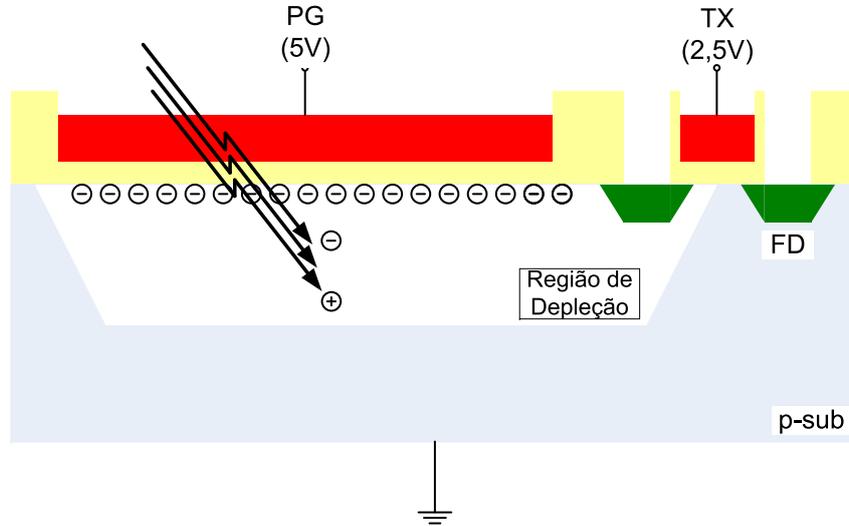


Figura 2.7: Processo de geração e armazenamento de cargas no Fotogate.

Inicialmente, o capacitor MOS é polarizado com a tensão da fonte Vdd. Assim, forma-se uma região de depleção na superfície do substrato, onde os pares elétron-buraco são fotogerados. O campo elétrico existente na região, faz com que os elétrons sejam acumulados na superfície do substrato. Ligado ao capacitor de gate, existe um transistor de transmissão (TX), funcionando como chave, responsável pela transmissão das cargas armazenadas para o diodo de difusão flutuante (FD). O gate TX se encontra polarizado em uma tensão menor que a do capacitor (aproximadamente  $V_{dd}/2$ ), de modo que os elétrons permanecem armazenados sob o gate PG. Terminado o processo de acúmulo de cargas, o capacitor MOS é aterrado e os elétrons armazenados são transferidos, através do transistor de transmissão, para o diodo de difusão flutuante. Esse processo de transferência se dá por diferença de potencial, sendo bastante semelhante ao utilizado por dispositivos CCD [20]. No diodo de difusão flutuante ocorre o processo de conversão carga-tensão, em virtude da capacitância de depleção associada a este nó  $C_{FD}$ . Assim, a variação de tensão em FD pode ser dada pela Expressão 2.2 [34]:

$$\delta V_{FD} = N_e \frac{qG_{pix}}{C_{FD}} = N_e C_{VF} \quad (2.2)$$

onde  $N_e$  é a carga acumulada,  $G_{pix}$  é o ganho do transistor seguidor de fonte do pixel e  $C_{VF}$  é o fator de conversão carga-tensão.

O fato da região fotossensível estar separada do diodo de difusão flutuante, faz com que a capacitância MOS, de valor elevado, não contribua para o processo de integração. Como resultado, o fotogate apresenta um coeficiente de conversão mais elevado que o dos fotodiodos, melhorando a sensibilidade do dispositivo.

Os fotogates apresentam uma resposta deficiente para comprimentos de onda mais baixos do espectro visível, em virtude do silício amorfo absorver os fótons desta faixa [35]. Tal deficiência é agravada pelo uso de silicetos, com o objetivo de se reduzir a resistência dos contatos de gate. Esses silicetos estendem a faixa de bloqueio para quase todo o espectro visível [34].

## 2.5 Modos de Operação do Sensor APS

O mecanismo convencional de funcionamento de um sensor APS, como pode ser visto nas seções anteriores, é aquele em que cargas fotogeradas são integradas, resultando em um nível de tensão proporcional à luz incidente. Tal configuração é conhecida como Modo Integrado de Operação, e é utilizada na grande maioria das aplicações dos sensores APS. Contudo, existem situações em que se deseja que o dispositivo apresente uma resposta não-linear. Neste grupo, merecem destaque aquelas em que a tensão de saída é proporcional ao logaritmo do sinal luminoso [36] [37] [38]. A esta configuração dá-se o nome de Modo Logarítmico de Operação.

A seguir, os dois modos de operação (integrado e logarítmico) serão analisados em maiores detalhes.

### 2.5.1 Operação em Modo Integrado

O modo integrado de operação caracteriza-se pela relação linear entre o sinal de saída do sensor e a luminosidade sobre o mesmo. Tal relação decorre do efeito fotovoltaico ao qual o elemento fotossensível é submetido.

Tanto o pixel APS baseado em fotodiodo como o pixel APS baseado em fotogate podem trabalhar em modo integrado, já que ambas as estruturas fotossensíveis integram carga.

### O Pixel APS Baseado em Fotodiodo

O pixel APS baseado em fotodiodo é formado pelo fotodiodo, como elemento fotossensível, além do circuito de controle e leitura, composto pelos transistores Reset (RST), Seguidor de Fonte (SF) e Seleção (SEL), como mostra a Figura 2.8

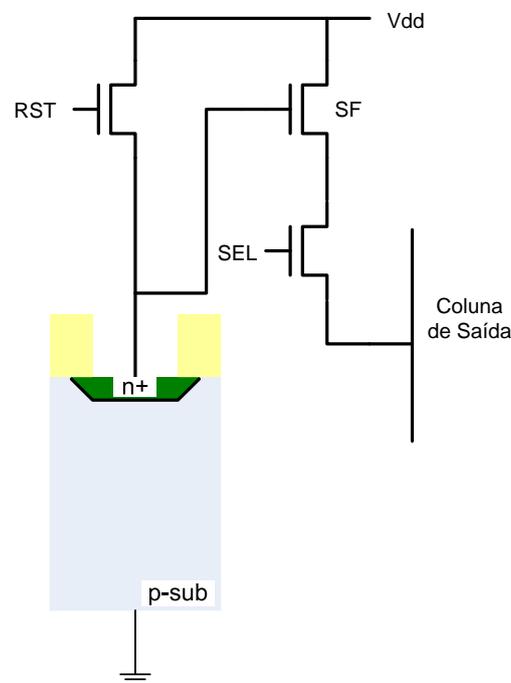


Figura 2.8: Estrutura de um pixel APS baseado em fotodiodo (Junção Rasa).

Inicialmente, a tensão Vdd é aplicada ao gate RST. Assim, o fotodiodo é polarizado reversamente, com esta mesma tensão da fonte, e tem sua região de depleção ampliada. Os fótons incidentes no elemento fotossensível vão gerando pares elétron-buraco, até que o transistor Reset seja colocado em corte, novamente. Neste momento, o fotodiodo começa a ser descarregado para o gate do transistor Seguidor de Fonte (SF). Este transistor converte as cargas fotogeradas em num nível de tensão proporcional, o qual será transmitido para o nó de saída do pixel, quando este for acessado através do gate SEL.

## O Pixel APS Baseado em Fotogate

O mecanismo de funcionamento em modo integrado do sensor APS baseado em fotogate é bastante semelhante ao do APS baseado em fotodiodo. A única diferença está nos processos de fotogeração das cargas e de transmissão das mesmas para o diodo de difusão flutuante (FD), explicados na Seção 2.4.2.

Com as cargas fotogeradas transferidas para o diodo de difusão flutuante, o dispositivo passa a funcionar como um APS baseado em fotodiodo.

A Figura 2.9 mostra a estrutura de um pixel APS baseado em fotogate.

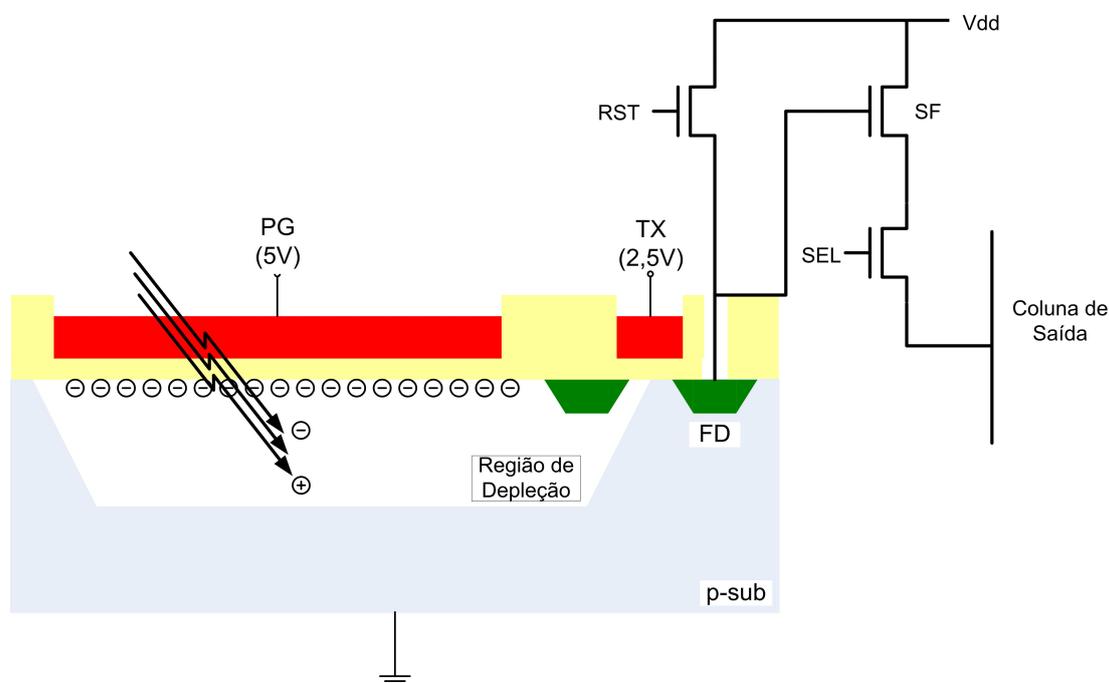


Figura 2.9: Estrutura de um pixel APS baseado em Fotogate.

### 2.5.2 Operação em Modo Logarítmico

O modo logarítmico de operação caracteriza-se pela relação logarítmica entre o sinal de saída do sensor e a luminosidade sobre o mesmo. Uma forma de se conseguir tal relação com um pixel APS é colocando o transistor Reset em saturação, como mostra a Figura 2.10.

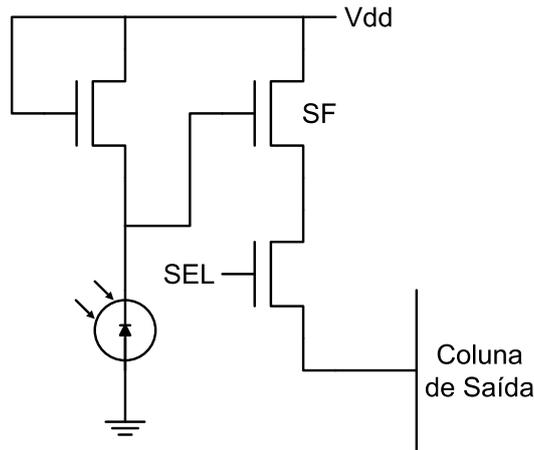


Figura 2.10: Estrutura de um pixel APS em Modo Logarítmico.

Com esta configuração, o fotodiodo ajusta a tensão em seus terminais, fazendo com que a corrente que passa pelo transistor Reset seja igual à fotocorrente gerada pelo fotodiodo. Isto resulta em uma transformação logarítmica do fotossinal, para níveis de luz típicos, dada pela Fórmula 2.3 [39].

$$V_{pix} = \frac{1}{n}(V_{dd} - V_{th}) - V_T \ln \frac{i_{photo}}{\beta} \quad (2.3)$$

onde  $V_{th}$  é a tensão de limiar do transistor Reset,  $V_T$  é a tensão térmica,  $\beta$  é a corrente de sublimiar do transistor Reset e  $n$  é o fator de inclinação de subthreshold, dado Fórmula 2.4 [39].

$$n = 1 + \frac{\gamma}{2\sqrt{2\phi_F + V_{SB}}} \quad (2.4)$$

onde  $\phi_F$  é o potencial de Fermi do substrato ( $2\phi_F \approx 0,6$  V),  $V_{SB}$  é a tensão do terminal de fonte em relação ao substrato, dada pelo efeito de corpo, e  $\gamma$  é o fator de efeito de corpo, dado pela Fórmula 2.5 [39].

$$\gamma = \frac{\sqrt{2qN_B\epsilon_s}}{C_{ox}} \quad (2.5)$$

onde  $q$  é a carga do elétron ( $1,6 \times 10^{-19}$  C),  $N_B$  é a concentração de dopantes

tipo p do substrato,  $\epsilon_s$  é a permissividade do silício ( $1,04 \times 10^{-12}$  F/cm) e  $C_{ox}$  é a capacitância do óxido de gate por unidade de área.

Neste modo de operação, não ocorre o processo de integração das cargas. A saída do pixel permanece continuamente disponível, havendo a possibilidade de se realizar uma leitura randômica do mesmo, no tempo e, para matrizes, no espaço. Em contrapartida, o sensor APS operando em modo logarítmico apresenta uma resposta bastante lenta para baixos níveis de luz, além de ruído de padrão fixo bastante elevado.

O modo de operação logarítmico é bastante utilizado na leitura de imagens cuja iluminação varia em diversas ordens grandezas. Contudo, isso resulta em baixas relações sinal-ruído, devido a ruídos temporais e a pequenas variações na tensão de saída.

Alguns exemplos de aplicações de sensores APS operando em modo logarítmico podem ser encontrados em [40], [41], [42], [43], [26], [44], [45], [46], [47], [48].

## 2.6 Sensores CCD X Sensores APS

Os recentes avanços alcançados com a tecnologia CMOS, principalmente no que se refere às reduções de dimensões e do consumo de potência, decorrentes do surgimento das tecnologias submicron, têm permitido aos sensores APS ganharem cada vez mais espaço no mercado de imageamento em estado sólido. Comparando-se aos sensores CCD, tradicionais representantes desta categoria, os sensores APS apresentam diversas vantagens e desvantagens, as quais são analisadas nesta seção.

**Fator de Preenchimento:** Um dos aspectos mais relevantes a serem considerados na comparação entre sensores CCD e sensores APS é o fator de preenchimento, ou seja, a relação entre a área fotossensível e a área total de um pixel. A resolução da imagem está intimamente ligada a este fator, pois, a área ocupada pelo circuito de controle e leitura representa uma zona morta em termos de captação de luz. Em sensores CCD, o processo de transferência de cargas entre pixels se dá sobre a própria área fotossensível [49] [50], de modo que, praticamente não existe circuito auxiliar

interno ao pixel, e sua estrutura é constituída, quase que exclusivamente, pela área sensível à luminosidade (fator de preenchimento  $\approx 100\%$ ). Já os sensores APS apresentam um circuito de pré-processamento do sinal, interno ao pixel. Assim, o fator de preenchimento alcançado por estes dispositivos, dependendo das dimensões da tecnologia utilizada e de adaptações que possam ser feitas em sua eletrônica de controle e leitura, é da ordem de 40 a 70%.

**Funcionalidade:** A mesma redução do fator de preenchimento do pixel APS que resulta na perda de resolução da imagem captada, é conseqüência de uma aumento de funcionalidade do pixel. Enquanto o pixel CCD disponibiliza, em sua saída, as cargas fotogeradas, o pixel APS é capaz de entregar um sinal de tensão analógico, já com um certo tratamento, eliminando diversas etapas complementares, que em sensores CCD são realizadas fora do pixel. Um exemplo dessas etapas é a amplificação do sinal. Matrizes CCD apresentam um amplificador externo à matriz de pixels, comum a todos eles. As matrizes APS, por sua vez, apresentam um amplificador para cada pixel, interno ao mesmo.

**Efeitos Danosos ao Sinal:** O fato da transferência de cargas em tecnologias CCD ser totalmente passiva, faz com que estes dispositivos sejam livres dos ruídos temporal e de padrão fixo. Contudo, esta transferência se dá sobre a própria estrutura sensível do pixel, fazendo com que o mesmo seja mais susceptível a perdas e a efeitos degradantes do material, como os causados pela radiação ionizante, objeto do Capítulo 3 desta dissertação. Já em sensores APS, apesar do amplificador interno ao pixel introduzir os ruídos temporal e de padrão fixo, o fato de existir um circuito de tratamento do sinal alivia a estrutura fotossensível do processo de transferência de cargas, fazendo com que o processo seja muito menos vulnerável. Além disso, os sensores APS, por utilizarem tecnologias CMOS, apresentam certa tolerância aos efeitos da radiação ionizante, aceitando, também, o uso de adaptações, capazes de fornecer uma resistênica extra ao circuito.

**Leitura de Matrizes:** A presença da eletrônica de tratamento do sinal, interna ao pixel APS, apesar de reduzir o fator de preenchimento do mesmo e de inserir ruído ao sinal, torna o processo de leitura de uma matriz muito mais eficiente. Isso

se deve ao fato deste mecanismo se dar de forma paralela, linha por linha, através de endereçamento XY dos pixels. O sinal de saída dos mesmos é recolhido em colunas. Tal processo permite uma leitura em alta velocidade, com a possibilidade de implementação de técnicas de acesso randômico e de janelamento. Enquanto isso, em sensores CCD, a leitura de uma matriz é feita de forma serial, com a carga sendo transferida pixel a pixel, primeiro em linha, para depois em coluna. Isso não só limita a taxa de frames, como também agrava os problemas de perdas e de sensibilidade, já que as cargas têm que percorrer uma grande área do chip, até alcançarem o amplificador externo.

**Consumo de Potência:** O fato do processo de leitura de matrizes CCD se dar de forma serial, pixel a pixel, exige que o mesmo seja executado em altas taxas. Além disso, os pixels CCD apresentam capacitâncias bastante elevadas, devido à superposição de gates, utilizada para a transferência de cargas. Estas características tornam necessário o uso de valores elevados de tensão para o acionamento dos pixels, o que resulta, conseqüentemente, num alto consumo de potência por parte dos sensores CCD, para que se tenha uma boa eficiência no processo de leitura de matrizes. Em contrapartida, o fato desse mecanismo de leitura em matrizes APS se dar de forma mais eficiente, além das tecnologias CMOS atuais operarem com tensões menores, torna o consumo de potência destes sensores bastante reduzido. Uma matriz APS necessita de uma única fonte de alimentação de 3,3 ou 5 Volts, enquanto que matrizes CCD trabalham com fontes na faixa de 15 Volts, e com clocks bastante complexos, que utilizam tensões elevadas, para o processo de transferência de cargas.

**Processo e Integração:** Dispositivos CCD utilizam tecnologias especiais, com redução do grau de impureza do substrato de silício, e otimizadas para aplicações em imageamento e para o processo de transferência de cargas. Uma conseqüência positiva deste fato é que o maior controle sobre a tecnologia de fabricação permite a redução das dimensões do pixel e a construção de arrays de maior ordem, sem que haja uma degradação significativa em desempenho (ruído temporal, ruído de padrão fixo e corrente de escuro). Em contrapartida, além de gerar um encarecimento do produto final, tal especificidade dificulta o processo de integração de outras funções

da câmera no mesmo chip, com o sensor (esses blocos, implementados em tecnologias de acoplamento de cargas, apresentam menores funcionalidade e desempenho). Isso acarreta em redução das taxas de transmissão de dados, e aumento da susceptibilidade a ruídos e interferência externos. Os sensores APS, por sua vez, utilizam tecnologias CMOS standard, facilitando a integração do sensor propriamente dito com circuitos amplificadores, conversores A/D, filtros, e outros componentes de controle e processamento, analógicos e digitais. Tal integração reduz o tamanho, o peso e o consumo de potência do sistema como um todo, além de possibilitar a inserção de novas funcionalidades ao sensor. Contudo, por serem utilizados processos menos controlados, seus parâmetros têm que ser dados por garantidos, além do que os projetistas acabam sendo mais exigidos em termos de criatividade, para que as deficiências apresentadas pela tecnologia possam ser contornadas.

Assim, sensores baseados em tecnologias CCD, devido à especificidade destas, apresentam excelente qualidade de imagem, podendo ser utilizados em aplicações que exijam maior precisão. Em contrapartida, para aplicações com menor exigência em termos de qualidade de imagem, a utilização de sensores APS se torna muito mais recomendável, sobretudo pelo seu custo e compatibilidade. Tal fato representa um grande incentivo à realização de pesquisas ligadas à sensores CMOS, principalmente por ser esta uma tecnologia em constante desenvolvimento e que assume, hoje, uma grande fatia do mercado de semicondutores.

## 2.7 Aplicações dos Sensores APS

As vantagens alcançadas com o uso de sensores de pixels ativos em imageamento, algumas delas comentadas na Seção 2.6, têm resultado em um número cada vez maior de aplicações para os sensores APS, dentro das mais diversas áreas. Para os propósitos deste trabalho, estas áreas podem ser divididas em dois grandes grupos: as de aplicação convencional, que levam em consideração apenas fatores inerentes ao projeto de circuitos integrados de uso comercial; e as de aplicação em ambientes onde o circuito opere submetido a doses de radiação altas o suficiente para, não só comprometer o funcionamento do chip, como também danificar a sua estrutura física, tornando-se um fator a mais a ser levado em consideração pelo projetista. No

Capítulo 3, estes efeitos são melhor discutidos, bem como as técnicas de proteção que podem ser utilizadas, de modo a se garantir o funcionamento do sensor dentro de certos padrões, durante o tempo necessário para a realização de suas funções.

### 2.7.1 Aplicações Convencionais

O crescente desenvolvimento da tecnologia CMOS exerce grande influência sobre os sensores APS, tornando possível o desenvolvimento de sensores com um desempenho cada vez melhor. Este avanço tem expandido a utilização dos sensores APS para um crescente número de diferentes áreas, estando os mesmos presentes em sensores de visão [51] [52] [53] [54] [55], [56], em verificação de autenticidade de imagem [57], em busca e reconhecimento de imagens [58], em determinação de centróides (tamanho e posição de partículas) [59], em biologia, biomedicina e genética [60] [61] [62], [63], [64], na química [65] [66], em segurança e inspeção industrial [67] [68], em detecção de movimento e compressão de vídeo [69] [70] [71], em HDTV e UDTV [72] [73] [74] [75], [76], em equipamentos portáteis [77], em aplicações automotivas [78] [43], navegação de veículos aéreos de perseguição [79], entre outros.

### 2.7.2 Aplicações sob Incidência de Radiação

O projeto de um sensor APS destinado a operar sob doses consideráveis de radiação exige do projetista uma atenção extra, de modo a se garantir que o circuito irá cumprir seus objetivos, durante o tempo necessário.

Elétrons, prótons, fótons, partículas alfa e íons pesados são capazes de interagir com os materiais semicondutores sob várias formas, como será visto no Capítulo 3 [80] [81]. Tais interações acabam degradando o material semicondutor, muitas vezes de forma irreversível, podendo resultar na perda de um trabalho por completo. Normalmente, os circuitos eletrônicos mais sensíveis costumam ser protegidos por envólucros, capazes de isolá-los, completamente, da influência da radiação presente no meio. Contudo, sensores de imagem devem estar expostos, de forma a poderem realizar a detecção de luz. Assim, para este tipo de dispositivo, outras técnicas devem ser utilizadas, de modo a se evitar os efeitos degradantes da radiação sobre

o material semicondutor. Exemplos de dispositivos que utilizam tais técnicas, são: espaciais (star trackers [82] [83] [84] [85], [86], [87] e sensores solares [88], [89], [90], [91]), detectores de partículas [92] [93] [94] [95] [96] [97] [98], [99], raio-X [46] [100] [101] [102] [103] [104] [105] [106], [107], tomografia [108] [109] [110] [111].

## Capítulo 3

# Efeitos de Dose Total de Ionização em Circuitos MOS

Neste capítulo são analisados aspectos relacionados ao projeto de circuitos integrados destinados a operar em meios onde fiquem expostos à incidência de radiação.

Inicialmente, é feito um breve relato a respeito dos mecanismos de ação da radiação em materiais semicondutores (Seção 3.1), suficiente para a compreensão dos problemas decorrentes deste processo (Seção 3.2). Para o leitor interessado em maiores detalhes sobre tais mecanismos, recomenda-se a referência [112].

Dentre os efeitos causados pela incidência de radiação, em materiais semicondutores, dá-se um enfoque especial, na Seção 3.3, aos de Dose Total de Ionização (DTI), que ocorrem devido ao acúmulo de cargas geradas pelo processo fotoelétrico, as quais afetam materiais semicondutores a longo prazo. Tais efeitos atuam nas camadas de óxido do processo, comprometendo o funcionamento e a estrutura física de circuitos integrados (Seção 3.4).

Ao final do capítulo são analisadas algumas técnicas que podem ser utilizadas para atenuar os problemas causados pela radiação ionizante, mais especificamente aqueles decorrentes de efeitos de Dose Total de Ionização (Seção 3.5).

## 3.1 Os Mecanismos de Atuação da Radiação em Materiais Semicondutores

No início da década de 60, quando testes nucleares realizados em grandes altitudes aumentaram os níveis de radiação dos cinturões de Van Allen, deu-se início aos estudos dos efeitos da radiação sobre componentes eletrônicos em satélites. Nesta época, no Laboratório de Pesquisas Navais dos Estados Unidos (NRL), foi descoberta a sensibilidade de dispositivos MOS à radiação [113]. Até então, acreditava-se que transistores MOS seriam resistentes aos efeitos degradantes da radiação, por se tratarem de dispositivos de cargas majoritárias, ao contrário dos dispositivos bipolares.

Dentre os elementos encontrados em meios radioativos, pode-se destacar elétrons, prótons, fótons, partículas alfa e íons pesados, os quais podem ser divididos em dois grandes grupos: os fótons e as partículas carregadas.

Os fótons caracterizam-se por não apresentarem massa e por serem eletricamente neutros. Eles podem interagir com a matéria através de efeito fotoelétrico, espalhamento Compton ou produção de pares, sendo que, nos três casos, são gerados elétrons livres. A preferência por uma ou outra forma de interação se dá em função da faixa de energia do fóton e do número atômico do elemento alvo. No caso do silício ( $Z = 14$ ) o efeito fotoelétrico domina para energias menores do que 50 keV. A produção de pares, por sua vez, tem maior probabilidade de ocorrer para energias superiores a 20 MeV. Já o espalhamento Compton, ocupa a faixa intermediária.

As partículas carregadas interagem, principalmente, por espalhamento Rutherford (espalhamento Coulomb), resultando na excitação e na liberação de elétrons. Este processo também pode ocasionar o deslocamento de um átomo da estrutura do material, caso a partícula forneça energia suficiente para tal. Partículas de carga pesada podem gerar interações nucleares, por espalhamento elástico, inelástico e transmutação. No primeiro caso, a partícula fornece parte de sua energia ao átomo do alvo, podendo deslocá-lo da sua posição original na estrutura do material. No segundo, a partícula é absorvida pelo núcleo do material, que libera uma outra de menor energia. O núcleo fica em um estado excitado, voltando ao seu estado origi-

nal pela emissão de raios gama. Neste processo também pode haver deslocamento do átomo alvo. O processo de transmutação é bastante semelhante ao do choque inelástico. Porém, em vez de raios gama, o núcleo emite partículas alfa, sofrendo transmutação para outro elemento.

## 3.2 Efeitos da Radiação em Materiais Semicondutores

Como resultado dos diversos tipos de interação que ocorrem entre o material semicondutor e a radiação incidente, podem surgir alguns efeitos danosos, sobre esse material. Assim, levando-se em consideração o principal resultado da interação, a radiação pode ser classificada como ionizante ou não-ionizante. A radiação ionizante gera pares elétron-buraco no material, cujas cargas modificam o funcionamento do mesmo. A radiação não-ionizante costuma afetar a estrutura do material semicondutor, porém por outros efeitos não relacionados à produção de pares.

Os efeitos de ionização podem ser divididos em Efeitos de Dose Total e Eventos de Partícula Isolada (*Single Effect Event*). Os efeitos Dose Total de Ionização ocorrem devido ao acúmulo de cargas geradas pelo processo fotoelétrico, as quais afetam materiais semicondutores a longo prazo. Os Efeitos de Partícula Isolada, por sua vez, são decorrentes da ação de uma única partícula sobre o material semicondutor. Essa partícula, ao longo de sua trajetória dentro do material, forma um caminho de cargas ionizadas.

Dentre os efeitos não-ionizantes, merecem destaque os Danos por Deslocamento (*Displacement Damage*), que ocorrem quando partículas de massa elevada geram elétrons energizados, na sua interação com o semicondutor. Esses elétrons podem, em novas interações, deslocar átomos da estrutura cristalina do material alvo, desorganizando-a.

Ao longo do presente texto será dada uma atenção especial aos efeitos de Dose Total de Ionização, com os problemas que os mesmos causam em circuitos integrados, bem como, medidas que podem ser adotadas para dar uma maior proteção a estes circuitos. Contudo, para o leitor interessado em maiores esclarecimentos sobre

Eventos de Partícula Isolada, recomenda-se as referências [114], [115], [116], [117], [118], [119], [120], [121] e [122]. Da mesma forma, informações mais detalhadas sobre Danos por Deslocamento podem ser encontradas em [123], [124], [125], [80], [126], [127], [128] e [129].

### 3.3 Dose Total de Ionização

Dá-se o nome de Dose Total de Ionização (DTI) à quantidade de energia que um processo de ionização cria e deposita em um material, ao longo do tempo, quando partículas energizadas incidem sobre o mesmo.

Inicialmente, acreditava-se que os danos causados em circuitos integrados, pela radiação, se dariam em virtude de efeitos ionizantes nas superfícies de camadas de óxidos do processo [130]. Contudo, não demorou para que fosse descoberto que a causa fundamental desses danos estaria relacionada ao acúmulo de cargas no interior desses óxidos [131] [132], [133], [134], [135], [136], e não a efeitos de superfície.

A radiação ionizante, ao incidir no óxido, gera pares elétron-buraco, numa proporção tal que, cada  $\text{rad}(\text{SiO}_2)$  (100 erg de energia da radiação depositada sobre o óxido de silício) origina cerca de  $8 \times 10^{12} \text{ pares/cm}^3$ . Em decorrência de sua maior mobilidade, os elétrons, sob a ação dos campos elétricos existentes no interior da estrutura, deixam a região de formação dos pares em cerca de um picossegundo, ou menos. Neste intervalo de tempo, uma fração desses elétrons, que irá depender da energia e do tipo de partícula radioativa incidente, pode se recombinar com os buracos. Estes, por sua vez, quando escapam desse processo de recombinação, permanecem relativamente estáticos em sua posição de formação, gerando regiões com acúmulos de cargas positivas.

Apesar de serem muito mais lentos que os elétrons, os buracos também apresentam, sob a influência dos campos presentes na região, um movimento ao longo do óxido. Tal movimento depende, não apenas do campo elétrico atuante, mas da temperatura local e da espessura e processo de formação do óxido. Ele também se caracteriza por ser bastante dispersivo no tempo, com durações bastante inferiores a um segundo em óxidos de gate (grande parte dos buracos demora algo da ordem

de microssegundos sob uma tensão de 5 V) e podendo durar de segundos a horas em óxidos de campo, onde o campo elétrico é menor. Em ambos os casos, o movimento dos buracos faz com que os mesmos se dispersem, desfazendo os acúmulos iniciais de cargas positivas.

Em seu deslocamento, os buracos podem se aproximar da interface com o substrato. Nesta região, o processo de oxidação se dá de forma incompleta, fazendo com que o óxido apresente falhas de oxigênio [137]. Estas falhas, conhecidas como armadilhas, podem capturar os buracos que se aproximam, de modo que, em cada uma delas, um átomo de silício fica com um elétron sem par, tornando-se uma estrutura positivamente carregada. As armadilhas de óxido são compensadas ao longo do tempo por um processo chamado “annealing”, que apresenta uma dependência complexa do tempo, da temperatura e do campo elétrico aplicado. O annealing pode ocorrer tanto por tunelamento, em temperatura ambiente, como por excitação térmica, em temperaturas mais altas, e sua duração varia entre horas e anos. Com este período de tempo, pode-se considerar as armadilhas de óxido como estruturas relativamente estáveis, e sua concentração leva a um novo acúmulo de cargas positivas, agora próximo à interface  $Si/SiO_2$ .

### 3.4 Problemas Causados por Efeitos de Dose Total de Ionização em Dispositivos MOS

O mecanismo DTI, como mostrado na Seção 3.3, atua nas camadas de óxido de silício ( $SiO_2$ ) do processo. Seus efeitos, contudo, acabam se refletindo sobre a camada superficial do substrato, por onde circulam as correntes responsáveis pelo funcionamento do circuito.

A grande concentração de armadilhas de óxido, carregadas positivamente, próxima à interface  $Si/SiO_2$  é capaz de inverter a superfície do substrato tipo p, pelo fato do campo elétrico gerado atrair elétrons para esta região. Para uma melhor compreensão dos efeitos desse processo de inversão do substrato no funcionamento de circuitos CMOS, pode-se dividir o óxido de silício em três áreas de análise: o óxido de gate, o óxido de campo, e a transição entre estes dois tipos de óxido, na

borda de transistores.

No óxido de gate de transistores de canal n, a inversão do substrato, ocasionada pelas armadilhas de óxido, age de modo a reduzir o valor da tensão de threshold  $V_{th}$  do dispositivo. Tal efeito era problemático em tecnologias antigas, nas quais, óxidos de gate com espessuras mais elevadas, permitiam a formação de um maior número de armadilhas. Contudo, em tecnologias modernas, nas quais as espessuras dos óxidos de gate são inferiores a 10 nm [138], o fato da quantidade de armadilhas produzidas ser inversamente proporcional ao quadrado da espessura do óxido [139] faz com que os óxidos de gate não aprisionem um número suficiente de armadilhas, para produzir um campo capaz de inverter o substrato.

Assim, o mecanismo de inversão do substrato pela ação das armadilhas de óxido tende a ocorrer ou no óxido de campo, ou em transições deste com o óxido de gate, através de efeitos conhecidos, respectivamente, como Fuga no Óxido de Campo e Formação de Transistores de Borda.

### **3.4.1 Efeito de Fuga no Óxido de Campo**

Com a constante evolução do processo de integração de circuitos, busca-se dispor de um maior número de dispositivos em uma área cada vez menor de pastilha. Estes dispositivos são isolados uns dos outros pela formação de junções p-n reversamente polarizadas, entre as difusões dos transistores NMOS (PMOS) e o substrato (poço n) sobre o qual são formadas, como ilustra a Figura 3.1. Essas junções ocorrem, da mesma maneira, entre o poço n e o substrato.

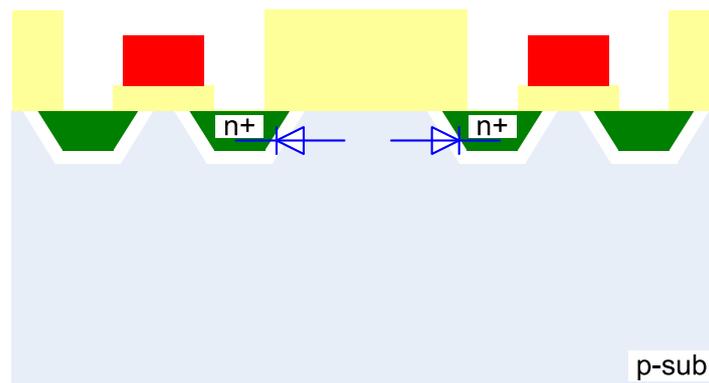


Figura 3.1: Dispositivos isolados pela junção PN reversamente polarizada.

O processo de fotolitografia faz com que as áreas do substrato onde não são formadas regiões ativas ou poços n sejam cobertas por óxido de campo. Assim, a incidência de radiação ionizante gera armadilhas nesses óxidos, que invertem a região do substrato sobre a qual estão superpostos. Essas regiões de inversão tornam-se caminhos de fuga, capazes de interligar dispositivos NMOS entre si, ou com poços n, gerando pontos de curto indesejáveis no circuito, como mostra a Figura 3.2.

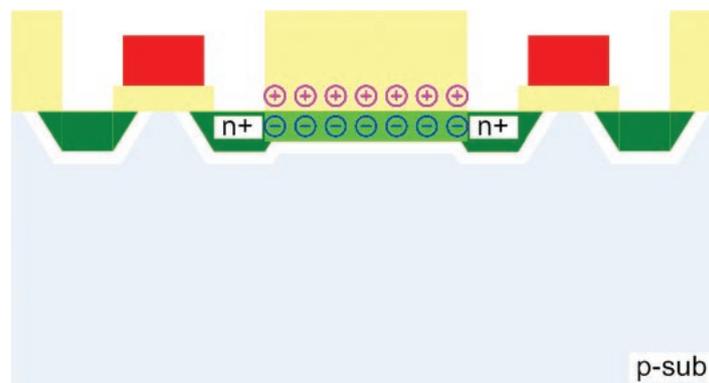


Figura 3.2: Inversão de Canal sob o Óxido de Campo.

### 3.4.2 Formação de Transistores de Borda

Quando dispositivos são construídos em processos de fabricação CMOS convencionais, formam-se regiões de transição entre o óxido de campo e o óxido de gate, com contornos semelhantes aos de um bico de passarinho, como mostra a Figura 3.3. A ação da radiação ionizante no óxido de campo próximo à junção forma armadilhas

capazes de inverter o substrato sob a junção dos óxidos. Essa inversão resulta na formação de caminhos de fuga nas laterais do canal de condução do dispositivo, caracterizando um canal de um transistor parasita. As correntes de fuga podem assumir valores próximos aos da corrente do dispositivo, gerando um curto-circuito entre os nós de dreno e source do mesmo.

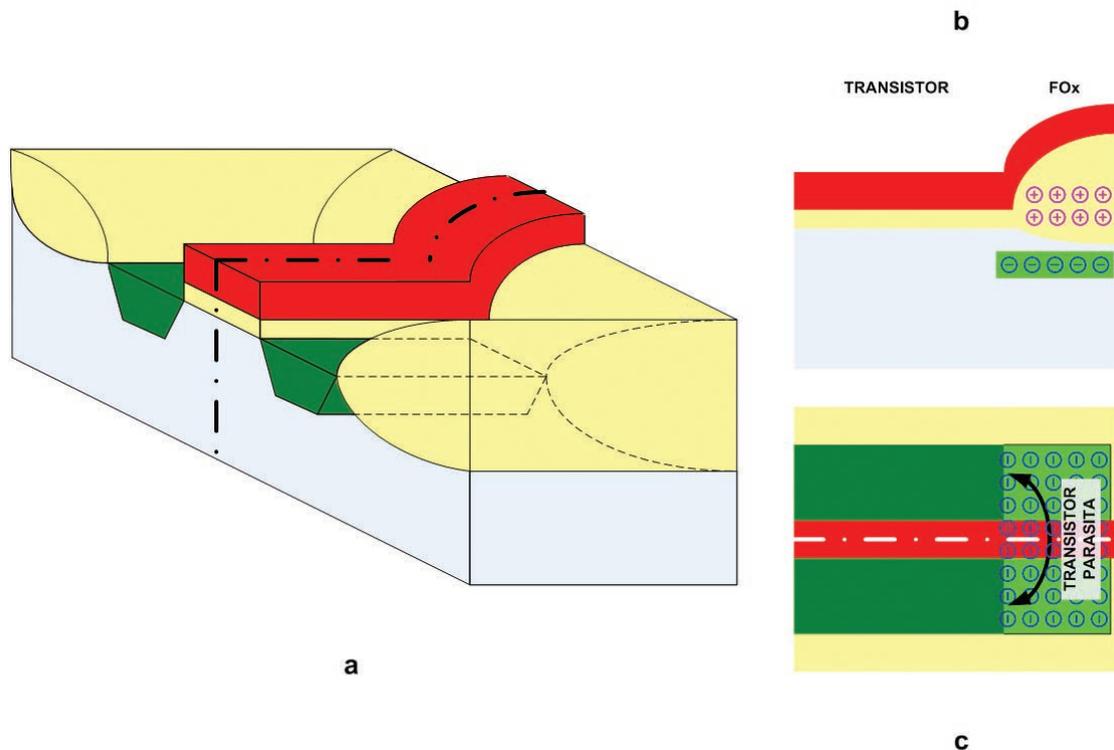


Figura 3.3: Formação do Transistor de Borda. a) Vista espacial; b) Vista do corte indicado pela linha branca traço-ponto; c) Vista, por cima, da formação do Transistor Parasita.

Assim como os efeitos de fuga no óxido de campo, o processo de formação de transistores parasitas envolve, apenas, transistores construídos sobre substratos do tipo p, ou seja, transistores NMOS. Essa particularidade ocorre pelo fato do fenômeno de inversão do substrato ser causado pela indução de armadilhas carregadas positivamente.

## 3.5 Técnicas de Proteção Contra Radiação

Em virtude dos efeitos DTI ocasionarem problemas que podem comprometer o funcionamento de circuitos integrados CMOS, torna-se necessária a adoção de técnicas que possam atenuar tais efeitos, garantindo a correta operação dos circuitos, pelo menos durante o tempo necessário para a realização das tarefas a que se destinam.

Antes de se fazer uma análise de tais técnicas, é importante ressaltar a diferença entre resistência e tolerância à radiação, conceitos intimamente relacionados com a necessidade, ou não, da aplicação de métodos de proteção específicos, no circuito a ser desenvolvido.

A tolerância à radiação é uma característica intimamente relacionada aos materiais utilizados na construção do circuito integrado, de modo que o mesmo consiga operar de forma satisfatória sob a incidência radioativa, dispensando, para isso, a adoção de técnicas específicas de proteção.

A resistência à radiação, por sua vez, envolve a utilização de técnicas específicas, que visam a dar uma maior proteção a circuitos construídos com o uso de materiais não tolerantes, de modo que os mesmos possam, ao menos, executar as funções a que se destinam, durante o tempo necessário.

As técnicas de resistência à radiação podem ser utilizadas em diferentes etapas do desenvolvimento do circuito; desde a escolha da tecnologia a ser utilizada, com etapas de processo características, até a própria concepção do layout pelo projetista. Assim, costuma-se dividir essas técnicas em três tipos: técnicas de processo, técnicas de arquitetura, e técnicas de projeto.

### 3.5.1 Técnicas de Processo

A adoção de técnicas de processo para o desenvolvimento de circuitos integrados resistentes à radiação consiste, basicamente, na escolha de uma tecnologia de fabricação, com características específicas de dopagem e disposição de camadas capazes de dar ao circuito a proteção necessária. Essas técnicas estão voltadas, principalmente, para a proteção da camada superficial do substrato, local onde se desenvolvem, em

sua maior parte, os fenômenos relacionados com o funcionamento dos dispositivos.

Neste sentido, as principais tecnologias CMOS que se baseiam em processos voltados para a resistência à radiação são: Silicon-on-Insulator (SOI), Silicon-on-Sapphire (SOS) e as tecnologias com camada epitaxial.

Os processos CMOS Silicon-on-Insulator (CMOS/SOI) são aqueles em que uma fina camada silício é crescida sobre outra, também fina, de óxido de silício  $SiO_2$ . Tal estrutura reduz a corrente responsável por acionar os transistores parasitas causadores de efeitos de partícula isolada. Dentre as tecnologias SOI, a principal é a Separation by Implantation of Oxygen (SIMOX), em que íons de oxigênio são implantados sob a superfície do substrato e, após o recozimento, formam uma camada de óxido de silício sob outra, fina, de silício cristalino.

No início dos anos 70 a Rockwell desenvolveu a tecnologia CMOS Silicon-on-Sapphire (CMOS/SOS) com o propósito de fabricar dispositivos digitais de baixa potência, e que resistissem a determinados tipos de efeitos de partícula isolada [140]. Nesta tecnologia, os substratos são feitos com safira sintética ( $Al_2O_3$ ) e, sobre os mesmos, são crescidas ilhas de silício, nas quais são construídos os componentes.

A resistência à radiação também pode ser conseguida com tecnologias que fazem uso de camada epitaxial. Nestas, uma fina camada de silício epitaxial, com resistividade elevada, é crescida sobre um substrato fortemente dopado. Esta estrutura serve de base para a camada planar do processo. Assim, o fato da camada epitaxial apresentar uma dopagem intermediária entre a do substrato e a da camada planar, resulta na formação de barreiras de potencial entre estas três camadas, que confinam as cargas geradas por efeitos radioativos, no interior da camada epitaxial, até que estas alcancem, por difusão térmica, a junção n-well/p-epi, pela qual são recolhidas.

A Figura 3.4 mostra estas três estruturas, juntamente com a estrutura CMOS Bulk.

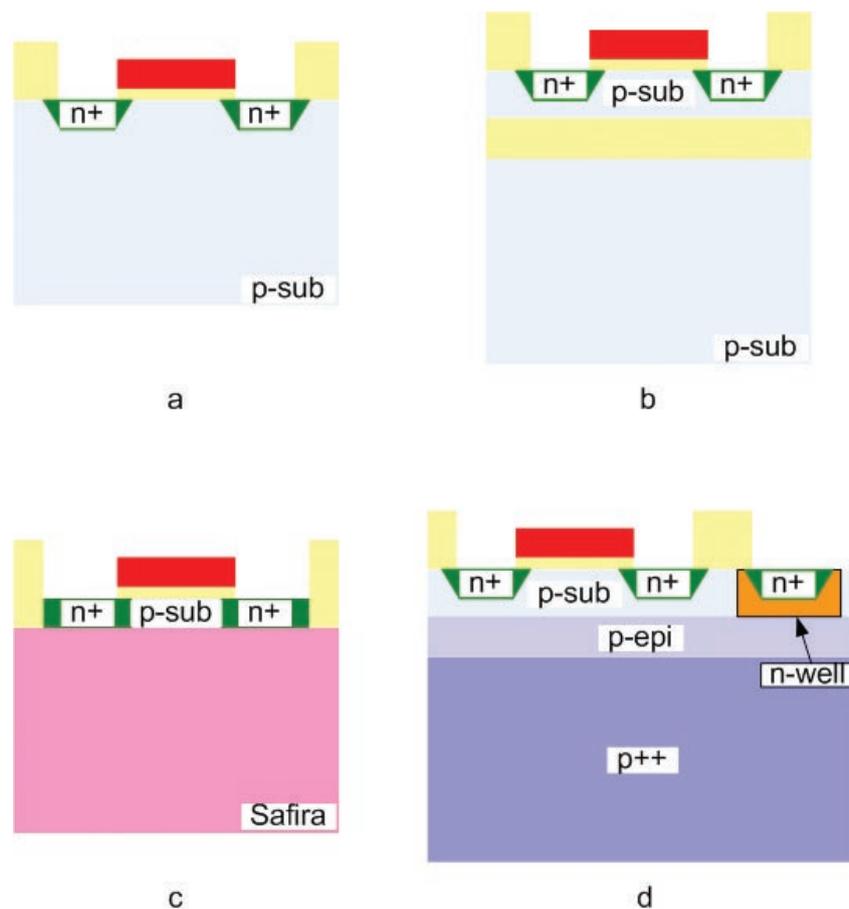


Figura 3.4: a)Estrutura CMOS Bulk; b)Estrutura CMOS/SOI; c)Estrutura CMOS/SOS; d)Estrutura CMOS Epitaxial.

Em virtude das diversas modificações necessárias na estrutura dos dispositivos, a obtenção de circuitos resistentes à radiação, através da utilização de tecnologias específicas para tal, acaba se tornando uma alternativa financeiramente desvantajosa.

Para um estudo mais aprofundado sobre a aplicação das tecnologias CMOS/SOI, CMOS/SOS e CMOS Epitaxial em circuitos resistentes à radiação, recomenda-se as referências [141], [142], [143], [144] [145] [146] [147] [148] [149] [112] [150] [151] [152] [153] [154] [155] [156] [157] [158] [159] [160] [97] [161] [30].

### 3.5.2 Técnicas de Arquitetura

De acordo com as definições apresentadas no início da Seção 3.5, pode-se dizer que todos os dispositivos apresentam uma certa tolerância à radiação. Contudo, existem bibliotecas específicas, cujos componentes são especialmente projetados para resistirem a determinadas doses de radiação. Assim, à primeira vista, a solução mais trivial para o projeto de circuitos resistentes à radiação seria utilizar tais bibliotecas. Todavia, além do fato de não existirem versões resistentes à radiação para todos os tipos de componentes, principalmente aqueles mais novos e complexos, quando são encontradas, costumam apresentar preços mais elevados que suas versões convencionais, o que acaba encarecendo o projeto como um todo.

Outras técnicas voltadas para a arquitetura de circuitos costumam ser utilizadas no sentido de torná-los resistentes à radiação. Uma delas consiste em envolver o circuito em uma proteção metálica. Certos metais, como o chumbo, são capazes de atenuar completamente a radiação e os pulsos eletromagnéticos, isolando os circuitos envolvidos. Contudo, apesar de ser uma técnica bastante eficaz, sua utilização é descartada para a proteção de sensores de imagem, já que as partes fotossensíveis dos mesmos precisam estar expostas.

Também é comum o uso de componentes redundantes, de modo que o circuito possa continuar funcionando normalmente, em caso de falha de algum dos seus componentes principais. Além disso, juntamente com os componentes redundantes, pode ser elaborado algum mecanismo de teste e verificação de falhas, interno ao sistema.

### 3.5.3 Técnicas de Projeto

Nas seções 3.5.1 e 3.5.2 foi mencionado que técnicas de proteção contra a radiação baseadas em processo ou arquitetura nem sempre são convenientes, seja pelos seus custos elevados, seja por não se adequarem a determinadas aplicações. Assim, como uma alternativa de maior viabilidade, costuma-se fazer uso de técnicas baseadas em projeto, que pelo fato de serem aplicadas em tecnologias comerciais, tornam-se uma solução vantajosa em praticamente todos os circuitos (inclusive economicamente),

quando comparadas aos outros dois tipos de técnicas.

O fato das tecnologias comerciais apresentarem uma tolerância normalmente insuficiente para a maior parte das aplicações em ambientes considerados radioativos, requer que seu uso, nestes casos, dependa dos conhecimentos e habilidades do projetista em modificar layouts convencionais, tornando-os resistentes à radiação.

As técnicas de projetos analisadas no presente texto voltam-se para os efeitos de dose total de ionização, buscando-se amenizar os problemas de transistores de borda e de fuga no óxido de campo. Contra tais efeitos costuma-se utilizar transistores com layout modificado e anéis de guarda.

### **Transistores Resistentes à Radiação**

Os transistores resistentes à radiação são utilizados, basicamente, com o objetivo de se atenuar o problema da formação de transistores parasitas, encontrados em dispositivos convencionais. A idéia básica consiste em se eliminar a junção existente entre o óxido de campo e o óxido fino, na lateral do dispositivo (Seção 3.4.2).

Como visto na Seção 3.4, esse problema ocorre apenas com dispositivos construídos sobre um substrato com dopagem tipo p, ou seja, transistores NMOS. Assim, os transistores PMOS podem ser projetados em sua forma convencional, sem que haja maiores conseqüências, no que se refere a danos causados pela radiação.

Os principais tipos de layout de transistores NMOS resistentes à radiação são os concêntricos, os hexagonais e os que utilizam moldura PMOS.

O transistor concêntrico, ou fechado, mostrado na Figura 3.5, apresenta o terminal de dreno envolvido pelo terminal de source. Com esta estrutura, por não haver a transição entre os óxidos de campo e gate, evita-se a formação da estrutura do “bico de passarinho”, junta ao canal, interligando os dois terminais mencionados.

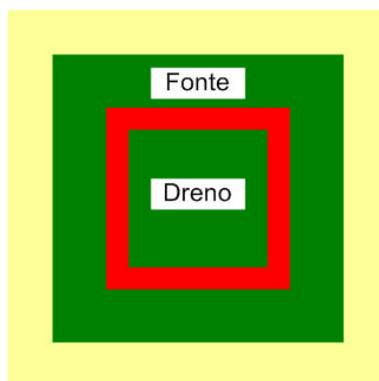


Figura 3.5: Transistor Concêntrico.

O comprimento de um transistor concêntrico é dado, aproximadamente, pela largura da fita de polissilício que forma o gate do dispositivo. A largura, por sua vez, equivale ao comprimento médio desta mesma fita.

Um problema decorrente da utilização de transistores concêntricos é o fato dos mesmos estarem limitados a grandes razões de aspecto, por serem dispositivos bastante largos. Com isso, seu uso não se faz muito apropriado em circuitos analógicos, cujo projeto depende fortemente da razão de aspecto dos dispositivos. Assim, para que se possa trabalhar com relações menores, torna-se necessário um aumento do comprimento dos transistores e, conseqüentemente de suas áreas [162] [163] [164] [165]. Desta forma, para uma mesma relação  $W/L$ , transistores concêntricos sempre serão maiores do que os convencionais.

Os transistores concêntricos têm sido utilizados em diversas aplicações, destacando-se: experimentos de física de alta energia, como detectores de partículas [166] [167] e conversores A/D [168]; aplicações médicas, para dosimetria de radiação, utilizada em braquiterapia, uma forma de tratamento de câncer [169]; memórias analógicas [170] [171] e controladores de arrays de capacitores chaveados [172], entre outras.

O transistor hexagonal [173], mostrado na Figura 3.6, representa um avanço em relação aos transistores concêntricos. Com este layout consegue-se obter relações  $W/L$  menores do que as encontradas em dispositivos com layout quadrado. Isso resulta em capacitâncias de dreno e source menores e, conseqüentemente, em dispo-

sitivos mais rápidos e com menor consumo de potência.

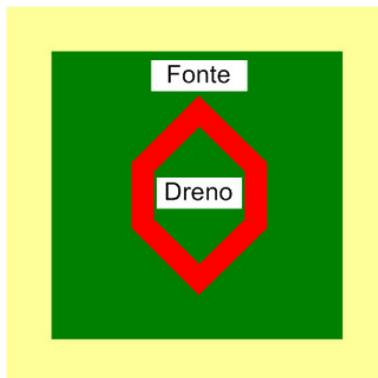


Figura 3.6: Transistor Hexagonal.

Uma outra vantagem dos transistores hexagonais em relação aos quadrados está no fato de apresentarem um menor descasamento de parâmetros. Este descasamento decorre de pequenas variações no processo de fabricação, que causam diferenças randômicas e independentes do tempo nos parâmetros físicos de dispositivos idênticos [174]. Ele impõe um limite na máxima precisão alcançada por um circuito analógico, para uma dada tecnologia [173].

Em 2002 foi proposto um modelo de transistor NMOS com moldura PMOS (Figura 3.7), que apresenta grande resistência aos efeitos da radiação ionizante, e razão de aspecto e área comparáveis às de um dispositivo convencional [175].

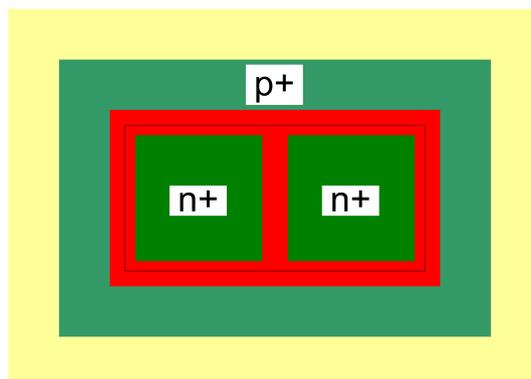


Figura 3.7: Transistor NMOS com moldura PMOS.

Este layout, com uma difusão do tipo n sendo envolvida por outra do tipo p, só

é possível de ser realizado, pelo fato das tecnologias comerciais permitirem a implementação de camadas de polissilício com duas dopagens diferentes. Tal estrutura resulta em uma tensão de limiar  $V_{Th}$  na borda cerca de 1V maior do que no interior, possibilitando que a parte interna seja ligada, mantendo-se a externa desligada. Com isso o transistor torna-se protegido contra os efeitos de dispositivos parasitas, e curtos entre nós de dispositivos adjantes, decorrentes do processo de inversão do substrato.

Testes realizados em transistores NMOS com moldura PMOS mostraram que estes dispositivos podem apresentar resistência a doses de 40 Mrad( $SiO_2$ ) [175].

### Anéis de Guarda

Além de transistores com layouts específicos, que evitam a formação de dispositivos parasitas em suas bordas, também são utilizados anéis de guarda, com o intuito de se alcançar uma maior proteção contra os efeitos danosos da radiação.

O anel de guarda consiste na criação de uma região fortemente dopada no substrato, entre dois dispositivos, como mostra a Figura 3.8. Esta dopagem, obtida a partir de uma difusão p, dificulta a inversão desta região do substrato, evitando que se formem as correntes de fuga sob óxido de campo, capazes de interligar os dispositivos.

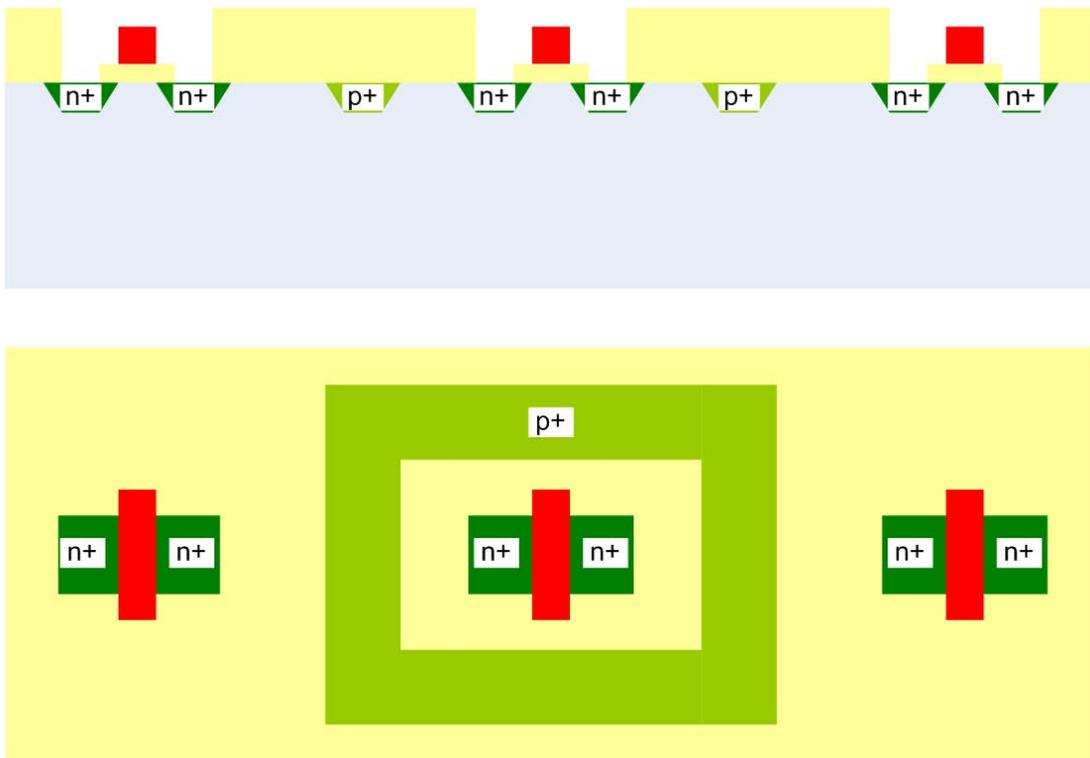


Figura 3.8: Anel de Guarda.

A inclusão do anel de guarda gera a necessidade de um maior espaçamento entre os nós a serem isolados, o que resulta num aumento da área total do circuito.

# Capítulo 4

## O Projeto

No presente capítulo é feita a descrição do chip desenvolvido para a caracterização de sensores APS, processo este que consiste no levantamento de uma série de parâmetros, os quais podem ser divididos em dois grupos: os parâmetros ópticos, ligados à intensidade luminosa que incide no sensor; e os parâmetros elétricos, que consideram as características puramente elétricas do dispositivo, não levando em conta a luminosidade sobre o mesmo.

Os sensores foram implementados com base nas estruturas apresentadas no Capítulo 2, sendo utilizados quatro tipos de elementos fotossensíveis. Além disso, cada pixel foi desenhado nas versões convencional, com o uso de transistores retangulares padronizados, e resistente à radiação, esta baseada em estruturas concêntricas (Seção 3.5.3) e envolvidas por anéis de guarda (Seção 3.5.3). Isto resultou na elaboração de oito pixels distintos.

Posteriormente, os pixels foram agrupados em 16 matrizes de teste, de dois tipos diferentes, cada um deles destinado ao levantamento de um conjunto específico de parâmetros. Uma outra matriz foi especialmente implementada para o levantamento de capacitâncias parasitas decorrentes de trilhas e pads, para que seus valores pudessem ser descontados das capacitâncias totais obtidas.

Além das matrizes de teste, e não menos importantes para o correto funcionamento do chip, foram desenvolvidas, ainda, estruturas auxiliares, algumas delas destinadas à proteção do circuito contra efeitos danosos à estrutura do mesmo (Seção

3.5.3), outras ligadas ao mecanismo de entrada e saída dos seus sinais de operação.

A tecnologia de fabricação utilizada para este trabalho foi a 0.6  $\mu\text{m}$  CMOS CUP da Austria Microsystems (AMS), uma tecnologia totalmente comercial, sem nenhuma característica específica voltada para a resistência à radiação. A ferramenta CAD adotada foi o Cadence IC Virtuoso 4.4.5, configurado com o AMS HIT-KIT 3.3.0, fornecido pelo Circuits Multi-Projets (CMP). Assim, implementou-se um chip de 2,5 mm  $\times$  2,5 mm, compatível com o encapsulamento JLCC68 do CMP, e que foi enviado no run A60C1-4 deste fabricante.

## 4.1 Parâmetros de Caracterização de Sensores de Imagem

Antes de se descrever as estruturas de teste implementadas para a caracterização dos diversos tipos de pixels, torna-se necessário um breve comentário à respeito dos parâmetros a serem considerados neste processo [176].

A caracterização de sensores de imagem pode ser dividida em duas partes, cada uma delas envolvendo um conjunto próprio de parâmetros: a caracterização óptica, que indica o comportamento do sensor relacionado à incidência luminosa sobre o mesmo; e a caracterização elétrica, que engloba aspectos referentes ao funcionamento elétrico do circuito que compõe o sensor, desconsiderando a incidência de luz sobre o mesmo.

Dentre os parâmetros comumente utilizados para a caracterização óptica de um sensor de imagem, destacam-se:

- **Eficiência Quântica** - É a razão do número de pares elétron-buraco gerados, pelo número de fótons incidentes, em um dado comprimento de onda;
- **Resposta Espectral** - É a eficiência quântica dada em função do comprimento de onda, dentro da faixa desejada;
- **Faixa Dinâmica** - É a razão do máximo sinal não-saturado pelo sinal de escuro, no período de captura de imagem;
- **Efeito Siliceto/Saliceto** - É a queda na eficiência quântica do pixel, decorrente do uso de silicetos/salicetos, opacos à luz visível, na redução das resistências de contatos;
- **Ruído de Padrão Fixo (*FPN*)** - É a variação entre os sinais de saída dos pixels de uma matriz sob iluminação uniforme;
- **Ofuscamento (*Blooming*)** - É o número de portadores de carga inseridos no substrato/poço por um pixel saturado, e recolhido pelos pixels vizinhos;
- **Carga Residual (*Lag*)** - É a fração de cargas remanescentes, após a reinicialização do pixel.

A caracterização elétrica de um sensor de imagem, por sua vez, é normalmente realizada mediante os seguintes parâmetros:

- **Sensibilidade** - É o ganho fornecido pelo circuito de leitura, medido em Volts por elétrons;
- **Corrente de Escuro** - É a corrente gerada pelo elemento fotossensível na ausência de luz;
- **Capacitância de Fotoconversão do Pixel** - Obtida através do nó de gate do transistor seguidor de fonte do pixel, esta capacitância é responsável pelo ganho de conversão carga-tensão do mesmo;
- **Função de Transferência DC do Seguidor de Fonte** - É dada pela relação entre a tensão de saída e a tensão do nó de gate do transistor seguidor de fonte do pixel;
- **Ruído Referente à Entrada (*Input Referred Read Noise*)** - É o ruído gerado na entrada do fotodetector, na ausência de iluminação. É medido em elétrons.

## 4.2 Os Pixels de Teste

Os pixels de teste projetados para a aplicação nas estruturas de caracterização foram APS baseados em fotodiodos e fotogates (Seção 2.3), todos nas dimensões de  $25 \mu\text{m} \times 25 \mu\text{m}$ .

Para a avaliação do desempenho do sensor operando sob a influência de radiação ionizante, esses pixels foram implementados em duas versões: uma convencional e a outra resistente à radiação.

Cada uma dessas duas versões apresenta suas particularidades, sendo a principal diferença o emprego, ou não, de técnicas de projeto voltadas para a proteção contra os efeitos da radiação.

### 4.2.1 Estrutura Convencional

Os pixels de estrutura convencional são considerados no presente trabalho como sendo aqueles que não utilizam qualquer técnica de projeto contra os efeitos da radiação ionizante. Eles podem ser separados em duas categorias, mediante o tipo de elemento fotossensível adotado: fotodiodo ou fotogate.

A Figura 4.1 mostra os circuitos esquemáticos dos pixels convencionais a base de fotodiodo e fotogate, implementados para o projeto.

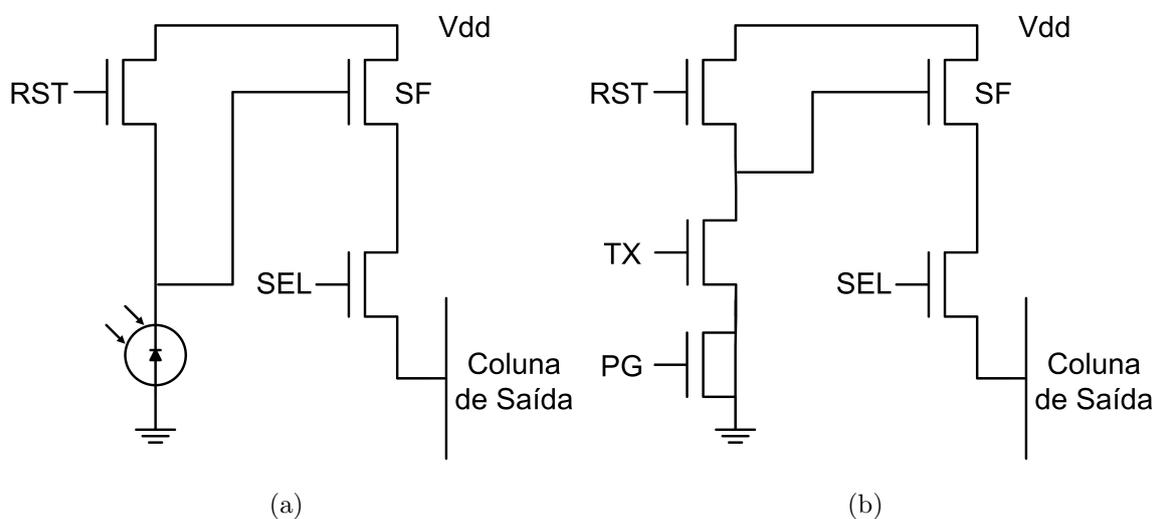


Figura 4.1: Pixel APS Convencional. (a) Baseado em Fotodiodo; (b) Baseado em Fotogate.

Além das diferentes estruturas fotossensíveis, pode-se observar que o pixel Fotogate foi construído com um transistor de transmissão (TX) a mais, responsável por transferir as cargas fotogeradas no elemento fotossensível (fotogate) para o diodo de difusão flutuante, onde ocorre o processo de conversão carga-tensão (Seção 2.4.2). Ele também possui o gate PG, que faz o controle da região de depleção gerada pelo capacitor de gate, para o processo de formação de pares elétron-buraco.

### 4.2.2 Estrutura Resistente à Radiação

Os pixels resistentes à radiação foram implementados a partir dos seus respectivos modelos convencionais, utilizando-se técnicas de projeto para proteção contra os

efeitos da radiação ionizante, como transistores concêntricos e anéis de guarda (Seção 3.5.3). Além disso, na estrutura dos pixels baseados em fotodiodo foi incluído um transistor de transmissão TX, na saída do elemento fotossensível, semelhante ao do fotogate. Essa chave funciona como um obturador regional, permitindo o controle do tempo de integração de cargas. Ela foi adicionada apenas à versão resistente à radiação, por não influenciar o fator de preenchimento da mesma, ao contrário do que aconteceria se fosse incluída na versão convencional.

A Figura 4.2 mostra os circuitos esquemáticos dos pixels resistentes à radiação a base de fotodiodo e fotogate, implementados para o projeto.

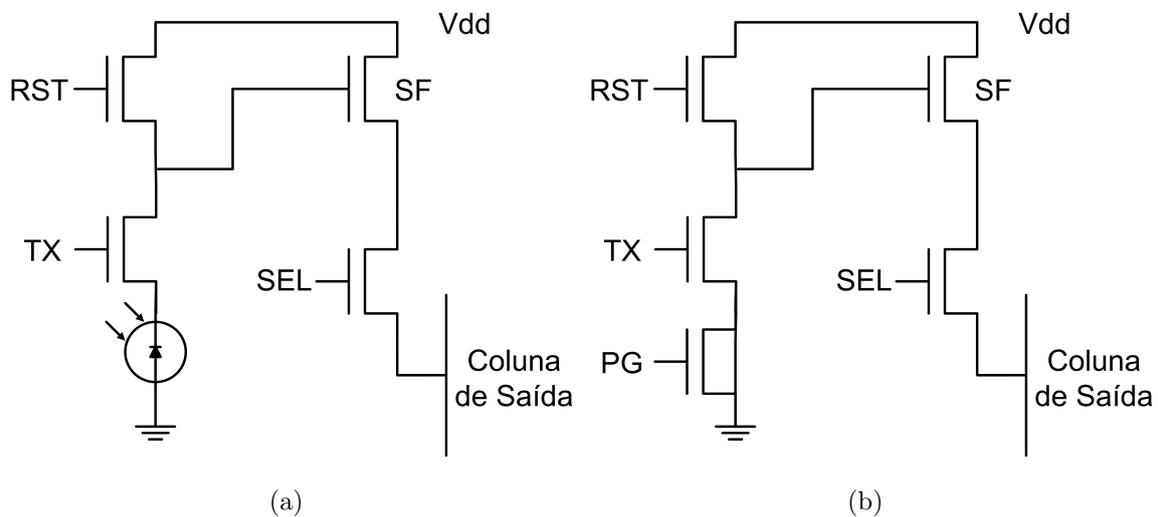


Figura 4.2: Pixel APS Resistente à Radiação. (a) Baseado em Fotodiodo; (b) Baseado em Fotogate.

### 4.2.3 Os Pixels Implementados

Os pixels de teste foram implementados com base nos modelos propostos por Yang, Min *et al.* [176] e Loeliger [177].

Como elementos fotossensíveis, fez-se uso de quatro tipos de estruturas, baseadas naquelas apresentadas na Seção 2.4, ou seja, os fotodiodos de junções rasa e profunda, e o fotogate. Não utilizou-se a junção do tipo p-diff/n-well, em virtude da sua baixa eficiência quântica característica (Seção 2.4.1).

Os fotodiodos foram implementados de acordo com as estruturas indicadas pelas

regras de projeto da tecnologia 0.6  $\mu\text{m}$  CMOS CUP da AMS [178]:

- Junção Rasa (N-Diff/P-Sub) - Subdiode;
- Junção Profunda (N-Well/P-Sub) - NWD;

Nas versões resistentes à radiação dos quatro tipos de pixel, a região fotossensível e o circuito de controle e leitura foram envoltos, cada um, por um anel de guarda (Seção 3.5.3), formado por uma borda com dopagem p-diff, separada da região n-diff pela inclusão de uma fita de polissilício. Esta estrutura fornece uma proteção contra o efeito de fuga no óxido de campo (Seção 3.4.1).

Assim, foram desenhados, nas versões convencional e resistente à radiação, os pixels Shallow, Deep, IMEC e Fotogate, chamados dessa forma, em função do elemento fotossensível utilizado.

### **Pixel Shallow (*Junção Rasa*)**

O Pixel Shallow utiliza um fotodiodo de junção rasa (Seção 2.4.1), formada entre uma difusão n e o substrato. A Figura 4.3 mostra o layout deste pixel nas suas versões convencional e resistente à radiação.

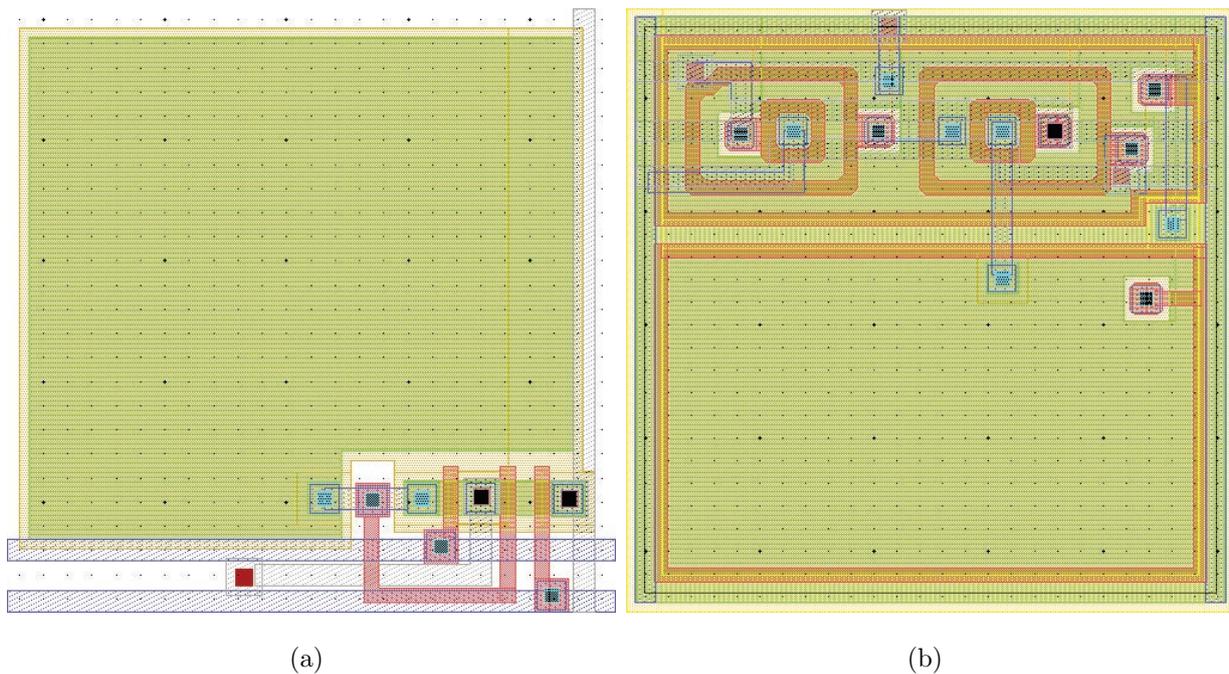


Figura 4.3: Pixel Shallow (Junção Rasa). (a) Convencional; (b) Resistente à Radiação.

Em ambos os pixels, a grande área homogênea indica a região do fotodiodo de junção rasa, sendo o espaço restante ocupado pelos transistores que compõem o circuito de controle e leitura.

Pelo fato de apresentar poucos transistores em sua eletrônica de leitura, e da junção p-n ser bastante simples, o pixel Shallow apresentou um fator de preenchimento de 68,97%, o mais elevado dentre os pixels convencionais. Para a versão resistente à radiação, este fator foi de 49,42%. Tal redução se deve ao uso de transistores concêntricos, maiores que os convencionais, e de anéis de guarda, que ocupam uma parcela considerável da área do pixel.

### **Pixel Deep (*Junção Profunda*)**

O pixel Deep foi implementado a partir de um fotodiodo de junção profunda (Seção 2.4.1), formado entre o poço n e o substrato. Os layouts das versões convencional e resistente à radiação deste pixel podem ser vistos na Figura 4.4.

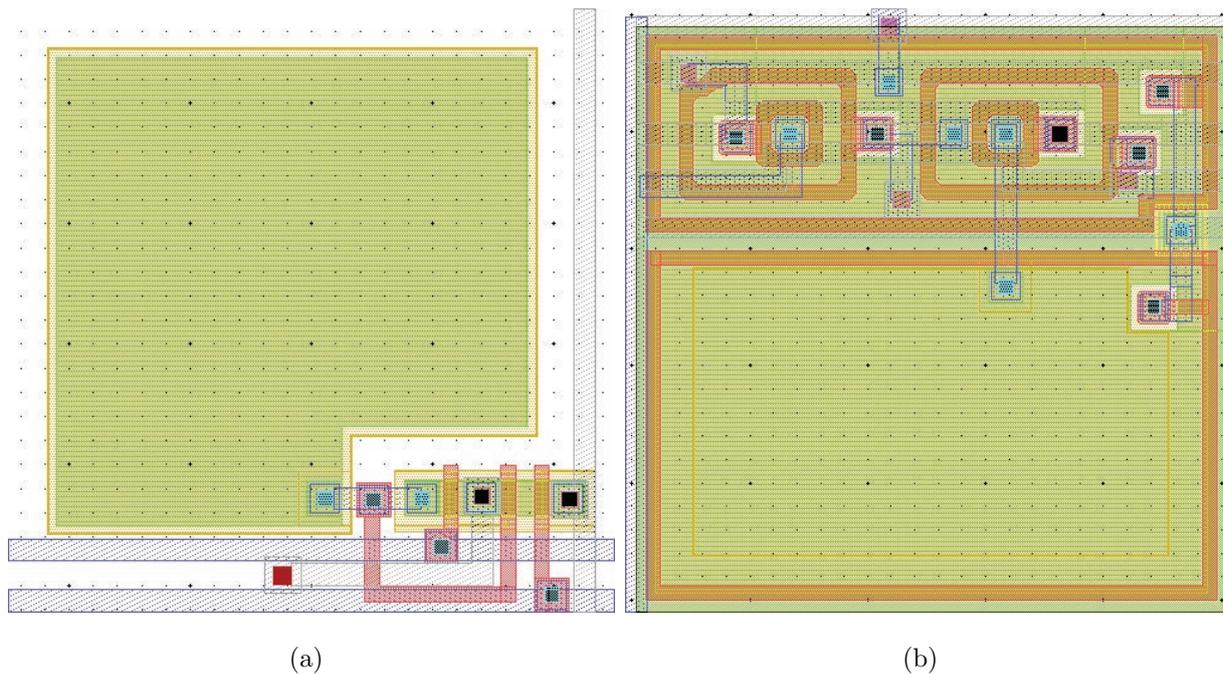


Figura 4.4: Pixel Deep (Junção Profunda). (a) Convencional; (b) Resistente à Radiação.

A região homogênea indica a existência de uma grande área de difusão  $n$  se estendendo por todo o poço  $n$ . Essa difusão, além de reduzir a impedância do contato de poço, aumenta o número de cargas no fotodiodo de junção profunda, melhorando seu rendimento.

Em decorrência das regras de distâncias mínimas da tecnologia, a versão convencional do pixel Deep apresentou um fator de preenchimento de 56,53%, menor do que o alcançado com esta mesma versão do pixel Shallow. Para a versão resistente à radiação, o fator de preenchimento continuou com os mesmos 49,42%, pelo fato dos transistores concêntricos e dos anéis de guarda terem exercido uma influência maior nas dimensões do pixel do que as regras de distância mínima.

### **Pixel IMEC (*Contato de Junção Profunda*)**

O Fotodiodo IMEC segue um modelo desenvolvido pelo Interuniversity Micro-Electronics Center - IMEC, na Bélgica [179]. Assim como o pixel Deep, ele utiliza como elemento fotossensível um fotodiodo de junção profunda. Contudo, as dimensões da junção são reduzidas para as de um contato com as dimensões mínimas

permitidas pela tecnologia  $0.6 \mu\text{m}$  CMOS CUP da Austria Microsystems (AMS). Assim, o princípio de funcionamento desta estrutura é que as cargas sejam fotografadas no substrato e recolhidas por este único contato.

A Figura 4.5 mostra o pixel IMEC, nas versões convencional e resistente à radiação, desenvolvido para o projeto.

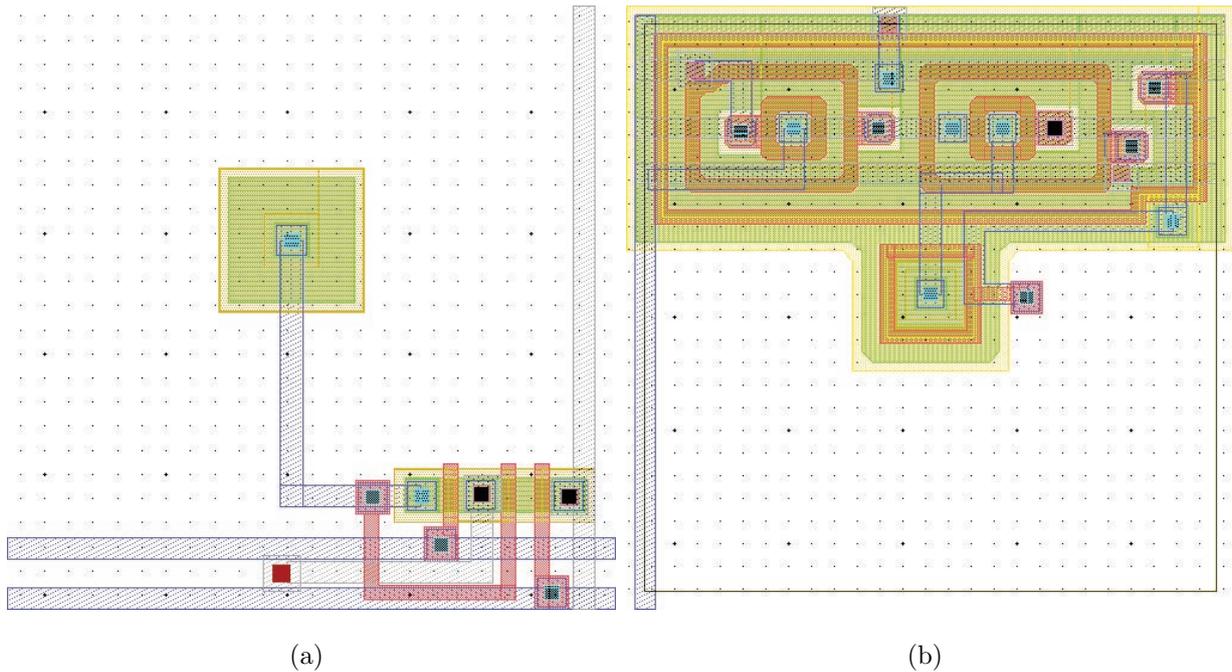


Figura 4.5: Pixel IMEC (Contato de Junção Profunda). (a) Convencional; (b) Resistente à Radiação.

O objetivo de se reduzir o tamanho da junção é diminuir a capacitância e, conseqüentemente, o ganho de conversão do dispositivo. Em contrapartida, da mesma forma como visto na Seção 2.4.2, a redução da área da junção resulta na diminuição da região de depleção, principal responsável pela formação de cargas por efeito fotoelétrico.

Uma outra característica do pixel IMEC é o seu fator de preenchimento elevado, podendo chegar a, aproximadamente, 100% [180]. Contudo, este fator não pode ser determinado pelo método convencional de relação de áreas, em virtude da complexidade do seu processo de coleta de cargas não permitir uma correta definição da área fotossensível aproveitável.

Além do problema da região de depleção reduzida, o pixel IMEC também apre-

senta uma forte tendência ao efeito de ofuscamento (Seção 4.1), em virtude da grande participação do substrato no processo de geração de cargas.

### Pixel Fotogate (*Fotogate*)

O pixel Fotogate diferencia-se dos demais por não utilizar um fotodiodo como elemento fotossensível, mas sim o componente que dá origem ao seu nome: o Fotogate (Seção 2.4.2). Além disso, não só a sua versão resistente à radiação, mas também a convencional, utiliza o transistor TX na saída deste elemento. Neste caso, essa chave é responsável por transmitir as cargas geradas pelo fotogate, para o nó do diodo de difusão flutuante. Isso aumenta o ganho de conversão, sem alterar a sensibilidade do pixel (Seção 2.4.1). Tais modificações resultaram na necessidade de se implementar um outro modelo de layout para a eletrônica de controle e leitura, diferente daquele utilizado pelos demais pixels, como mostra a Figura 4.6.

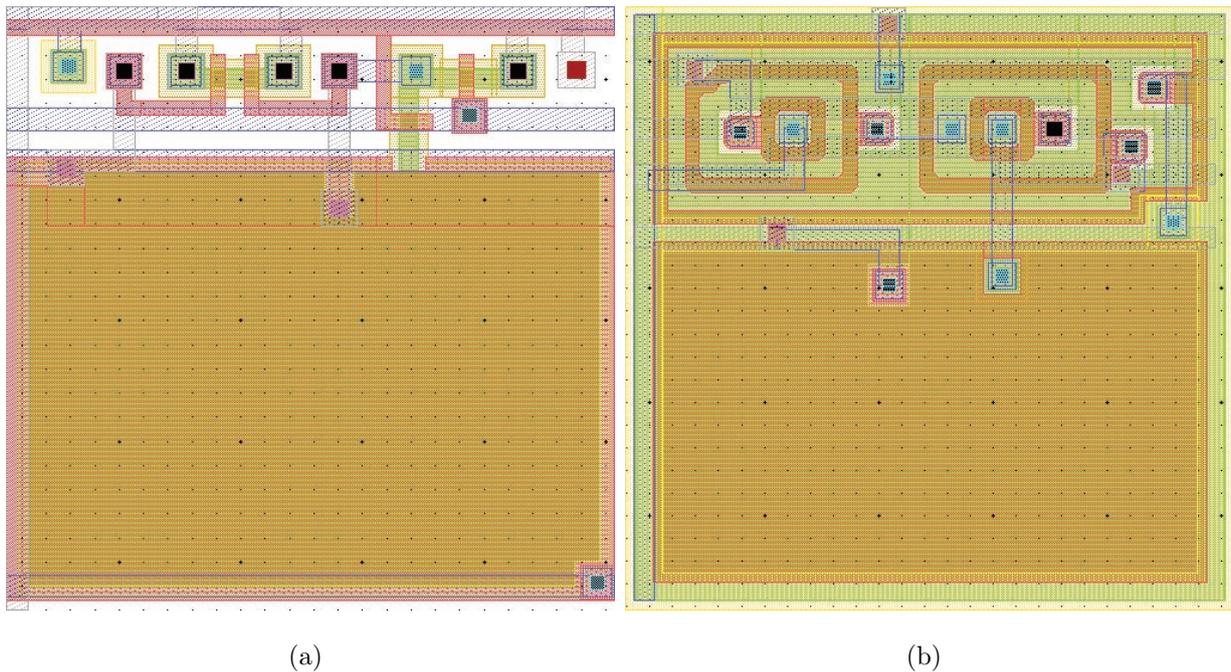


Figura 4.6: Pixel Fotogate (Fotogate). (a) Convencional; (b) Resistente à Radiação.

A versão convencional do pixel Fotogate apresentou um fator de preenchimento de 61,38%, intermediário entre os fatores obtidos com os pixels Shallow e Deep. Na versão resistente à radiação, este fator foi de 55,78%, superior ao dos outros dois modelos. Estas relações indicam que a inclusão dos transistores PG e TX exerceram,

sobre o fator de preenchimento, uma influência inferior à da inclusão do Poço-N e das estruturas de proteção contra radiação.

## 4.3 Estruturas de Teste

Para a caracterização dos pixels implementados, os mesmos foram organizados em matrizes, próprias para a realização dos diversos testes. Com este intuito, construiu-se dois tipos de matrizes, cada um deles destinado ao levantamento de um subconjunto de parâmetros. Estas estruturas foram denominadas, de acordo com a sua ordem, como matrizes  $34 \times 4$  e matrizes  $3 \times 3$ .

### 4.3.1 Matrizes $34 \times 4$

As matrizes  $34 \times 4$  foram projetadas com vistas a se levantar os parâmetros dos pixels, enquanto estruturas isoladas, ou seja, parâmetros que não levam em consideração a influência de, ou exercida sobre, pixels vizinhos. Dentre os parâmetros listados na Seção 4.1, o único que não pertence a este grupo é o ofuscamento.

A caracterização direta de um pixel isolado é uma tarefa impraticável, pois as correntes e capacitâncias consideradas nesse processo apresentam ordens de grandeza bastante reduzidas, o que impossibilita seu levantamento, mesmo com o uso equipamentos de maior precisão. Assim, o propósito das matrizes  $34 \times 4$  foi colocar em paralelo os nós de gate dos transistores seguidores de fonte de todos os pixels, somando-se os valores das correntes geradas pelos elementos fotossensíveis e das capacitâncias de fotoconversão. Com isso, dividindo-se os resultados obtidos pelo número total de pixels da matriz, pode-se determinar o valor médio da corrente, ou da capacitância de fotoconversão, de um único pixel.

Para o levantamento da tensão resultante do processo de fotoconversão de todos os pixels de uma matriz, um desses pixels foi implementado de forma diferenciada, sendo o único a possuir o gate de seleção (SEL) habilitado, de modo a poder conduzir o nível de tensão resultante da matriz para fora desta.

A Figura 4.7 mostra o layout do conjunto de nove matrizes  $34 \times 4$  implemen-

tadas. Deste conjunto, oito matrizes são formadas pelos diferentes tipos de pixels vistos na Seção 4.2.3. A primeira, da esquerda para a direita, é formada por pixels do tipo IMEC Convencional, a segunda por pixels do tipo Deep Convencional, a terceira por pixels do tipo Shallow Convencional, a quinta por pixels do tipo Fotogate Convencional, a sexta por pixels do tipo IMEC Resistente à Radiação, a sétima por pixels do tipo Deep Resistente à Radiação, a oitava por pixels do tipo Shallow Resistente à Radiação e a nona por pixels do tipo Fotogate Resistente à Radiação.

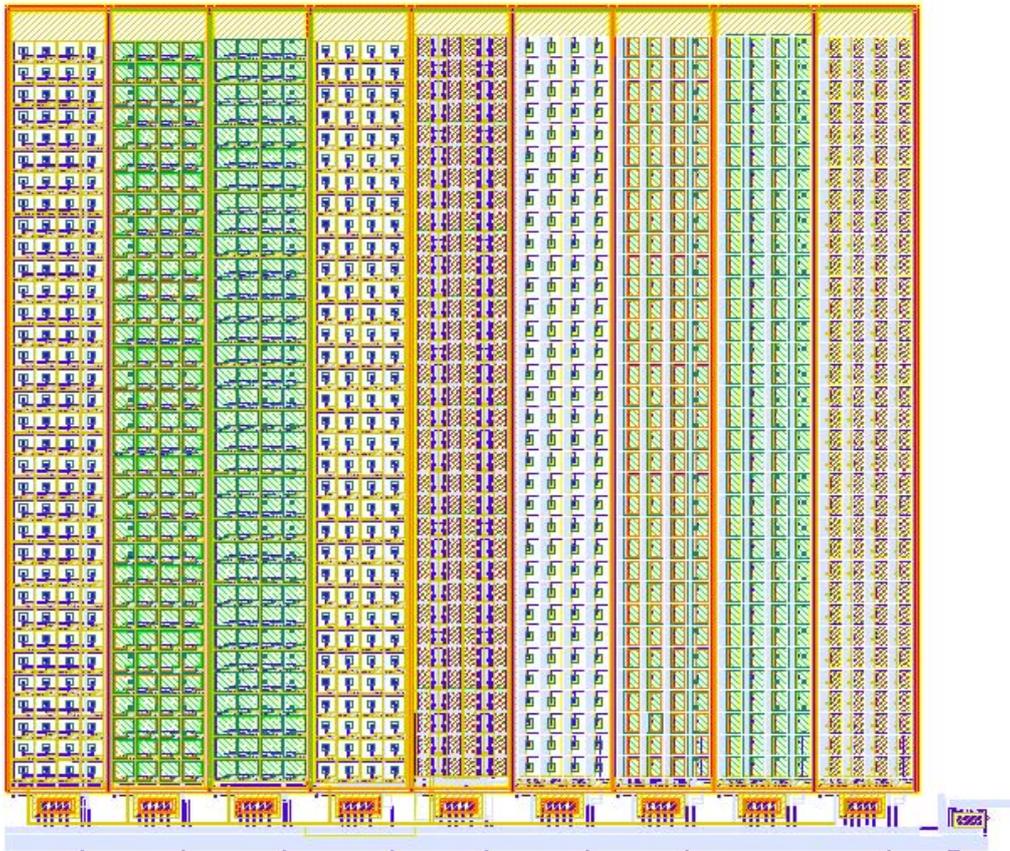


Figura 4.7: Matrizes  $34 \times 4$ .

A quarta matriz  $34 \times 4$ , da esquerda para a direita, na Figura 4.7, destina-se ao levantamento das capacitâncias parasitas decorrentes das trilhas e pads, que interferem na medição real da capacitância de fotoconversão dos pixels. Essa matriz é melhor comentada a seguir.

## A Matriz Dummy

A matriz Dummy foi implementada com o propósito de auxiliar no levantamento da capacitância de fotoconversão dos diferentes tipos de pixel utilizados no projeto. Para tal tarefa, em cada uma das matrizes  $34 \times 4$  os gates dos transistores seguidores de fonte foram interligados, deixando-se este nó comum acessível. Isto foi feito de modo a se aumentar a capacitância a ser medida.

Um problema neste processo é que o pad e as trilhas que conduzem ao nó em questão inserem capacitâncias parasitas, que modificam o valor real da capacitância de fotoconversão. Assim, a solução adotada foi usar como matriz Dummy uma matriz idêntica a alguma das outras oito (no caso foi utilizada uma matriz formada por pixels do tipo IMEC Convencional), porém desconectando-se as trilhas ligadas aos nós de gate dos transistores seguidores de fonte de todos os pixels da matriz. Com isso, pode-se levantar a capacitância parasita separadamente e, posteriormente, descontá-la das capacitâncias totais obtidas com as demais matrizes, para se obter a real capacitância de fotoconversão para cada uma delas. Esta operação é indicada pela Figura 4.8.

Para melhorar a visualização do desenho, apenas a ligação de gate do transistor seguidor de fonte foi considerada.

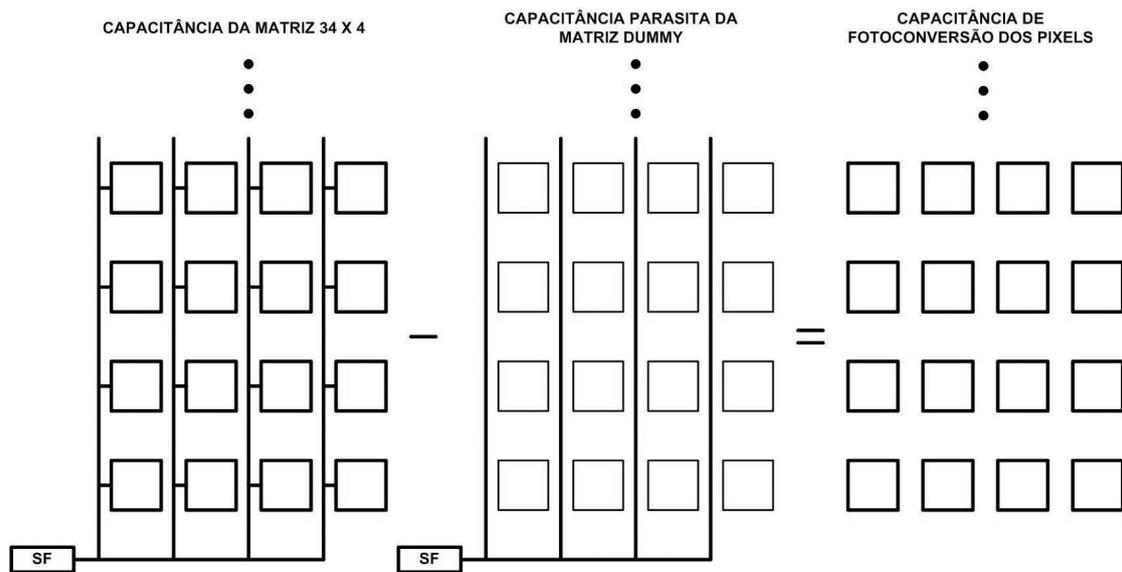


Figura 4.8: Esquemático simplificado do procedimento e setup de levantamento da Capacitância de Fotoconversão dos sensores.

Assim, a capacitância de fotoconversão média de um pixel, pode ser obtida, dividindo-se o valor real desse parâmetro pelo número de pixels da matriz, ou seja, 136.

### Ligações dos Pixels

Antes de se analisar as ligações feitas para os diversos nós de cada uma das matrizes  $34 \times 4$ , é importante ressaltar a existência de dois tipos de pixels nas mesmas: os pixels comuns, responsáveis apenas por contribuir para o aumento dos valores das correntes e capacitâncias; e o pixel diferenciado, que tem a função extra de fazer a leitura dos parâmetros referentes a todos os pixels em paralelo.

Os **pixels comuns** encontram-se com suas eletrônicas de controle e leitura desativadas, já que estas funções são desempenhadas pelo pixel diferenciado. Neste caso, a única tarefa comum a um pixel APS que eles conseguem cumprir é a de fotogeração de cargas, as quais são somadas às dos demais pixels e entregues ao transistor seguidor de fonte do pixel diferenciado.

Assim, as seguintes ligações foram feitas em todos os pixels comuns de uma

mesma matriz  $34 \times 4$ :

- Os gates dos transistores de reset (RST) estão todos aterrados;
- Os gates dos transistores seguidores de fonte (SF) estão todos em curto entre si;
- Os gates dos transistores de seleção (SEL) foram todos aterrados;
- Nas matrizes de pixels resistentes à radiação e fotogate convencional, os gates dos transistores de transmissão (TX) foram conectados entre si;
- Nas matrizes de pixels Fotogate, os gates PG foram conectados entre si;
- As colunas de saída, com exceção da que contém o pixel diferenciado, foram aterradas.

O **pixel diferenciado** é o único da matriz com capacidade de executar o processo de leitura, fazendo-o para todos os pixels em paralelo. Seus nós estão ligados da seguinte forma:

- O gate do transistor de reset (RST) está aterrado;
- O gate do transistor seguidor de fonte (SF) está em curto com os gates correspondentes dos demais pixels da matriz, e é acessível para a realização dos diversos testes, conforme explicado no Capítulo 5;
- O gate do transistor de seleção (SEL) foi conectado a Vdd;
- Nas matrizes de pixels resistentes à radiação e fotogate convencional, o gate do transistor de transmissão (TX) está em curto com os gates correspondentes dos demais pixels da matriz;
- Nas matrizes de pixels Fotogate, o gate PG está em curto com os gates correspondentes dos demais pixels da matriz;
- A coluna de saída à qual pertence o pixel diferenciado está acessível para a extração de alguns dos resultados, conforme é explicado no Capítulo 5.

Além disso:

- Os nós de transmissão (TX) de todas as matrizes que o possuem estão em curto, e este nó comum é acessível;
- Os nós PG das duas matrizes formadas por pixels Fotogate (convencional e resistente à radiação) estão em curto, e este nó comum é acessível;
- As colunas de saída às quais pertencem os pixels diferenciados das oito matrizes são multiplexadas em chaves analógicas, como explicado na Seção 4.4.2;

A Figura 4.9 mostra o esquema de ligações das matrizes  $34 \times 4$  com pixels fotogates, que possuem todos os tipos de sinais utilizados neste tipo de matriz. A alimentação dos pixels não foi considerada na figura, de modo a melhorar a visualização da mesma.

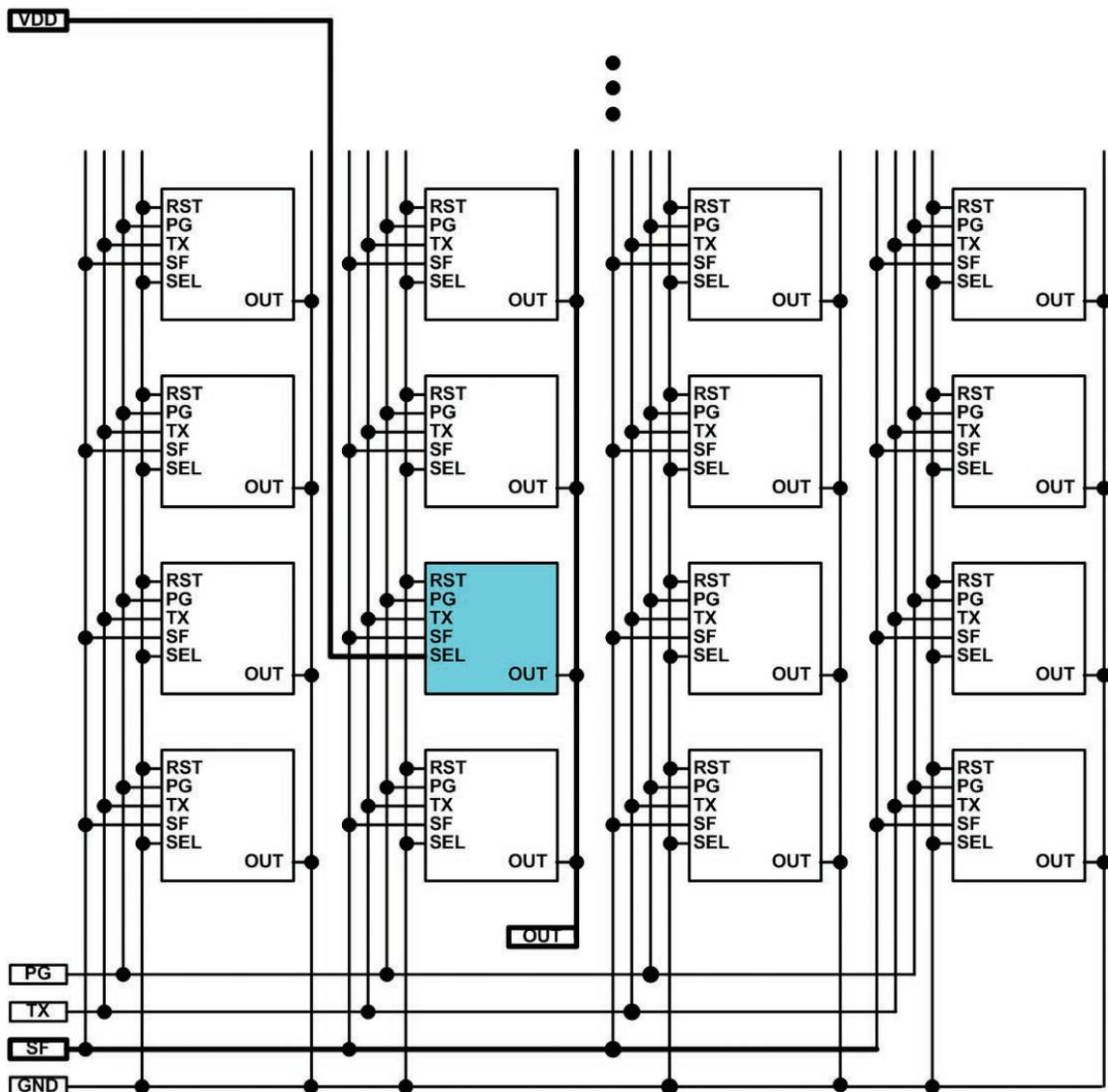


Figura 4.9: Esquema de ligações das Matrizes  $34 \times 4$  com pixels fotogates.

No caso da matriz Dummy, todos os pixels são comuns. Contudo, não executam a tarefa de integrar cargas, servindo apenas como estruturas passivas, destinadas ao levantamento das capacitâncias parasitas que interferem no levantamento da capacitância de fotoconversão. Suas ligações foram feitas da mesma forma que para os pixels comuns, apenas desconectando-se as trilhas dos gates dos transistores seguidores de fonte de todos os pixels da matriz.

A Figura 4.10, mostra o esquema de ligações da matriz Dummy. A alimentação dos pixels não foi considerada na figura.

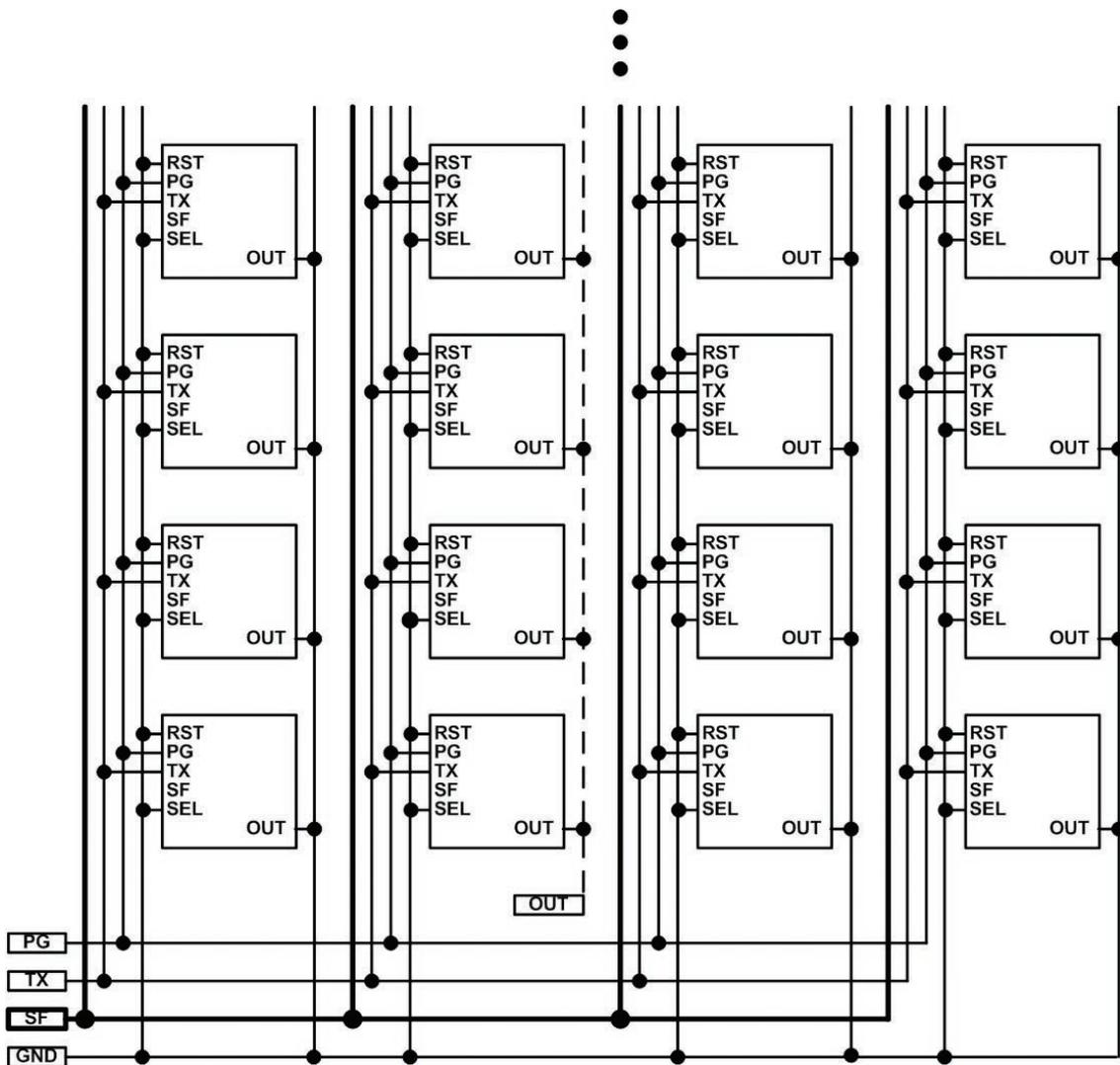


Figura 4.10: Esquema com estruturas e ligações da matriz Dummy.

O processo de acionamento dos sinais para a caracterização das matrizes  $34 \times 4$  é melhor detalhado na Seção 5.1.

### 4.3.2 Matrizes $3 \times 3$

As matrizes  $3 \times 3$  destinam-se à verificação de parâmetros relacionados à influência que um pixel, no caso o central, exerce sobre os seus vizinhos, durante seu acionamento. Na listagem de parâmetros apresentada na Seção 4.1, somente o ofuscamento possui essa característica. Neste caso, procura-se proteger todos os pixels do contorno, da incidência luminosa, medindo-se, assim, a influência que o pixel

central exerce sobre os mesmos, quando está saturado.

A Figura 4.11 mostra o conjunto de matrizes  $3 \times 3$ .

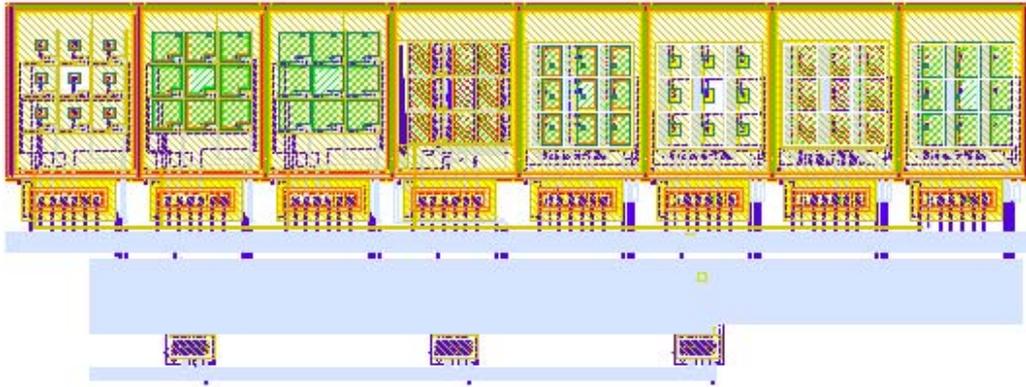


Figura 4.11: Matrizes  $3 \times 3$ .

### Ligações dos Pixels

Para que se possa compreender o esquema de ligações das matrizes  $3 \times 3$ , é importante ressaltar que apesar de apenas o pixel central realizar o processo de fotogeração de cargas, todos eles devem executar as rotinas de conversão carga-tensão e leitura.

- Os gates dos transistores de reset (RST) estão todos em curto entre si;
- Os gates dos transistores de seleção (SEL) dos pixels de uma mesma linha estão em curto e são acessíveis;
- Nas matrizes de pixels resistentes à radiação e Fotogate convencional, os gates dos transistores de transmissão (TX) estão todos em curto entre si;
- Nas matrizes de pixels Fotogate, os gates PG estão todos em curto entre si;
- As colunas de saída estão todas acessíveis;

Além disso:

- O nó de reset (RST) é o mesmo para todas as matrizes  $3 \times 3$ , e este nó é acessível;
- Os nós de seleção (SEL) de linhas de mesmo índice estão em curto entre as matrizes  $3 \times 3$ , e esses nós são acessíveis;
- Os nós de transmissão (TX) das matrizes  $3 \times 3$  estão em curto entre si, e com o mesmo nó das matrizes  $34 \times 4$ , resultando em um único nó de transmissão (TX), o qual é acessível, para todo o chip;
- Os nós PG das matrizes que utilizam pixels Fotogate estão em curto entre si, e com o mesmo nó das matrizes  $34 \times 4$ , resultando em um único nó PG, o qual é acessível, para todo o chip;
- As colunas de saída de mesmo índice são multiplexadas em chaves analógicas, como explicado na Seção 4.4.2;

A Figura 4.12 mostra o esquema de ligações das matrizes  $3 \times 3$  com pixels fotogates, que são as mais completas em sinais utilizados. A alimentação dos pixels não foi considerada na figura, de modo a melhorar a visualização da mesma.

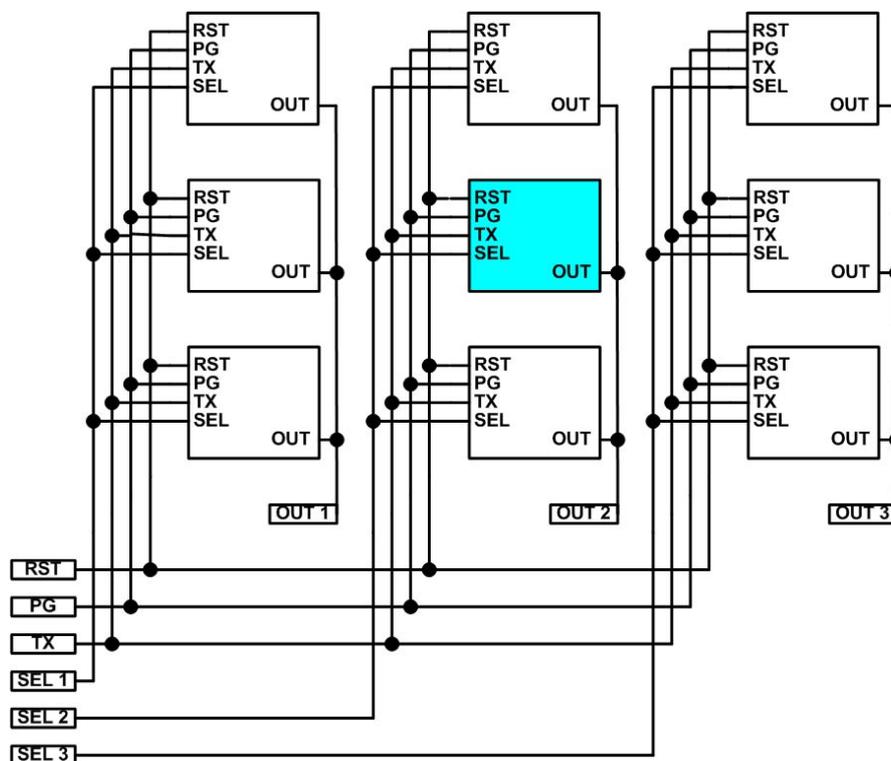


Figura 4.12: Esquema de ligações das Matrizes  $3 \times 3$ .

O processo de acionamento dos sinais para a caracterização das matrizes  $3 \times 3$  é melhor detalhado na Seção 5.1.

A Figura 4.13 mostra a forma como as matrizes foram dispostas no layout do chip, com as  $34 \times 4$  alinhadas na parte inferior da figura e as  $3 \times 3$  na lateral direita da mesma.

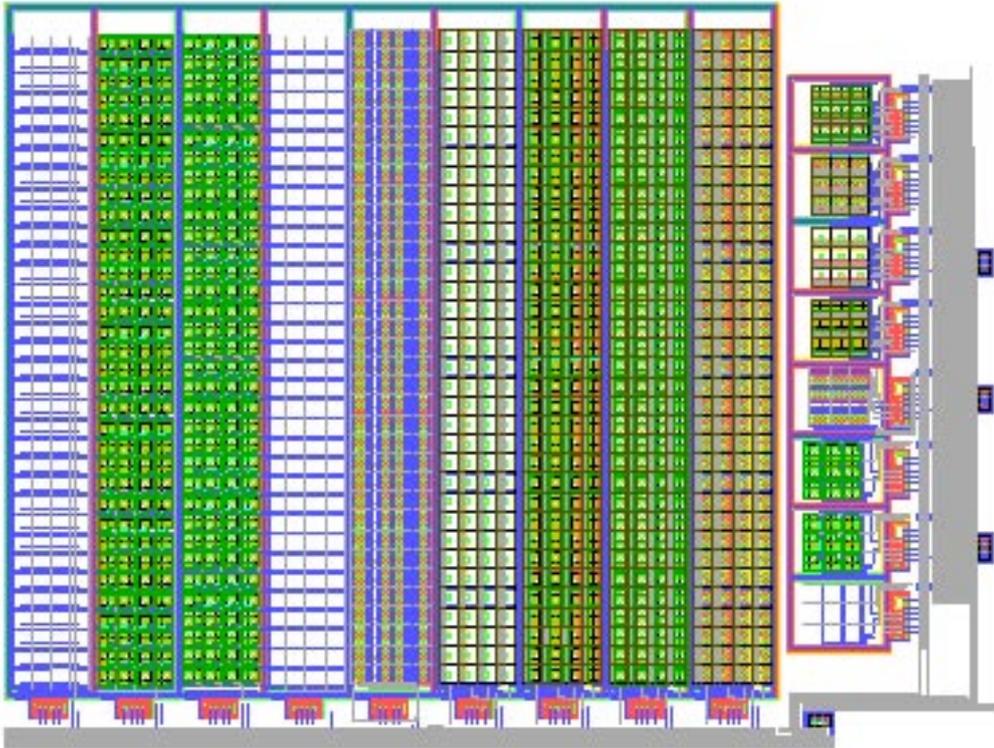


Figura 4.13: Matrizes de Teste.

A Figura 4.14 mostra o esquema de ligações envolvendo os dois conjuntos de matrizes,  $34 \times 4$  e  $3 \times 3$ . A alimentação de ambos os conjuntos não aparece na figura.

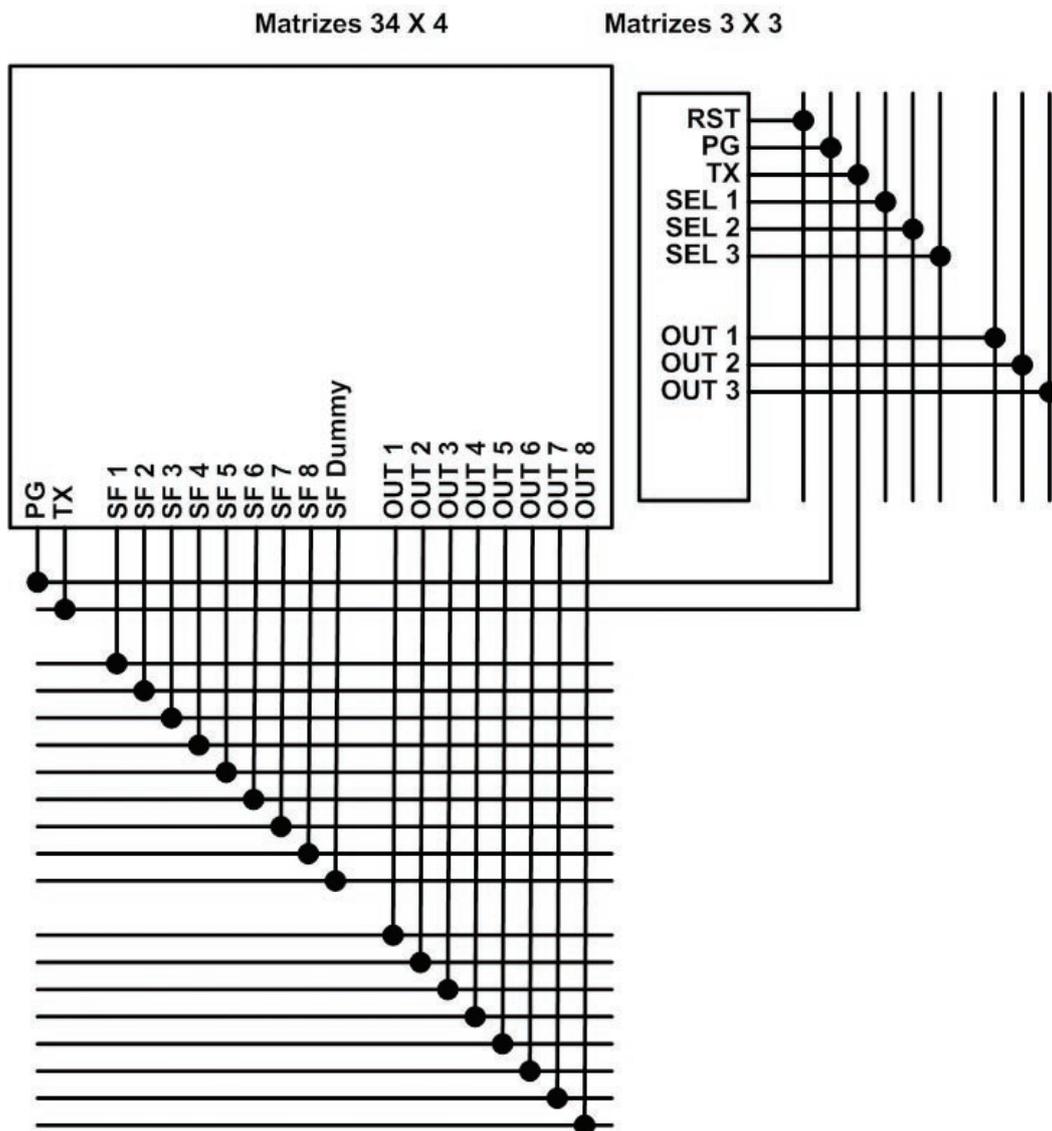


Figura 4.14: Esquema de ligações envolvendo os dois conjuntos de matrizes.

## 4.4 Estruturas Auxiliares

Além dos pixels e das matrizes que, sem dúvida, consistem nos elementos centrais das estruturas de teste, houve a necessidade de se implementar estruturas auxiliares, algumas delas relacionadas à proteção do chip contra efeitos danosos à estrutura do mesmo, outras ligadas ao processo de entrada e saída dos sinais de operação do circuito integrado.

### 4.4.1 Estruturas de Proteção

As estruturas de proteção visam a amenizar efeitos prejudiciais ao funcionamento do chip, decorrentes de mecanismos danosos ao material semicondutor. Dentre estes efeitos, destacam-se o de fuga no óxido de campo (Seção 3.4.1) e o de formação de transistores de borda (Seção 3.4.2), provocados pela incidência de radiação ionizante. Contudo, há efeitos que são inerentes ao processo de construção dos circuitos integrados, como o de antena e o de formação de estruturas com cantos agudos e que ocorrem mesmo em aplicações convencionais.

Contra estes efeitos danosos ao funcionamento do chip, as seguintes estruturas foram implementadas no projeto em questão: anéis de guarda (Seção 4.4.1), tampa de metal (Seção 4.4.1), diodos de proteção (Seção 4.4.1) e cantos chanfrados (Seção 4.4.1).

#### Anéis de Guarda

A Seção 4.2.3 relata a aplicação de anéis de guarda protegendo os elementos fotossensíveis e os circuitos de controle e leitura de pixels resistentes à radiação, contra os problemas de fuga no Óxido de Campo (Seção 3.4.1), decorrentes dos efeitos de dose total de ionização (Seção 3.4). No projeto desenvolvido, também foram utilizados anéis de guarda para o isolamento das matrizes, como mostra a Figura 4.15.

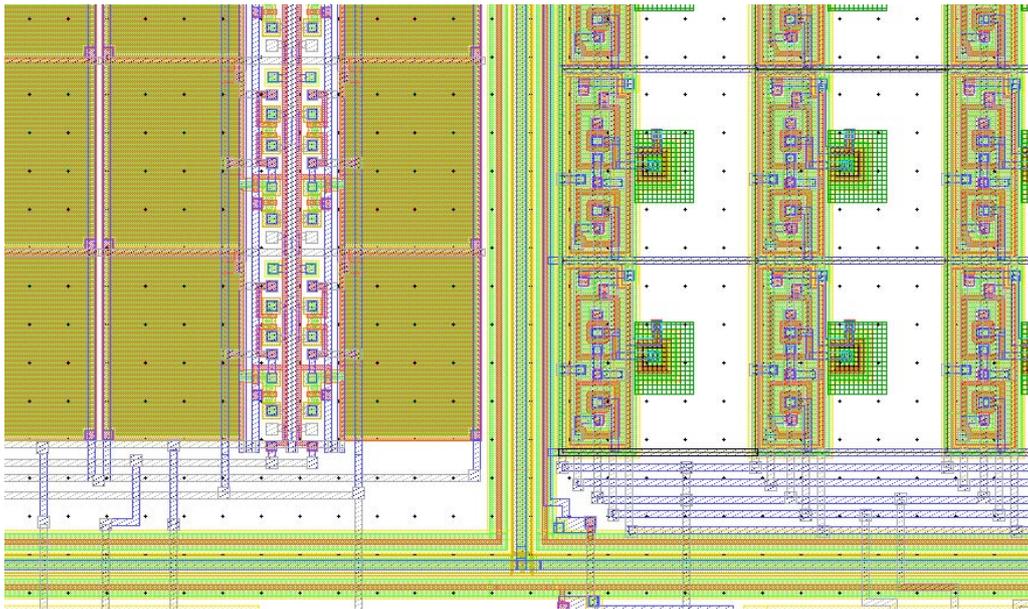


Figura 4.15: Anéis de Guarda isolando uma matriz.

Esses anéis são de dois tipos, sendo um deles destinado a dificultar, no local onde é formado, o mecanismo de inversão do substrato, responsável pela geração de curtos indesejáveis entre nós do circuito. O outro anel funciona como um caminho de escoamento de cargas para fora do sistema.

O primeiro tipo de anel é formado por duas difusões do tipo p colocadas no mesmo potencial do substrato. Essas difusões foram separadas por uma fita de polissilício, funcionando como o terminal de gate de um transistor PMOS. Assim, com o aterramento desta fita, que se encontra sobre um óxido fino, evita-se o processo de inversão do canal, mantendo-se isoladas as regiões interna e externa ao anel. As difusões p, além de dificultarem o processo de inversão no local onde são implementadas, em virtude da sua dopagem forte, evitam a formação de transições entre óxido de campo e o óxido de gate do anel (Seção 3.4.2), as quais poderiam originar caminhos de condução entre as duas regiões separadas, via transistores parasitas.

A Figura 4.16 mostra a estrutura deste primeiro anel de guarda.

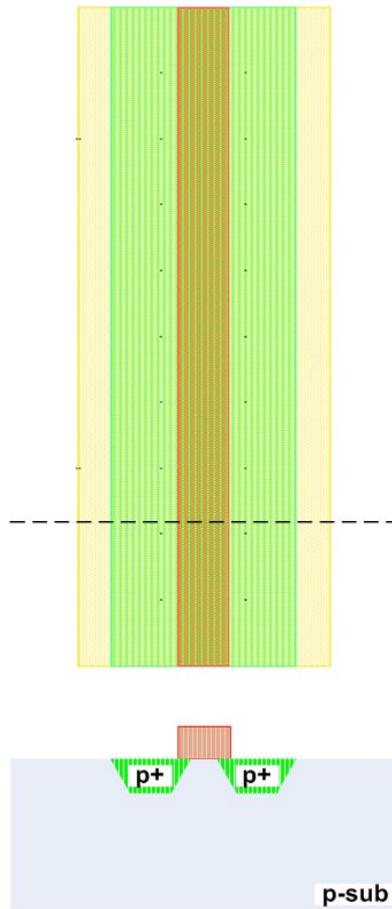


Figura 4.16: Primeiro Anel de Guarda com layout e vista em corte.

O outro tipo de anel de guarda funciona como um dreno de cargas, isolando dispositivos da influência de elétrons livres, fotogerados no substrato pela incidência de luz e/ou de radiação ionizante.

Este anel, como mostra a Figura 4.17, é formado por um poço n, polarizado através da difusão de dopantes n sobre o mesmo e da formação de uma fileira de contatos desta difusão para uma fita de metal, a qual é ligada à fonte Vdd.

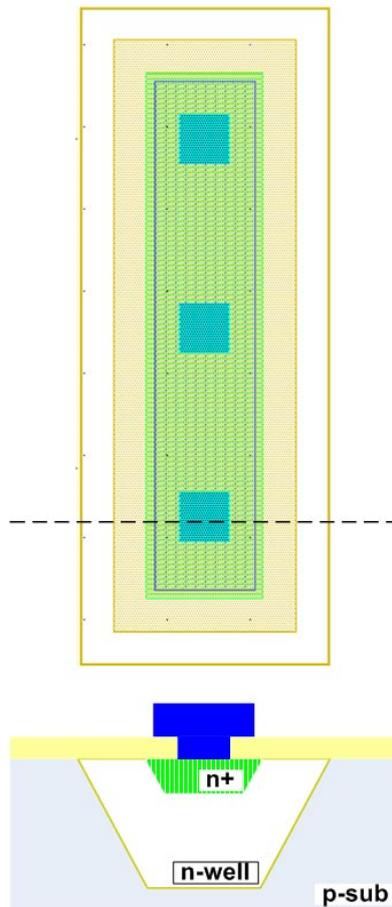


Figura 4.17: Segundo Anel de Guarda com layout e vista em corte.

Elétrons fotogerados que estejam vagando pelo substrato, ao passarem próximos a este anel, são atraídos para o mesmo e conduzidos para a fonte Vdd, saindo do sistema.

A inclusão deste segundo tipo de anel pode, contudo, ocasionar um problema. O processo de inversão do substrato, causado pela ação da radiação ionizante, pode conectar um dispositivo a esta estrutura de proteção, polarizando-a em Vdd. Assim, é necessário que este anel seja posicionado entre dois outros do primeiro tipo, de forma a isolá-lo de estruturas vizinhas. Tal disposição pode ser observada na Figura 4.18.

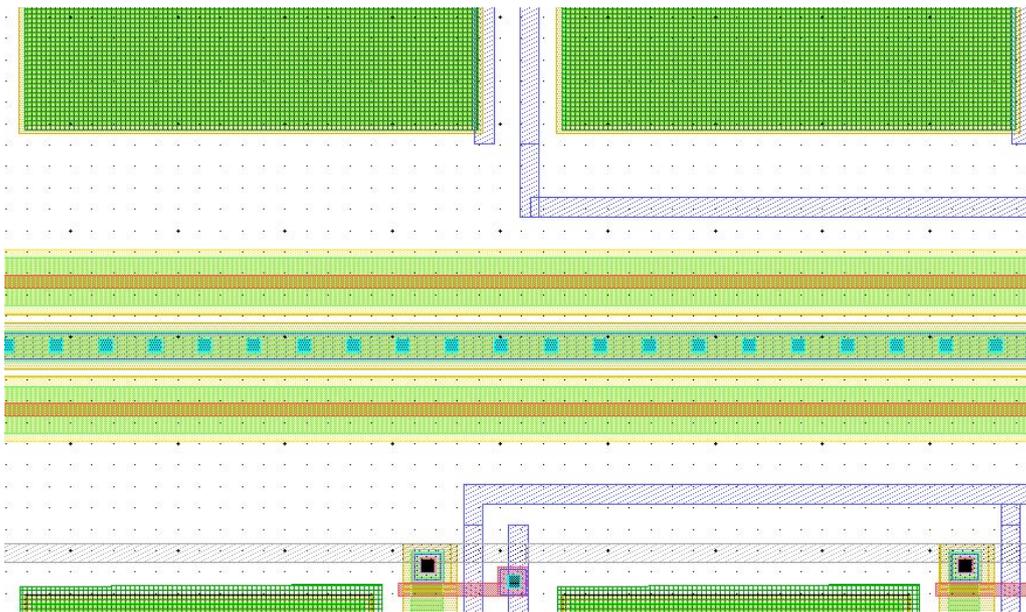


Figura 4.18: Anéis de Guarda isolando uma matriz.

### Tampa de Metal

A Seção 3.5.2 relata que uma das técnicas de arquitetura utilizadas na proteção de um circuito eletrônico, contra os efeitos causados pela radiação, é envolvê-lo em uma proteção metal que atenua esses efeitos, funcionando como uma blindagem. Contudo, para o caso de sensores de imagem, em que pelo menos o elemento fotosensível deve estar exposto, uma solução como esta não poderia ser implementada.

A tecnologia  $0.6 \mu\text{m}$  CMOS CUP da AMS, utilizada no projeto desenvolvido, comporta três níveis de metal. Como todo o circuito de teste foi desenhado com o uso dos dois primeiros, apenas, o terceiro nível foi aproveitado para a realização de uma espécie de tampa de metal, protegendo toda a área do chip que não precisaria estar exposta.

Na Figura 4.19 é mostrado o layout do chip coberto pela camada de metal 3.

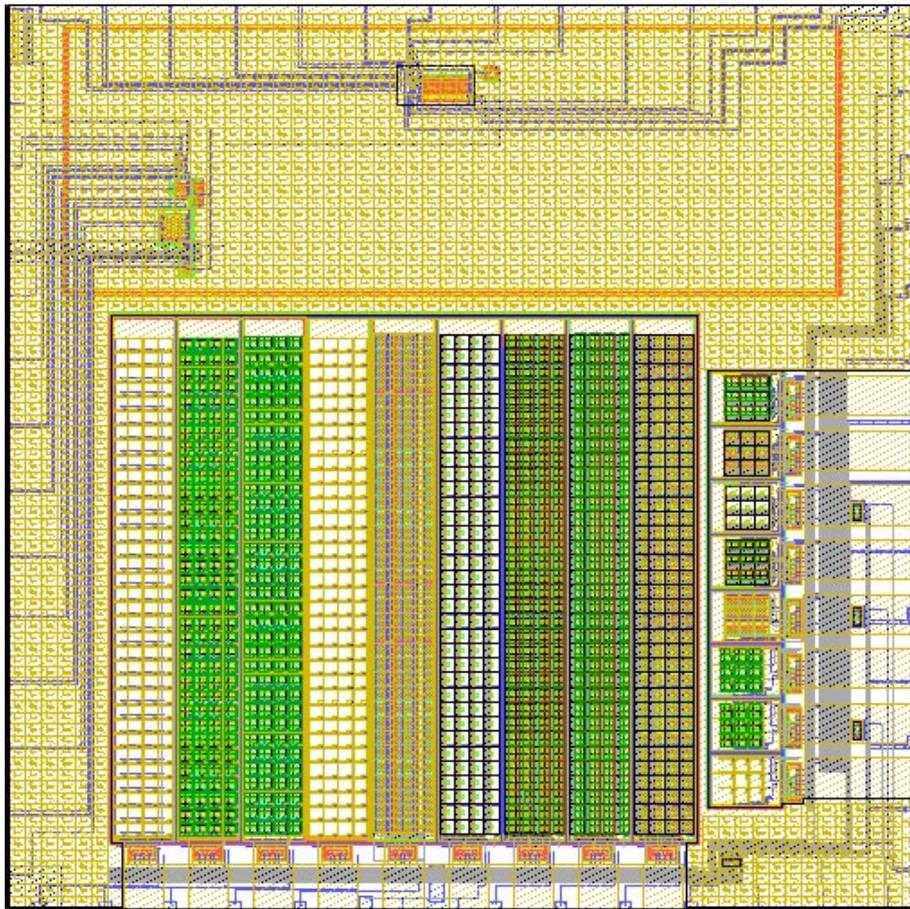


Figura 4.19: Chip coberto pela camada de metal 3.

Esta tampa foi aterrada, de modo a se evitar a indução de cargas da mesma sobre o substrato.

Um problema no uso da tampa de metal 3 é o fato dela consistir em uma placa de área bastante elevada e com pouca espessura. Tais características a tornam susceptível a quebras e rachaduras, decorrentes de mecanismos de dilatação, fazendo-se necessária a utilização de slots (Figura 4.20). Os slots implementados seguiram as regras da tecnologia  $0.6 \mu\text{m}$  CMOS CUP da AMS, que recomenda que os mesmos sejam inseridos em áreas de metal superiores a  $20 \mu\text{m} \times 300 \mu\text{m}$ , e que tenham formato retangular de comprimento mínimo  $10 \mu\text{m}$  e largura superior a  $1,5 \mu\text{m}$ . Além disso, os slots devem ser separados por uma distância mínima de  $10 \mu\text{m}$  e a moldura de metal em sua volta deve ter uma largura superior a  $9 \mu\text{m}$ .

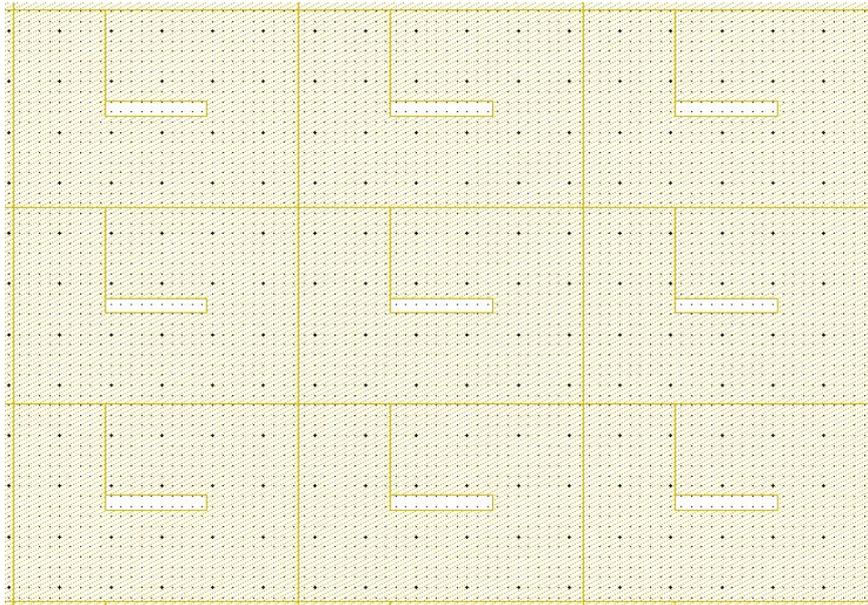


Figura 4.20: Slots na tampa de metal 3.

### Diodos de Proteção

Durante os processos de difusão e implantação iônica, realizados na construção do circuito integrado, as fitas de metal existentes no mesmo funcionam como antenas, captando os íons que incidem sobre o meio. Na ausência de um caminho de escoamento dessas cargas, direto para o substrato, as mesmas permanecerão acumuladas sobre os condutores. Assim, caso alguma das fitas de metal esteja conectada ao gate de algum transistor, as cargas acumuladas poderão produzir uma tensão eletrostática sobre o óxido fino deste gate, grande o suficiente para romper a sua rigidez dielétrica, o que resultaria na queima do dispositivo. A este fenômeno dá-se o nome de Efeito Antena, sendo nocivo ao circuito, quando são construídas fitas muito compridas, capazes de acumular um potencial eletrostático elevado.

A solução para o efeito antena compreende o uso de caminhos alternativos para um possível escoamento de cargas, sem prejudicar o funcionamento elétrico do circuito. Com esse objetivo, para cada uma das fitas de metal de maior extensão, foi implementado um diodo de proteção, com o catodo ligado à fita condutora e o anodo ao substrato. Desta forma, este dispositivo garante o isolamento elétrico do sinal que percorre a fita, ao mesmo tempo que cria um caminho de escoamento das cargas

acumuladas nesta, para o substrato.

Assim, foram criados bancos de diodos para a proteção dos sinais aplicados aos gates RST, SEL, TX e PG. Para os demais sinais não se fez necessário o uso de diodos de proteção, pelo fato dos mesmos estarem conectados ao dreno ou à fonte de algum transistor, o que já é suficiente para proteger a trilha do efeito antena.

A Figura 4.21 mostra o esquema do banco de diodos utilizado na proteção dos sinais das matrizes  $3 \times 3$ .

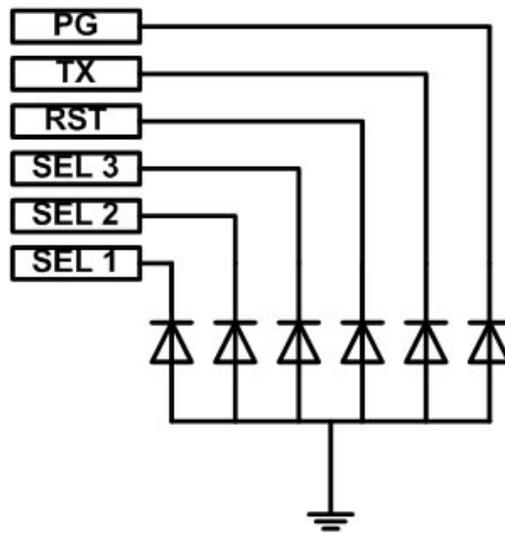


Figura 4.21: Esquemático dos Diodos de Proteção usados nas matrizes  $3 \times 3$ .

O diodo de proteção consiste em uma junção p-n formada entre uma difusão n e o substrato. Isso faz com que ele seja susceptível aos danos causados pelos efeitos da radiação ionizante. Assim, torna-se necessário o uso de anéis de proteção, de modo a isolá-lo das demais estruturas e cargas livres presentes no circuito integrado. Este layout pode ser visto na Figura 4.22.

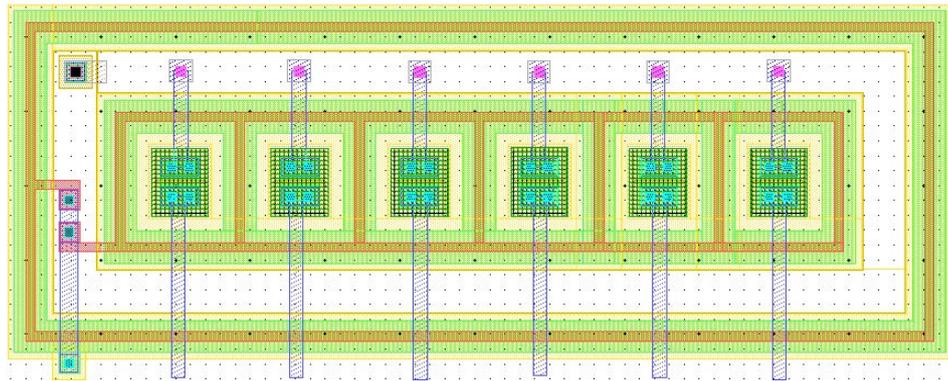


Figura 4.22: Diodos de proteção aplicados às matrizes  $3 \times 3$ , envoltos por anéis de guarda.

### Chanfros

Certas estruturas em contato com o substrato são convencionalmente implementadas com terminações em cantos agudos. Sob estresse mecânico, esses cantos podem rachar a malha cristalina do silício, provocando um aumento de correntes de fuga na região. Os pontos de maior vulnerabilidade são:

- Cantos de difusões n que se encontram com o substrato;
- Cantos de fitas e superfícies de polissilício, traçadas entre difusões p e n;
- Cantos dos transistores.

Para se amenizar este problema, as estruturas utilizadas no projeto desenvolvido foram desenhadas com o uso de chanfros, ou seja, pequenas quebras dos cantos agudos, em ângulos de  $45^\circ$ . Este procedimento visa a fazer uma aproximação para cantos arredondados, ideais, porém não permitidos por diversas tecnologias, diminuindo-se as possibilidades de ocorrência de rachaduras.

Em transistores, uma das conseqüências do uso da técnica de chanframento é a modificação na razão de aspecto dos mesmos. A Fórmula 4.1 [162] mostra o procedimento de cálculo da nova relação, baseada na Figura 4.23 [165].

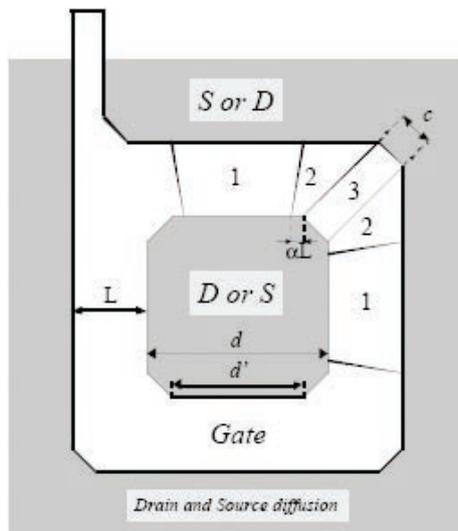


Figura 4.23: Figura base para o procedimento de cálculo da razão de aspecto de um transistor com chanfros.

$$\left(\frac{W}{L}\right)_{\text{efetivo}}^{\text{chanfro}} = 4 \times 2 \left( \frac{\alpha}{\ln\left(\frac{d'}{d'-2\alpha L}\right)} + \frac{1}{\Delta(\alpha)} \times \frac{(1-\alpha)}{-\ln \alpha} + \frac{1}{2} \times \frac{c}{L\sqrt{2}} \right) \quad (4.1)$$

onde  $\alpha$  praticamente independe da tecnologia, assumindo um valor experimental de 0,05, e  $\Delta(\alpha) = \frac{1}{2}\sqrt{\alpha^2 + 2\alpha + 5}$ .

#### 4.4.2 Estruturas de Entrada e Saída

As estruturas auxiliares de entrada e saída participam do mecanismo que realiza a troca de sinais entre o circuito integrado e o meio externo. A este grupo pertencem a coroa de pads, os quais ligam o circuito ao encapsulamento do chip; e as chaves analógicas, responsáveis pela multiplexação dos sinais de saída do CI.

##### A Coroa de Pads

A coroa de pads foi construída com o uso de dois tipos diferentes de pads, pertencentes à biblioteca da tecnologia 0.6  $\mu\text{m}$  CMOS CUP da AMS: os Pads de Canto;

e os Pads Analógicos. A Figura 4.24 mostra o layout dos pads de canto e analógico. A coroa de pads implementada aparece na Figura 4.25.

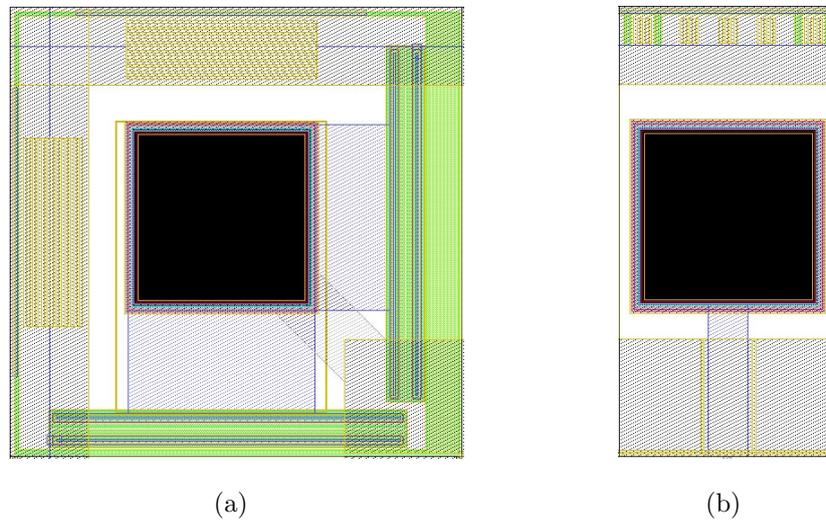


Figura 4.24: Pads utilizados. (a) Pad de Canto; (b) Pad Analógico.

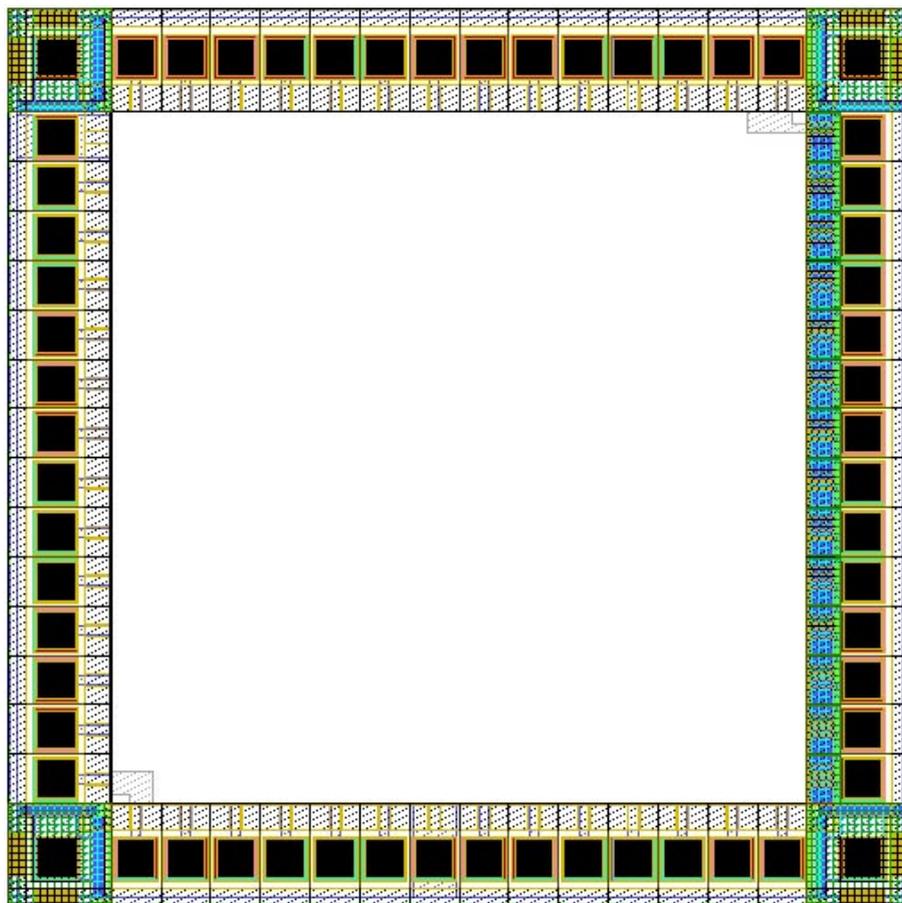


Figura 4.25: Coroa de Pads.

Os quatro Pads de Canto, chamados assim em virtude do seu formato quadrangular permitir que os mesmos sejam posicionados nos cantos da coroa, são os responsáveis pela alimentação com Vdd. O restante dos sinais e o aterramento, utilizam os pads analógicos.

Os diodos responsáveis pela proteção eletrostática foram removidos. Tal medida foi tomada para que estes elementos e suas não-linearidades não interfiram nos resultados a serem obtidos com os diversos testes.

Também houve a preocupação em se destinar mais de um pad para cada uma das fontes de alimentação, de modo a gerar redundâncias, evitando que problemas em alguma dessas estruturas possa comprometer o funcionamento de todo o chip. Assim, reservou-se dois pads analógicos para o aterramento e os quatro pads de canto para a fonte Vdd.

### Chaves Analógicas

Em virtude do número de sinais do chip ser muito elevado, alguns deles tiveram que ser multiplexados em um único pad. Para isso, foram construídas chaves analógicas, como as mostradas na Figura 4.26

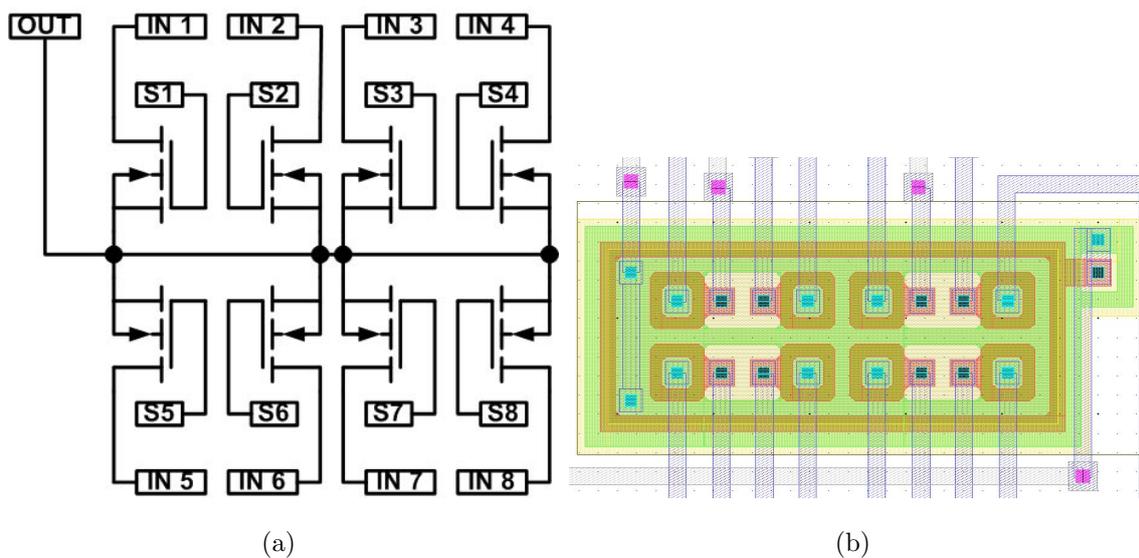


Figura 4.26: Conjunto de Chaves Analógicas. (a) Esquemático; (b) Layout.

Um bloco de chaves analógicas trata-se de um conjunto de transistores NMOS

concêntricos, com os terminais de fonte conectados entre si. Assim, o sinal que entra em um dos terminais de dreno é conduzido ao terminal comum de fonte, pelo acionamento do respectivo gate.

As chaves analógicas foram implementadas para multiplexar as saídas das matrizes de pixels, destinando-se um bloco de chaves para cada um dos seguintes conjuntos de sinais:

- Saídas das colunas às quais pertence o pixel diferenciado, nas oito matrizes  $34 \times 4$ ;
- Saídas das colunas de mesmo índice das matrizes  $3 \times 3$ .

Com isso, conseguiu-se colocar 32 saídas (8 colunas das matrizes  $34 \times 4 + 3 \times 8$  colunas das matrizes  $3 \times 3$ ) em 4 pads, utilizando-se, para isso, 4 conjuntos de chaves analógicas. Para os acionamentos das chaves, foram usados mais 8 pads, sendo um para cada chave, simultaneamente nos 4 conjuntos. Assim, no lugar de 32 pads, foram usados apenas 12.

Para a nona matriz  $34 \times 4$ , a matriz Dummy (Seção 4.3.1), foi utilizada uma saída a parte, não multiplexada, já que esta matriz tinha um outro propósito, diferente do apresentado pelas demais.

## 4.5 Estruturas a Parte - Caracterização de Transistores NMOS com Molduras PMOS

No chip de teste foram incluídos, ainda, alguns transistores NMOS com moldura PMOS (Seção 3.5.3), com dimensões e razões de aspecto variadas. Esses transistores foram caracterizados e os resultados podem ser encontrados em [181].

# Capítulo 5

## Caracterização e Resultados

Este capítulo inicia-se com uma descrição sucinta dos procedimentos a serem realizados para o levantamento dos parâmetros de caracterização dos sensores APS presentes no chip desenvolvido (Capítulo 4). Isto é feito com uma abordagem voltada para os esquemáticos dos circuitos e a indicação de nós, tensões e correntes empregados no processo.

Ao final, são mostrados e comentados alguns gráficos, que ilustram os resultados obtidos, a partir da caracterização elétrica parcial desses sensores. Mais precisamente, foram levantadas a corrente de escuro e a capacitância de fotoconversão das estruturas com pixels baseados em fotodiodos, irradiadas e não irradiadas. A caracterização óptica, por sua vez, é apenas comentada, conforme descrito no parágrafo anterior, já que o levantamento dos parâmetros pertencentes a este grupo está fora do escopo do presente trabalho.

## 5.1 Parâmetros da Caracterização

Os parâmetros normalmente levantados no processo de caracterização de sensores APS estão definidos na Seção 4.1. Nesta, os mesmos aparecem divididos em dois grupos: o daqueles relacionados à caracterização óptica; e o dos que compõem a caracterização elétrica.

Em seqüência, estão descritos os procedimentos necessários para o levantamento de cada um desses parâmetros, com um enfoque voltado para os nós envolvidos, bem como, para as tensões e correntes aplicadas e extraídas.

### 5.1.1 Caracterização Óptica

Os parâmetros de caracterização óptica são aqueles relacionados à incidência luminosa sobre o sensor, dependendo da mesma para serem obtidos. São eles: Eficiência Quântica; Resposta Espectral; Faixa Dinâmica; Efeito Siliceto/Saliceto; Ruído de Padrão Fixo (*Fixed Pattern Noise - FPN*); Ofuscamento (*Blooming*); e Carga Residual (*Lag*).

#### **Eficiência Quântica, Resposta Espectral e Carga Residual**

A Eficiência Quântica e a Resposta Espectral são parâmetros que indicam o número de pares elétron-buraco gerados pelo elemento fotossensível, a partir de um determinado número de fótons incidentes.

Uma estimativa desses parâmetros pode ser feita a partir das matrizes  $34 \times 4$ , mais precisamente, pelo nó comum de gate dos transistores seguidores de fonte dos pixels de cada uma das matrizes, como mostra a Figura 5.1.

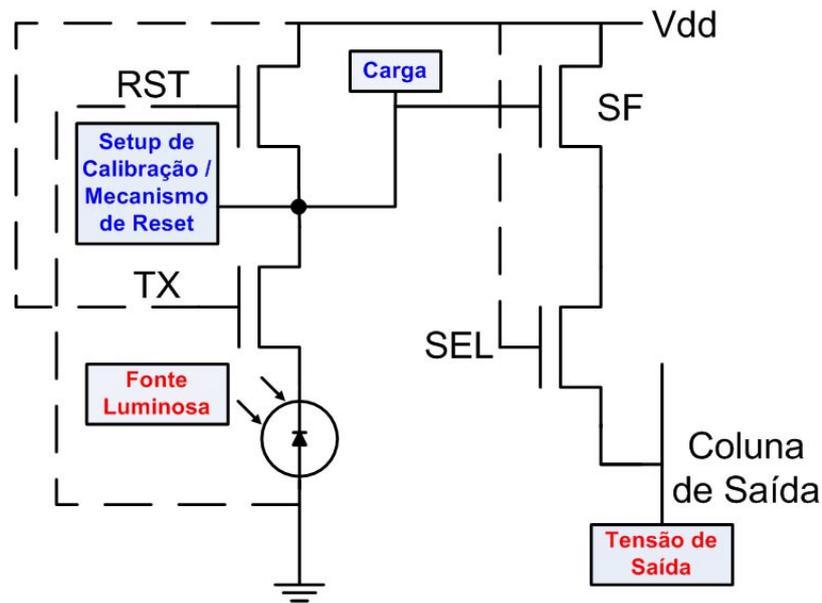


Figura 5.1: Esquemático simplificado do procedimento de levantamento da Eficiência Quântica, da Resposta Espectral e da Carga Residual dos sensores.

O procedimento consiste em se determinar, primeiramente, a relação entre a tensão de saída (coluna de saída a qual pertence o pixel diferenciado) e a carga fotogerada na matriz de pixels (nó comum de gate dos transistores seguidores de fonte). Tal relação pode ser obtida através da inserção de um setup de calibração adequado (fonte de corrente com uma faixa dinâmica bastante ampla [176]) no nó comum de gate dos transistores seguidores de fonte, como indica a Figura 5.1. Posteriormente, ao se iluminar a matriz com uma fonte monocromática uniforme, de intensidade conhecida, verifica-se a relação entre a tensão de saída dessa matriz e a intensidade luminosa aplicada sobre a mesma. Assim, com base nessas duas relações, pode-se determinar a razão carga gerada/intensidade luminosa incidente, que define a eficiência quântica do sensor.

Para a verificação da Resposta Espectral, o mesmo setup pode ser utilizado, apenas variando-se o comprimento de onda da fonte luminosa.

Finalmente, conhecendo-se a relação entre a tensão de saída da matriz e a carga gerada pelo elemento fotossensível (processo de calibração), pode-se estimar, através da medição dessa tensão na coluna de saída da matriz, a Carga Residual, após a reinicialização do sistema. Para isso torna-se necessário criar esse mecanismo de

reinicialização, já que todos os transistores de reset (RST), responsáveis por essa operação na matriz  $34 \times 4$ , encontram-se com os seus terminais de gate aterrados.

É importante ressaltar a necessidade de se acionar o gate comum dos transistores TX nas matrizes baseadas em fotogates, ou com pixels resistentes à radiação, sempre que for preciso haver uma comunicação entre o elemento fotossensível e o gate do transistor seguidor de fonte.

### Faixa Dinâmica

A Faixa Dinâmica é um parâmetro que relaciona a máxima corrente de saída, no limiar da saturação, e a corrente de escuro (ausência de luminosidade) do elemento fotossensível. Ela pode ser obtida pela medição da corrente no nó comum de gate dos transistores seguidores de fonte dos pixels de cada uma das matrizes  $34 \times 4$ , para as duas situações citadas, como indica a Figura 5.2.

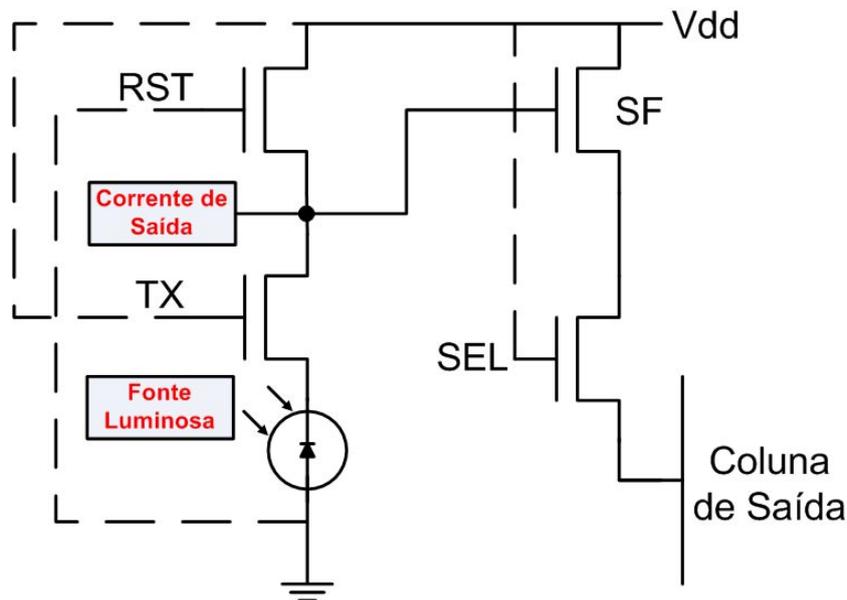


Figura 5.2: Esquemático simplificado do procedimento de levantamento da Faixa Dinâmica e do Ruído de Padrão Fixo dos sensores.

É importante ressaltar a necessidade de se acionar o gate comum dos transistores TX nas matrizes baseadas em fotogates, ou com pixels resistentes à radiação, para a extração das correntes mencionadas.

## Ruído de Padrão Fixo

Para o levantamento do Ruído de Padrão Fixo torna-se necessário medir o valor da fotocorrente, ou corrente de escuro, do elemento fotossensível de cada um dos pixels da matriz, enquanto os mesmos estiverem sendo iluminados homogeneamente.

As matrizes implementadas no projeto em estudo não se aplicam a este tipo de medição, já que os elementos fotossensíveis dos pixels de cada uma delas foram colocados em paralelo, impossibilitando uma medição individual, quando todos esses pixels são iluminados.

## Efeito Siliceto/Saliceto

A determinação da redução da eficiência quântica causada pelo uso de silicetos e salicetos é feita, normalmente, comparando-se esta eficiência para dois sensores, sendo que em um deles pode-se, ou usar uma máscara de bloqueio de silicetos e salicetos, ou abrir janelas no óxido de campo sobre o elemento fotossensível, como mostra a Figura 5.3 [176].

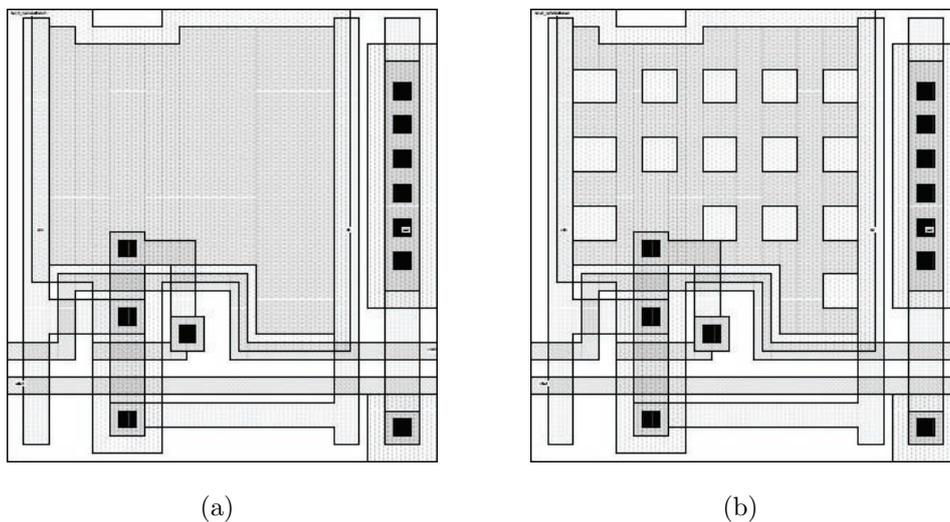


Figura 5.3: Layout de dois pixels utilizados no levantamento do Efeito Siliceto/Saliceto. (a) Layout convencional; (b) Layout com janelas no óxido de campo do elemento fotossensível.

Este parâmetro não foi considerado no projeto em questão, em virtude da tec-

nologia 0.6  $\mu\text{m}$  CMOS CUP da AMS não permitir a modificação de camadas do processo, com máscaras de bloqueio, ou abertura de janelas em óxidos, conforme sugerido.

### **Ofuscamento**

O ofuscamento pode ser obtido com o uso das matrizes  $3 \times 3$ . Isso é feito iluminando-se o pixel central, único não coberto pelo escudo de metal 3, com um nível de luz que o sature. Posteriormente, verifica-se a tensão de saída em cada um dos pixels vizinhos, pela seleção do par linha-coluna correspondente a cada um deles (Figura 5.4). Assim, com a tensão de saída levantada para os pixels do contorno, pode-se determinar, através da relação tensão de saída/carga fotogerada, obtida para a verificação da eficiência quântica (Seção 5.1.1), a quantidade de cargas recolhida por cada desses pixels.

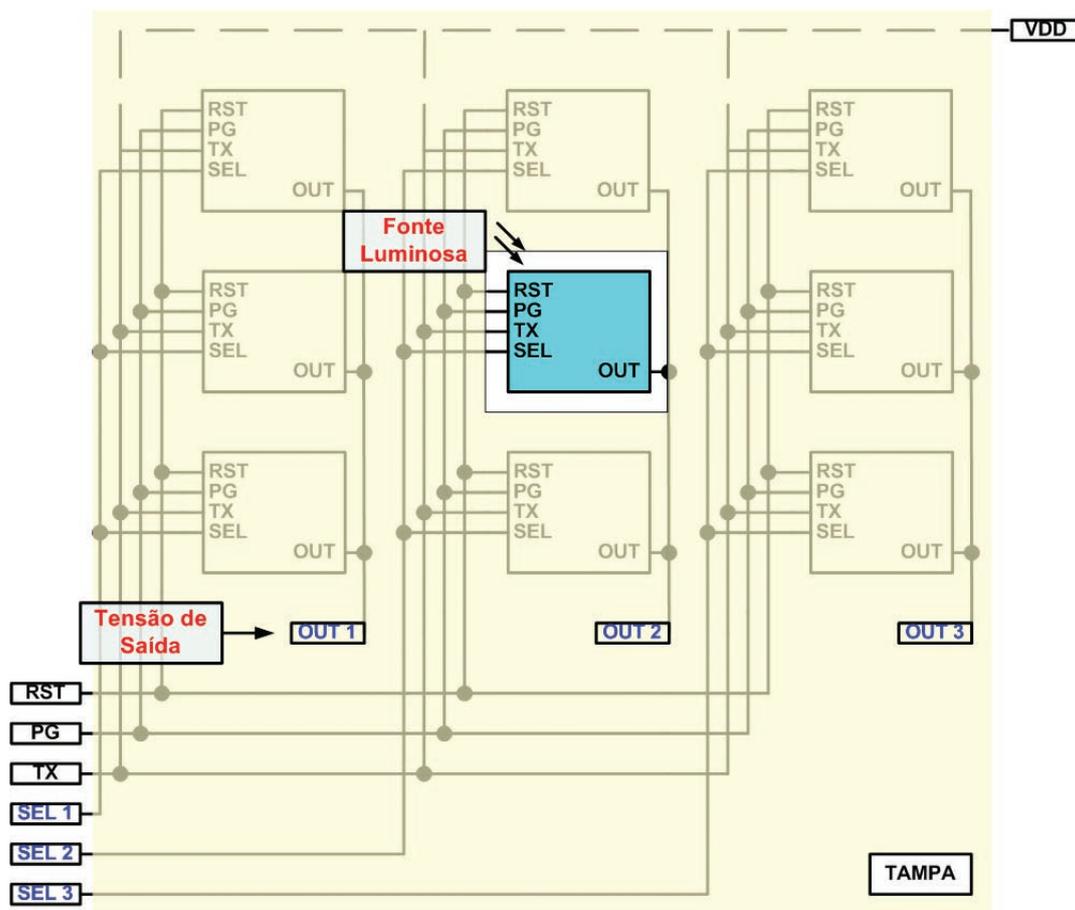


Figura 5.4: Esquemático simplificado do procedimento de levantamento do Ofuscamento dos sensores.

É importante ressaltar a necessidade de se acionar o gate comum dos transistores TX nas matrizes baseadas em fotogates, ou com pixels resistentes à radiação, para que haja a comunicação entre o elemento fotosensível e o gate do transistor seguidor de fonte.

### 5.1.2 Caracterização Elétrica

Os parâmetros envolvidos na caracterização elétrica dos sensores independem, diretamente, da incidência luminosa sobre os mesmos. Sua obtenção é feita levando-se em consideração que, após o processo de conversão da energia luminosa em energia elétrica, ou na ausência dessa energia luminosa, o sensor funciona como um circuito puramente eletrônico. Os parâmetros envolvidos neste tipo de caracterização são:

Sensibilidade; Corrente de Escuro; Capacitância de Fotoconversão do Pixel; Função de Transferência DC do Seguidor de Fonte; e Ruído Referente à Entrada (*Input Referred Read Noise*).

### Sensibilidade e Ruído Referente à Entrada

A Sensibilidade é dada pela relação entre a tensão fornecida pelo circuito de leitura e o número de elétrons gerados pelo elemento fotossensível. Assim, ela pode ser estimada por um processo semelhante ao descrito na Seção 5.1.1, com o uso das matrizes  $34 \times 4$ . A etapa de calibração, em si, comentada nessa seção, já fornece a relação entre a tensão de saída e a carga fotogerada da matriz de pixels.

O Ruído Referente à Entrada (*Input Referred Read Noise*) sendo dado pelo número de elétrons gerados com o sensor no escuro, pode ser estimado pelo mesmo procedimento, contudo, sem que a matriz de pixels seja iluminada. Pelo valor da tensão fornecida na coluna de saída de cada uma das matrizes, na ausência de iluminação, pode-se determinar o número de elétrons gerados em cada uma delas, fazendo-se uso da relação entre a tensão de saída e a carga fotogerada, obtida com uso do setup de calibração (Seção 5.1.1).

A Figura 5.5 mostra um esquema de obtenção da Sensibilidade e do Ruído Referente à Entrada da matriz  $34 \times 4$ .

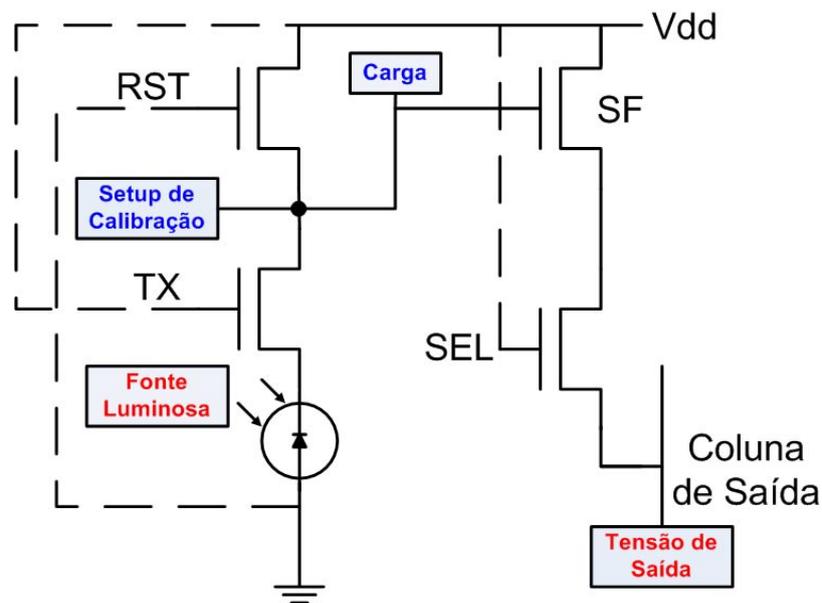


Figura 5.5: Esquemático simplificado do procedimento de levantamento da Sensibilidade e do Ruído Referente à Entrada (*Input Referred Read Noise*) dos sensores.

É importante ressaltar a necessidade de se acionar o gate comum dos transistores TX nas matrizes baseadas em fotogates, ou com pixels resistentes à radiação, sempre que for preciso haver uma comunicação entre o elemento fotossensível e o gate do transistor seguidor de fonte.

### A Corrente de Escuro

A Corrente de Escuro pode ser extraída diretamente do nó de gate comum dos transistores seguidores de fonte nas matrizes  $34 \times 4$ , como mostra a Figura 5.6. Para isso, é necessário haver o acionamento do gate comum dos transistores TX nas matrizes baseadas em fotogates, ou com pixels resistentes à radiação.

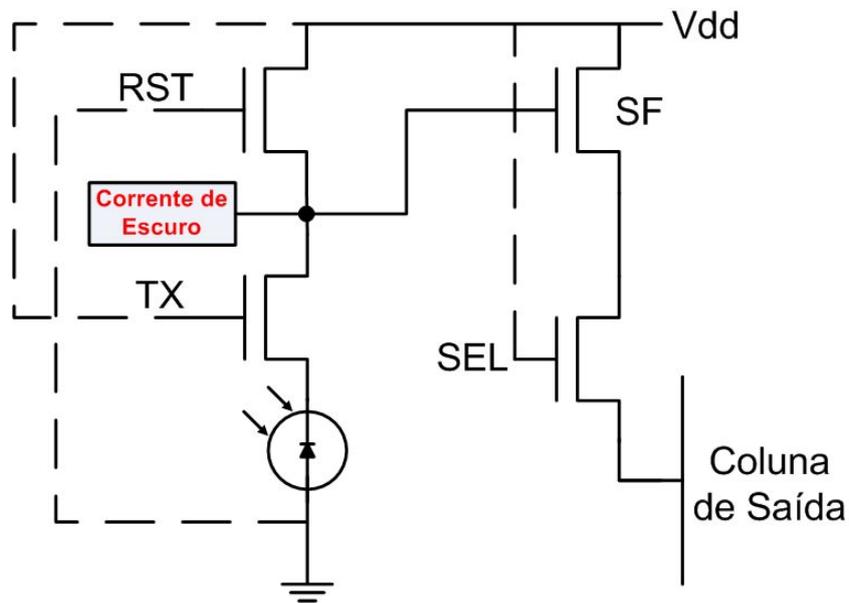


Figura 5.6: Esquemático simplificado do procedimento de levantamento da Corrente de Escuro dos sensores.

### Capacitância de Fotoconversão do Pixel

A Capacitância de Fotoconversão do Pixel pode ser medida através do nó comum de gate dos transistores seguidores de fonte, nas matrizes  $34 \times 4$ , como indica a Figura 5.7. Através deste nó detecta-se a capacitância referente aos 136 pixels em paralelo, adicionada à capacitância parasita decorrente do pad e das trilhas que conduzem a este ponto do circuito, conforme descrito na Seção 4.3.1.

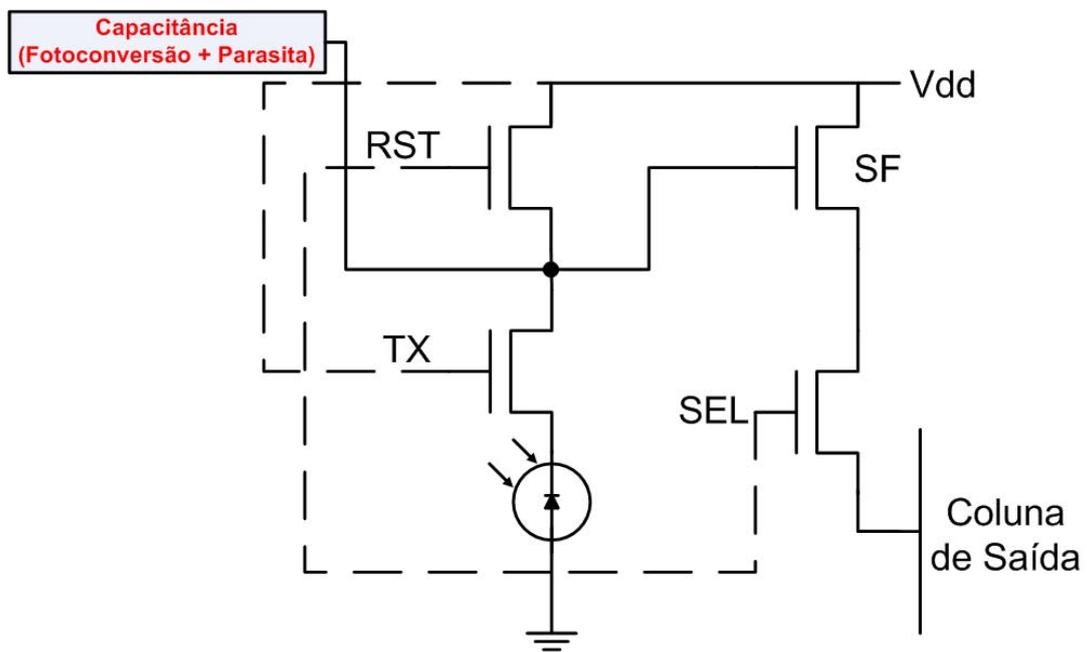


Figura 5.7: Esquemático simplificado do procedimento de levantamento da Capacitância de Fotoconversão dos sensores.

Para o levantamento da capacitância parasita, o mesmo procedimento de medida pode ser realizado com a matriz Dummy, obtendo-se apenas a componente referente ao pad e às trilhas, já que estes se encontram desconectados dos pixels da matriz. A Figura 5.8 mostra o esquema desta medida.

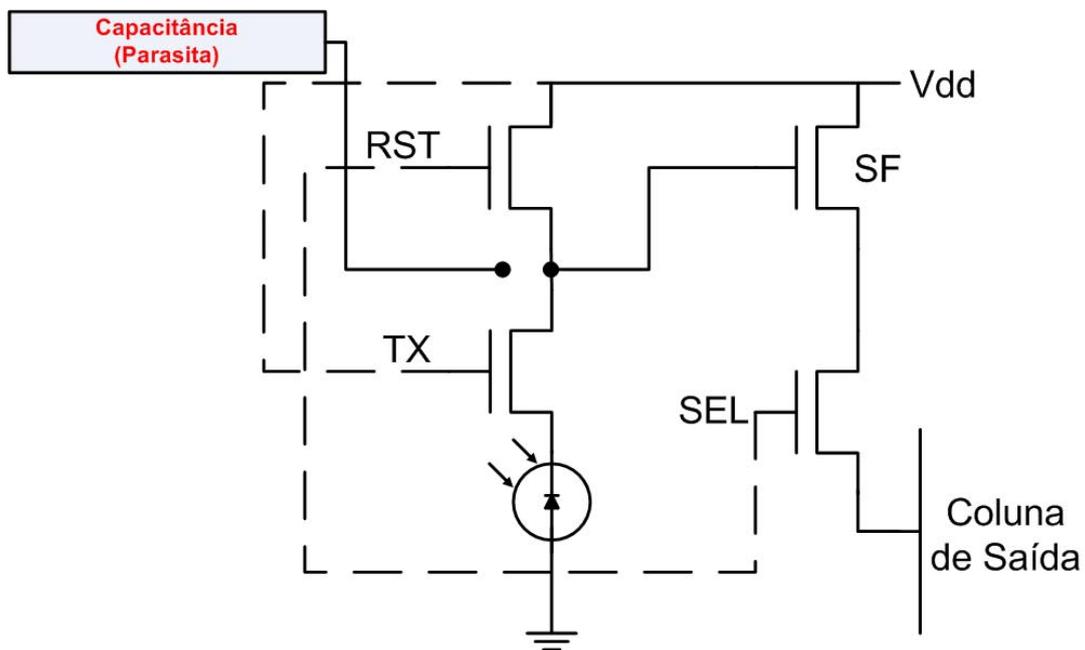


Figura 5.8: Esquemático simplificado do procedimento de levantamento da Capacitância Parasita de Fotoconversão dos sensores.

Neste caso, a desconexão deve ser feita na ligação com cada um dos pixels da matriz, e não apenas com o nó físico comum. Caso seja feito desta segunda maneira, parte do barramento não será computado na capacitância parasita.

### Função de Transferência DC do Transistor Seguidor de Fonte

A Função de Transferência DC do Transistor Seguidor de Fonte pode ser estimada com o uso das matrizes  $34 \times 4$ . Tal procedimento é feito inserindo-se uma fonte de tensão dc no gate comum desses transistores, com a posterior verificação da tensão resultante na coluna de saída da matriz correspondente, como mostra a Figura 5.9.

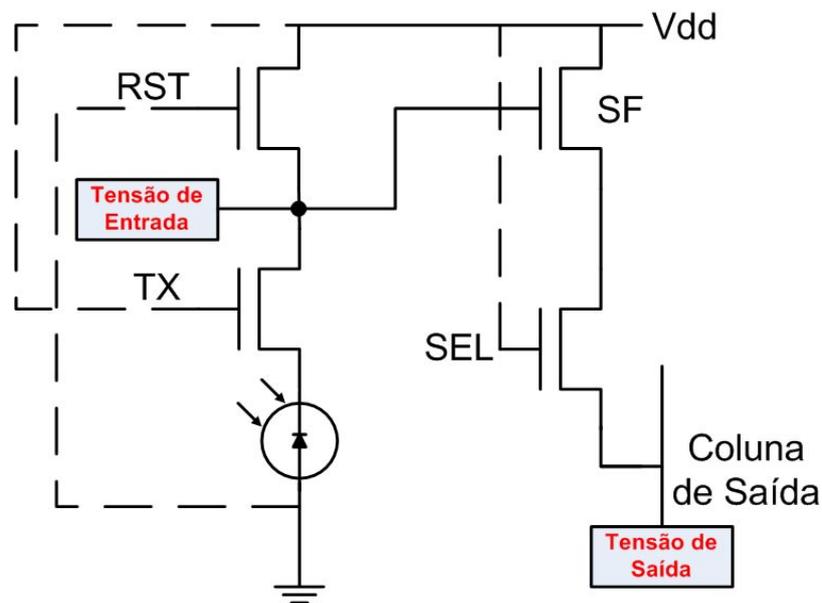


Figura 5.9: Esquémático simplificado do setup de levantamento da Função de Transferência DC do Transistor Seguidor de Fonte dos sensores.

Variando-se o valor desta tensão dc, pode-se verificar o quão linear é a resposta do transistor seguidor de fonte.

## 5.2 Alguns Resultados da Caracterização Elétrica

Na presente seção são apresentados alguns resultados obtidos pela caracterização elétrica parcial do chip, mais especificamente, no que se refere aos parâmetros de corrente de escuro e capacitância de fotoconversão.

Para o levantamento da corrente de escuro, foi empregado o Semiconductor Parameter Analyzer HP4145, um instrumento de testes universal e configurável, usado para medidas DC e de transientes lentos de dispositivos semicondutores. Com ele é possível se fazer o levantamento das curvas características de transistores MOS, como  $I_d \times V_{ds} \times V_{gs}$ , por exemplo. O HP4145 possui quatro Unidades de Medida de Fonte (SMUs) independentes, que podem ser programadas para se comportarem como fontes de Thèvenin ou Norton quase ideais. Como fonte de tensão, o SMU mede a corrente que flui de seu nó de saída. Ao contrário, como uma fonte de cor-

rente, o SMU mede a tensão aplicada em seus terminais. Além dos quatro SMUs, existem, também, duas fontes de tensão programáveis e dois voltímetros precisos.

As medições das capacitâncias foram feitas com o auxílio de um C-V meter, da HP, que mede as características da relação capacitância-tensão de dispositivos semicondutores. Ele contém uma fonte interna de tensão que pode variar de 0 a 100 V, e as medidas C-V podem ser tomadas usando esta fonte interna, como foi o caso, ou uma outra externa.

Os testes de sensibilidade à radiação foram feitos com aplicações de doses de Raio-X de 50 krad, 100 krad e 200 krad. Para isso, foi utilizada uma fonte de Raio-X, sintonizada para absorção máxima no silício. Através do controle da alta tensão de uma placa do dispositivo, é possível regular a energia do feixe de Raio-X, adequando-a à esta máxima absorção. As doses de 50 krad, 100 krad e 200 krad foram alcançadas, respectivamente, nos tempos de 2 min e 10 s, 4 min, e 20 s e 8 min e 42 s, e foram aplicadas em chips diferentes.

Pelo fato da caracterização de sensores de imagem consistir em um processo demasiadamente prolongado, com a geração de uma grande quantidade de arquivos, optou-se por não se caracterizar os pixels baseados em fotogate, devido à complexidade desta tarefa, visto a necessidade de se pulsar a chave de transmissão das cargas fotogeradas - TX (Seção 2.4.2). Esta escolha de forma alguma compromete os resultados buscados no presente trabalho, em virtude da caracterização dos demais tipos de pixels ser suficiente para a verificação da funcionalidade das estruturas de teste implementadas.

A seguir, é feita a análise dos resultados obtidos.

### 5.2.1 Resultados da Caracterização da Corrente de Escuro

Para o levantamento das correntes de escuro, utilizou-se uma caixa metálica, especialmente construída para isolar da incidência luminosa o chip a ser caracterizado. Com o chip inserido, para cada uma das matrizes  $34 \times 4$ , os fotodiodos eram polarizados reversamente, pela aplicação de uma tensão em varredura de 0 a 5 V, em passos de 0,5 V, no nó comum de gate dos transistores seguidores de fonte. Con-

comitantemente, a corrente ia sendo extraída, através da coluna de saída da matriz (Seção 5.1.2). Tal procedimento foi executado em estruturas com pixels Shallow, Deep e IMEC, convencionais e resistentes à radiação, irradiados e não irradiados.

Os gráficos das figuras 5.10 à 5.15 ilustram os resultados obtidos, mostrando os valores das correntes de escuro das diferentes matrizes de sensores, para as doses de radiação aplicadas. Vale ressaltar que para cada dose de radiação, foi utilizado um chip diferente.

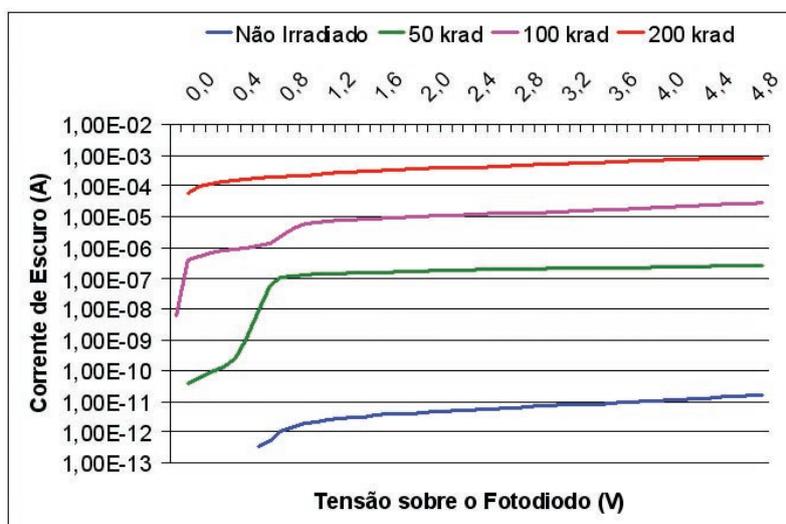


Figura 5.10: Corrente de Escuro para o pixel Shallow Convencional.

A escala logarítmica do eixo das ordenadas do gráfico da Figura 5.10 mostra que as correntes de escuro da matriz com pixels do tipo Shallow Convencional apresentam grandes variações para as diferentes doses de radiação aplicadas. Tais variações se dão, inclusive, em ordens de grandeza, com as correntes chegando a centenas de microampere, para doses de 200 krad.

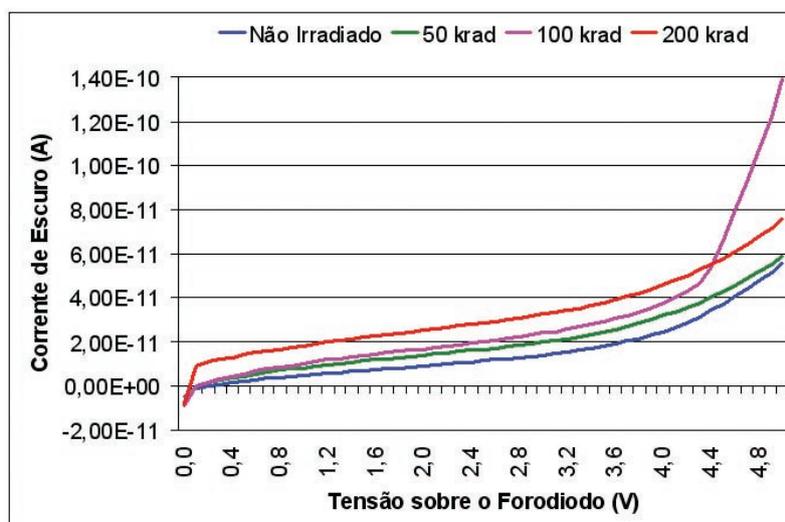


Figura 5.11: Corrente de Escuro para o pixel Shallow Resistente à Radiação.

Na matriz com pixels do tipo Shallow Resistente à Radiação, o uso de transistores concêntricos e de anéis de guarda resultou em menores variações das correntes de escuro para as doses de radiação aplicadas. Assim, de um modo geral, essas correntes não ultrapassaram os valores de dezenas de picoampere, como mostra a Figura 5.11. O desvio mais acentuado na curva de 100 krad, para uma tensão sobre o fotodiodo superior a cerca de 4,4 V pode ser decorrente de um descuido no processo de medição (trata-se de uma tarefa bastante prolongada e minuciosa), ou de algum defeito do chip utilizado para esta dose. As hipóteses dos fotodiodos terem entrado na região de avalanche, ou da radiação ter danificado as estruturas dos sensores não fazem sentido, já que o efeito mencionado não ocorreu para doses superiores, de 200 krad.

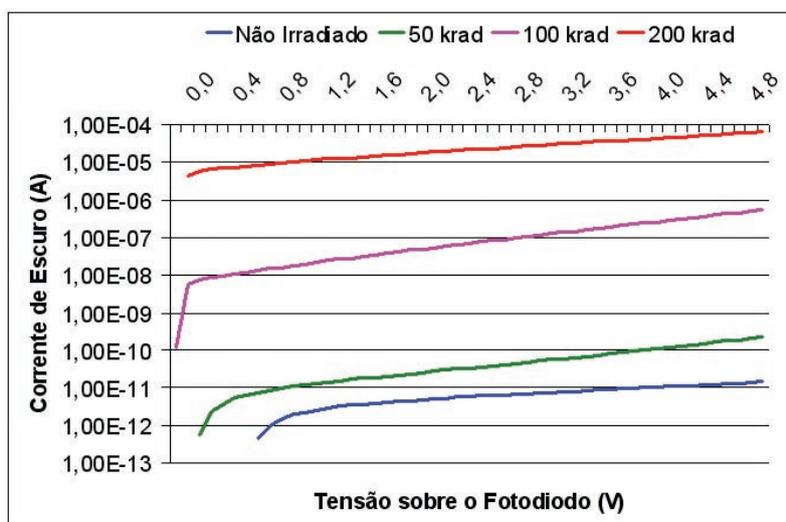


Figura 5.12: Corrente de Escuro para o pixel Deep Convencional.

Do mesmo modo como ocorreu para a matriz com pixels do tipo Shallow Convencional, a Figura 5.12 indica grandes variações das correntes de escuro dos pixels Deep Convencional para as diferentes doses de radiação aplicadas. A escala logarítmica do eixo das ordenadas mostra que tais variações se dão, inclusive, em ordens de grandeza, com as correntes chegando a dezenas de microampere, para doses de 200 krad.

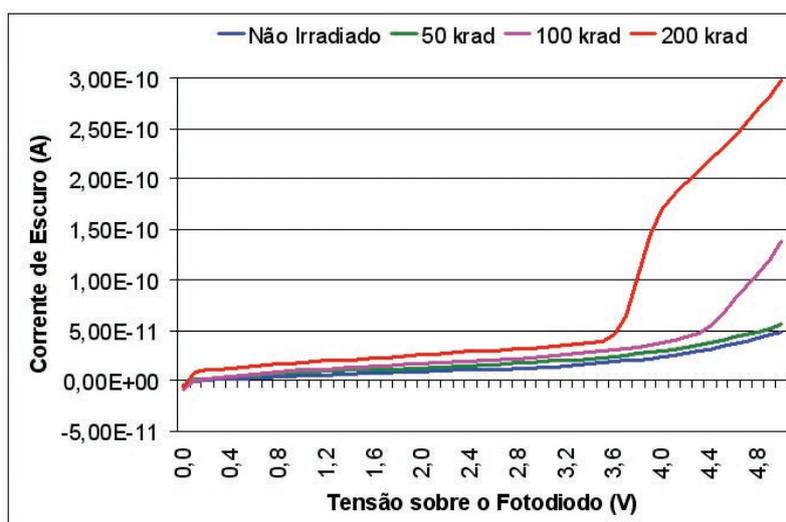


Figura 5.13: Corrente de Escuro para o pixel Deep Resistente à Radiação.

Assim como na matriz com pixels do tipo Shallow Resistente à Radiação, o uso

de transistores concêntricos e de anéis de guarda na matriz com pixels do tipo Deep Resistente à Radiação resultou em menores variações das correntes de escuro com as doses aplicadas, como mostra a Figura 5.13. De um modo geral, essas correntes não ultrapassaram os valores de dezenas de picoampere. Os desvios acentuados nas curvas de 100 krad e 200 krad, para tensões sobre os fotodiodos de, respectivamente, cerca de 4,4 V e 3,6 V, podem ter alguma das seguintes causas: a entrada dos fotodiodos, polarizados reversamente, na região de avalanche, em virtude do acréscimo de cargas, decorrente dos efeitos da incidência radioativa; algum defeito nos chips utilizados; ou falha no processo de medição, prolongado e minucioso.

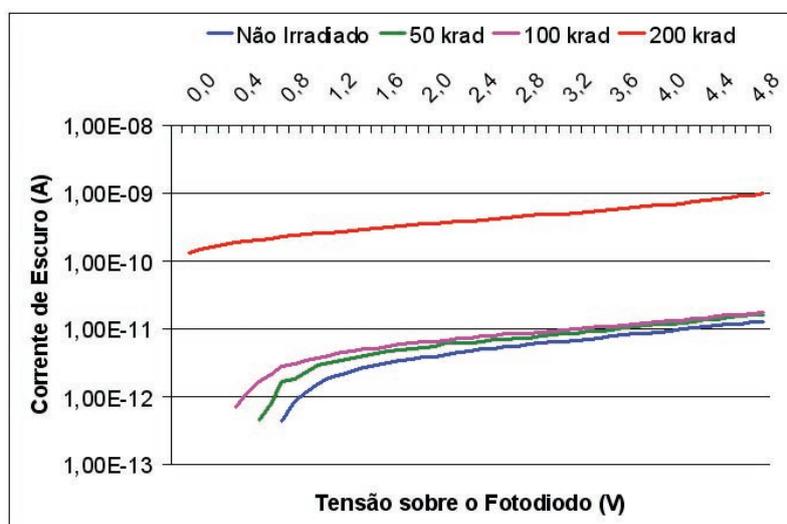


Figura 5.14: Corrente de Escuro para o pixel IMEC Convencional.

Ao contrário do que ocorreu com as matrizes baseadas em pixels Shallow e Deep, as correntes de escuro para a matriz com pixels do tipo IMEC Convencional apresentaram pequenas variações para doses de até 100 krad, não ultrapassando valores da ordem de dezenas de picoampere, como mostra a Figura 5.14. Para a dose de 200 krad, essas correntes já chegaram à faixa de unidades de nanoampere.

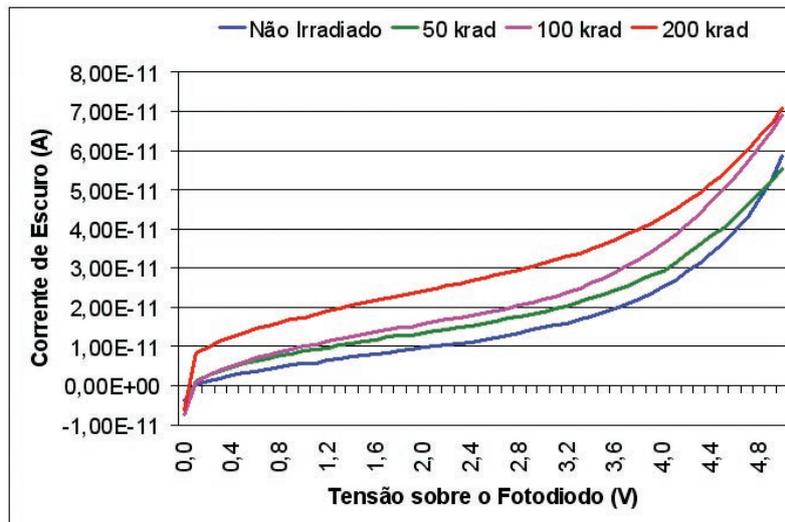


Figura 5.15: Corrente de Escuro para o pixel IMEC Resistente à Radiação.

Para a matriz com pixels do tipo IMEC Resistente à Radiação, as variações das correntes de escuro foram pequenas, inclusive para a dose de 200 krad, chegando a valores máximos da ordem de dezenas picoampere, como mostra a Figura 5.15. Este resultado se deve ao uso de transistores concêntricos e de anéis de guarda para a proteção contra os efeitos da radiação.

A análise das figuras 5.10 à 5.15 mostra, de um modo geral, que enquanto nas matrizes com pixels convencionais as correntes de escuro variam em ordens de grandeza, chegando, em alguns casos, a beirar a faixa de unidades de miliampere, nas matrizes com pixels resistentes à radiação essas variações são muito menores, devido ao uso de transistores concêntricos e anéis de guarda, com as correntes de escuro não ultrapassando a faixa de poucas centenas de picoampere. A exceção foi a matriz baseada em pixels do tipo IMEC Convencional que apresentou um comportamento semelhante ao das matrizes com pixels resistentes à radiação, para doses aplicadas de até 100 krad, com pequenas variações das correntes de escuro e valores na faixa dezenas de picoampere. Para doses de 200 krad, as versões resistentes à radiação já apresentam resultados mais satisfatórios.

Nas figuras 5.11 e 5.13, ainda se observa a existência de desvios abruptos em algumas das curvas de correntes de escuro. Possíveis explicações para tais efeitos são a entrada dos fotodiodos na região de avalanche (Figura 5.13), ou falhas, tanto em

estruturas, como nos processos de medição dos chips, prolongados e minuciosos, utilizados em tais medidas (figuras 5.11 e 5.13). A averiguação mais precisa das causas desses efeitos isolados implicaria na realização de um número maior de medidas, a partir da utilização de outros exemplares do chip, a fim de se obter os valores médios dos parâmetros levantados. Contudo, além do número de exemplares do chip disponibilizados pelo fabricante ser limitado, novas caracterizações demandariam um espaço de tempo bastante elevado, normalmente impraticável para a realização de trabalhos dessa natureza, em virtude de fatores como prazos a serem cumpridos e disponibilidade de equipamentos por longos períodos de tempo, entre outros.

As figuras 5.16 à 5.20 mostram os mesmos resultados obtidos, vistos de um outro ângulo, no qual se compara o desempenho dos diferentes tipos de sensores, em cada uma das doses de radiação aplicadas. Nos gráficos de matrizes irradiadas, foram inseridos, apenas, os valores correspondentes aos modelos resistentes à radiação, juntamente com as curvas da matriz formada pela versão convencional do pixel IMEC. Os resultados obtidos com os sensores Shallow e Deep convencionais não foram satisfatórios, como visto, respectivamente, nas figuras 5.10 e 5.12, e por isso não foram considerados neste novo conjunto de gráficos.

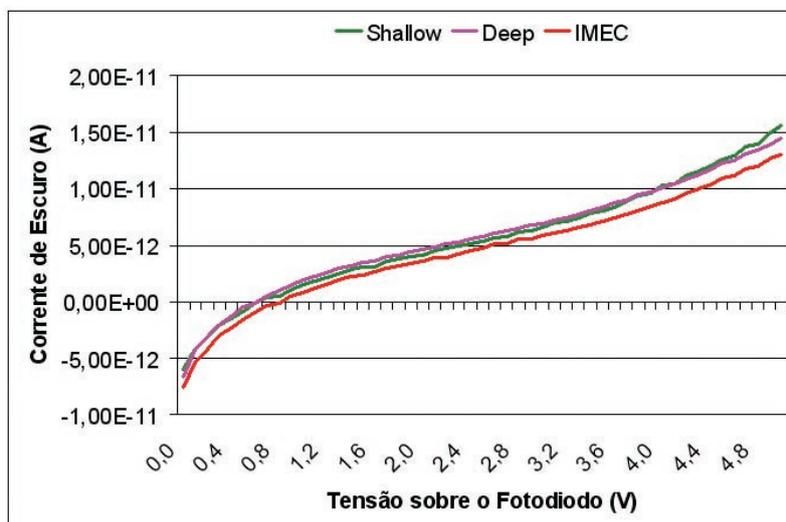


Figura 5.16: Corrente de Escuro para os pixels convencionais não irradiados.

As matrizes com pixels convencionais não irradiados apresentam valores próximos para as correntes de escuro, alcançando a faixa de poucas dezenas de picoampere,

como pode ser visto pela Figura 5.16.

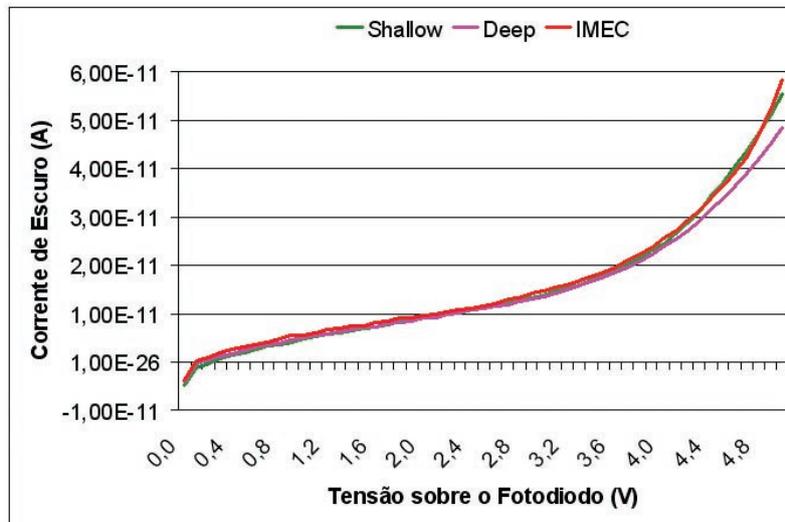


Figura 5.17: Corrente de Escuro para os pixels resistentes à radiação não irradiados.

As matrizes com pixels resistentes à radiação não irradiados também apresentam valores próximos para as correntes de escuro, como pode ser visto pela Figura 5.17. Além disso, os valores obtidos são maiores que os apresentados pelas matrizes com pixels convencionais, o que é razoável, visto que os pixels resistentes à radiação utilizam transistores concêntricos, com grandes razões de aspecto, elevando os valores das correntes geradas. Eles valores mantêm-se, contudo, na faixa de dezenas de picoampere.

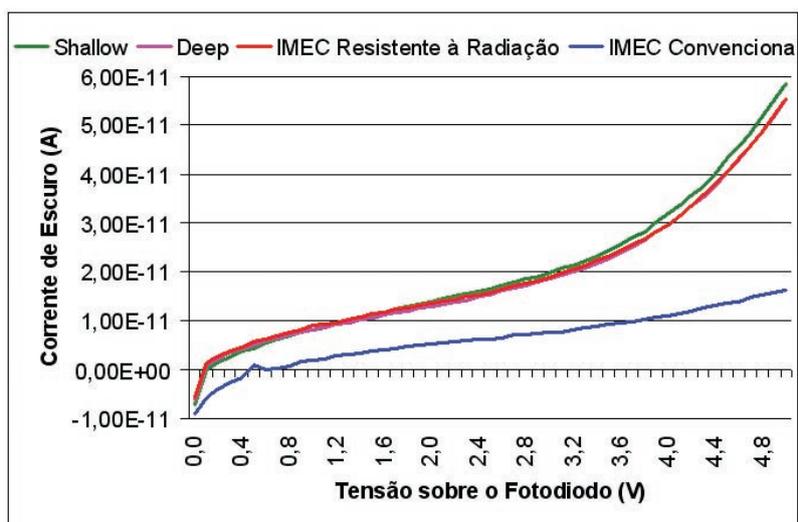


Figura 5.18: Corrente de Escuro para pixels irradiados (50 krad).

A Figura 5.18 mostra que, para a dose de 50 krad, a matriz com pixels do tipo IMEC Convencional apresentou correntes de escuro da ordem de poucas dezenas de picoampere, sendo mais baixas que as correntes de escuro obtidas com as matrizes de pixels resistentes à radiação. Estas alcançaram valores mais elevados, porém, ainda dentro da faixa de dezenas de picoampere.

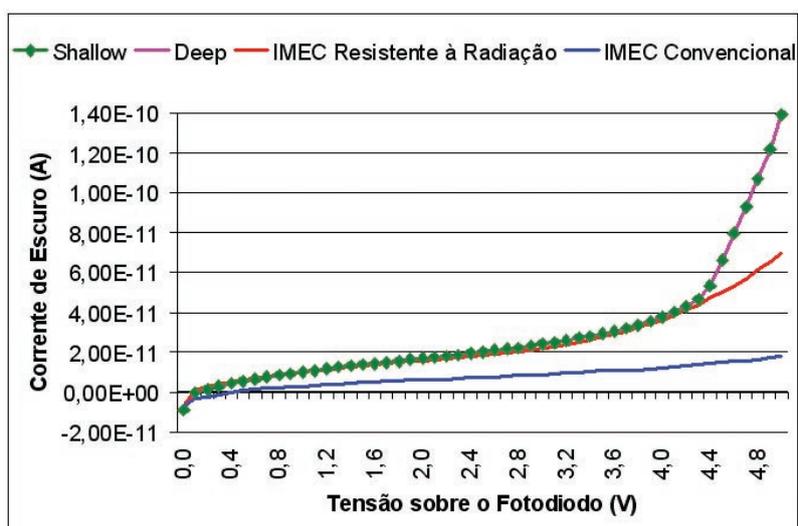


Figura 5.19: Corrente de Escuro para pixels irradiados (100 krad).

Da mesma forma como ocorreu para a dose de 50 krad, a Figura 5.19 mostra que

a matriz com pixels do tipo IMEC Convencional apresentou correntes de escuro da ordem de poucas dezenas de picoampere, para a dose de 100 krad. Tais correntes foram mais baixas que as obtidas com as matrizes de pixels resistentes à radiação. Estas, por sua vez, mesmo com valores mais elevados, ainda se mantiveram na faixa de dezenas de picoampere.

O fato das curvas das versões resistentes à radiação dos pixels Shallow e Deep coincidirem ponto a ponto, indica ter havido um equívoco na obtenção dos arquivos de medidas desses dois sensores. Possivelmente, um mesmo arquivo de valores recebeu dois nomes diferentes. Já os desvios acentuados nas curvas dos pixels Shallow ou Deep resistentes à radiação são comentados nos parágrafos referentes às figuras 5.11 e 5.13, onde citam-se, como possíveis causas, a entrada dos fotodiodos na região de avalanche e a ocorrência de algum tipo de falha, ou na estrutura dos chips utilizados para o levantamento de tais medidas, ou no próprio processo de medição, que se caracteriza por ser prolongado e minucioso.

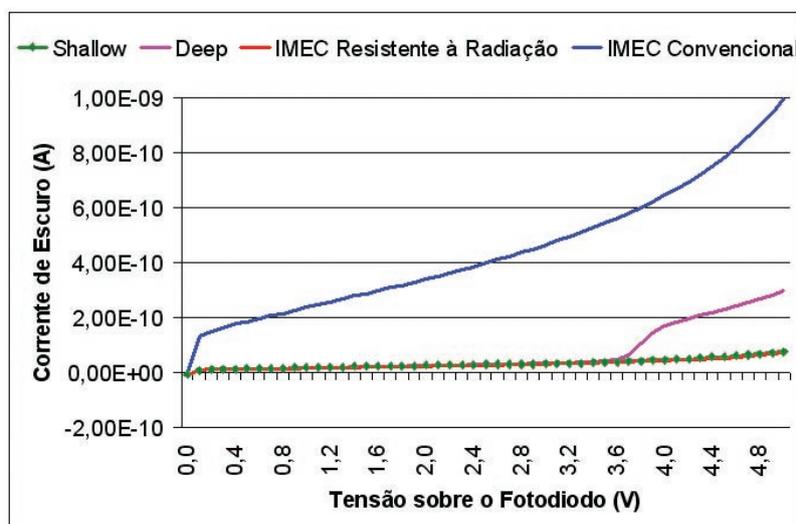


Figura 5.20: Corrente de Escuro para pixels resistentes à radiação irradiados (200 krad).

O gráfico da Figura 5.20 mostra o comportamento das correntes de escuro para as matrizes com pixels resistentes à radiação, sob a dose de 200 krad. Pode-se observar que, para esta dose, os pixels IMEC convencionais perdem a sua eficiência quanto à relativa constância das correntes de escuro, observada em doses menores (figuras 5.18

e 5.19), atingindo valores próximos a 1 nA, como comentado no parágrafo descritivo da Figura 5.14. Além disso, percebe-se que a dose de 200 krad causou uma variação brusca nas correntes de escuro da matriz baseada em pixels do tipo Deep Resistente à Radiação. Esta variação é melhor comentada no parágrafo referente à Figura 5.13, onde se explica este efeito pela entrada dos fotodiodos na região de avalanche, ou devido à ocorrência de algum tipo de falha, seja na estrutura dos chips utilizados para o levantamento de tais medidas, seja no próprio processo de medição, que se caracteriza por ser prolongado e minucioso.

Através das figuras 5.16 à 5.20, verifica-se que as correntes de escuro dos três tipos de pixels resistentes à radiação se aproximam bastante, para cada uma das doses de radiação aplicadas. Contudo, o pixel IMEC convencional, sob doses de até 100 krad, apresenta valores nitidamente inferiores para esta corrente, o que se deve à sua estrutura, que com elemento fotossensível e transistores de tamanhos reduzidos, se faz tolerante a doses mais baixa de radiação. Além disso, para a dose de 100 krad (Figura 5.19), parece que um mesmo arquivo de valores recebeu dois nomes diferentes, o que resultou na coincidência das curvas das matrizes de sensores Shallow e Deep resistentes à radiação. Quanto aos desvios bruscos apresentados em curvas dos gráficos das matrizes baseadas em pixels Shallow, na dose de 100 krad (Figura 5.19), e Deep, nas doses de 100 e 200 krad (figuras 5.19 e 5.20), ambos resistentes à radiação, possíveis causas apresentadas são a entrada dos fotodiodos na região de avalanche, para os sensores Deep resistentes à radiação, ou falhas, tanto em estruturas, como nos processos de medição, prolongados e minuciosos, dos chips utilizados na caracterização dos sensores Shallow e/ou Deep resistentes à radiação. Novas medidas, com outros exemplares do chip, seriam necessárias para uma melhor análise de causas.

### 5.2.2 Resultados da Caracterização da Capacitância de Fotoconversão

Para o levantamento das capacitâncias de fotoconversão, aplicou-se, com o auxílio do C-V Meter, um sinal de 1 kHz de frequência e varredura de tensão de 0 a 5 V, em passos de 0,5 V, ao nó comum de gate dos transistores seguidores de fonte dos pixels de cada uma das matrizes  $34 \times 4$ . Neste mesmo nó, a capacitân-

cia de fotoconversão, somada às capacitâncias parasitas decorrentes do pad e das trilhas de metal, iam sendo extraídas, para cada valor de tensão do sinal aplicado (Seção 5.1.2). As capacitâncias parasitas foram determinadas através da realização do mesmo mecanismo para a matriz dummy (Seção 5.1.2), descontando-se os valores encontrados daqueles obtidos com as matrizes de fotodiodos, de acordo com o procedimento explicado na Seção 4.3.1. Tal tarefa foi realizada em estruturas com pixels Shallow, Deep e IMEC, convencionais e resistentes à radiação, irradiados e não irradiados.

Os gráficos das figuras 5.21 à 5.26 ilustram os resultados obtidos, mostrando os valores das capacitâncias de fotoconversão das diferentes matrizes de sensores, para as doses de radiação aplicadas. Os valores apresentados nestes gráficos são os reais, ou seja, com a capacitância parasita já descontada. Vale ressaltar que para cada dose de radiação, foi utilizado um chip diferente.

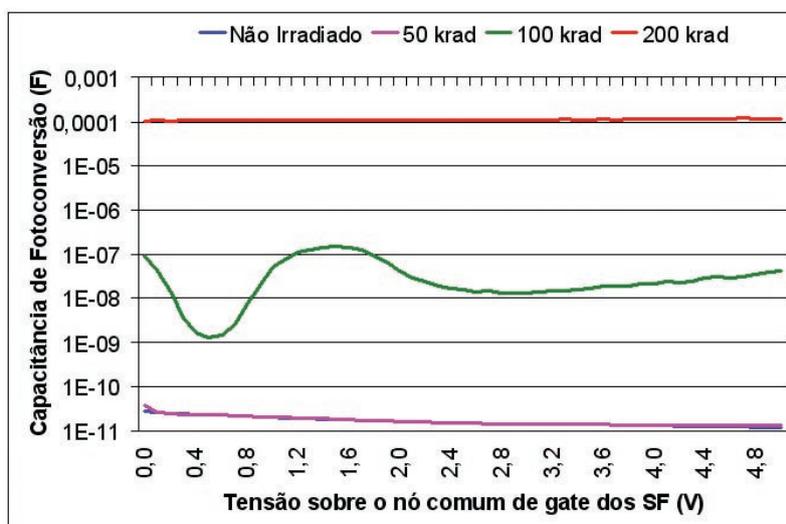


Figura 5.21: Capacitância de Fotoconversão para o pixel Shallow Convencional.

A Figura 5.21 mostra que para doses de até 50 krad as capacitâncias de fotoconversão resultantes da matriz com pixels do tipo Shallow Convencional sofreram pequenas variações, mantendo-se na faixa de dezenas de picofaraday. Contudo, para doses de 100 krad e 200 krad, essas variações passaram a se dar em ordens de grandeza, com os valores chegando, respectivamente, às ordens de grandeza de centenas de nanofaraday e centenas de microfaraday, como pode observado na escala logarít-

mica do eixo das ordenadas.

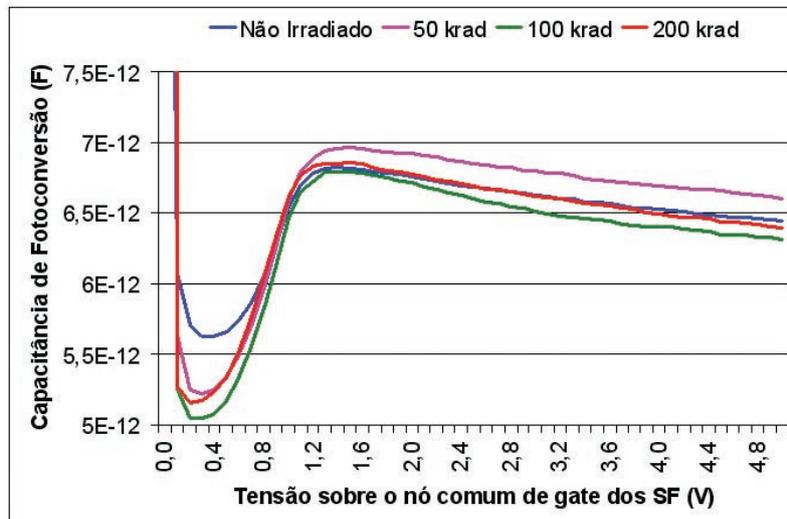


Figura 5.22: Capacitância de Fotoconversão para o pixel Shallow Resistente à Radiação.

O uso de estruturas de resistência à radiação (transistores concêntricos e anéis de guarda) reduziu as variações das capacitâncias de fotoconversão para a matriz com pixels do tipo Shallow Resistente à Radiação, como pode ser visto na Figura 5.22, mantendo essas capacitância em valores da ordem de unidades de picofaraday.

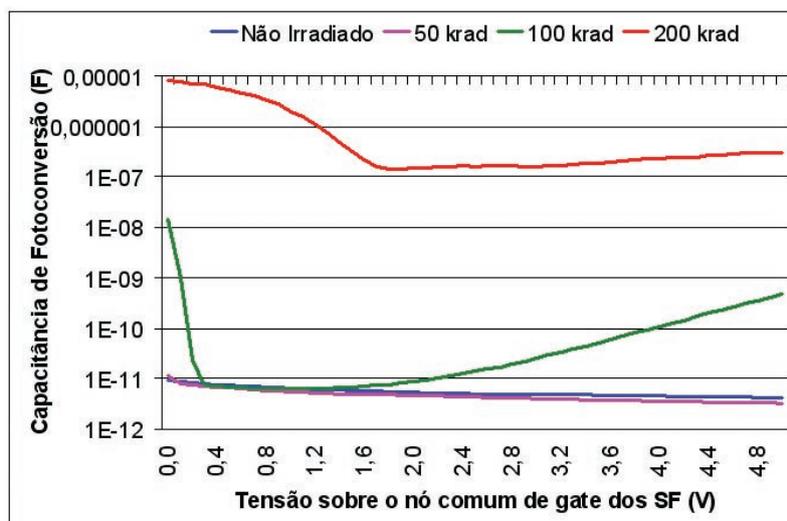


Figura 5.23: Capacitância de Fotoconversão para o pixel Deep Convencional.

Assim como ocorreu para a matriz baseada em pixels do tipo Shallow Resistente à Radiação (Figura 5.21), a Figura 5.23 mostra que, para doses de até 50 krad, as capacitâncias de fotoconversão resultantes da matriz com pixels do tipo Deep Convencional sofreram pequenas variações, neste caso, com valores na faixa de unidades de picofaraday. Contudo, para doses de 100 krad e 200 krad, essas variações passaram a se dar em ordens de grandeza, atingindo, respectivamente, as faixas de dezenas de nanofaraday e dezenas de microfaraday, como pode observado na escala logarítmica do eixo das ordenadas.

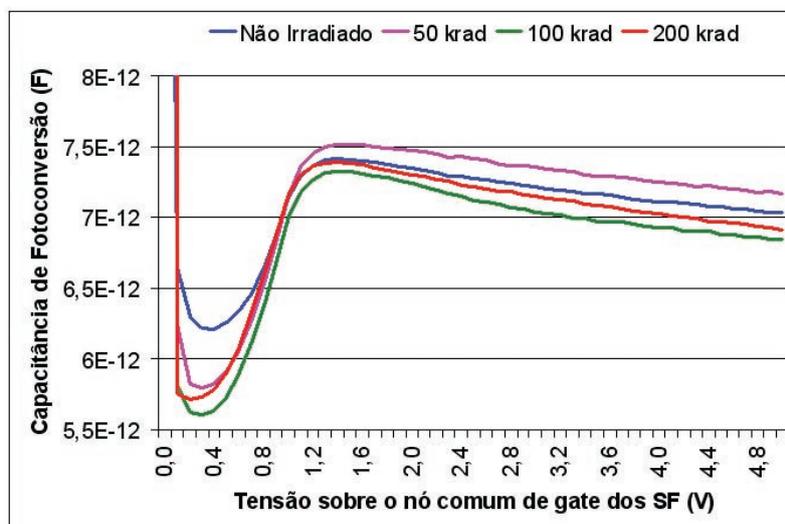


Figura 5.24: Capacitância de Fotoconversão para o pixel Deep Resistente à Radiação.

As variações das capacitância de fotoconversão para a matriz com pixels do tipo Deep Resistente à Radiação foram reduzidas em função do uso de transistores concêntricos e anéis de guarda. Estes resultados podem ser vistos na Figura 5.24, pela qual observa-se, também, que as capacitâncias de fotoconversão mantiveram-se em valores da ordem de unidades de picofaraday.

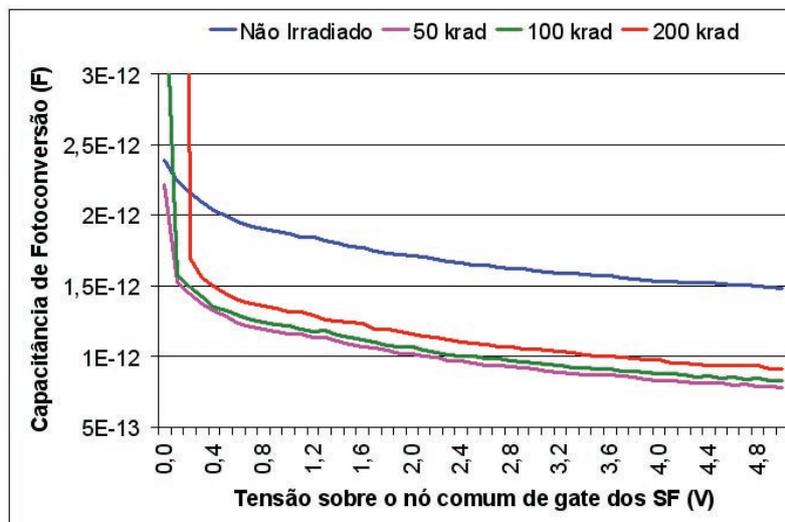


Figura 5.25: Capacitância de Fotoconversão para o pixel IMEC Convencional.

Como pode ser visto na Figura 5.25, o comportamento das capacitâncias de fotoconversão para a matriz com pixels do tipo IMEC Convencional foi aproximadamente o mesmo obtido para as matrizes com pixels resistentes à radiação (figuras 5.22, 5.24 e 5.26), apresentando reduzidas variações e valores da ordem de poucas unidades picofaraday.

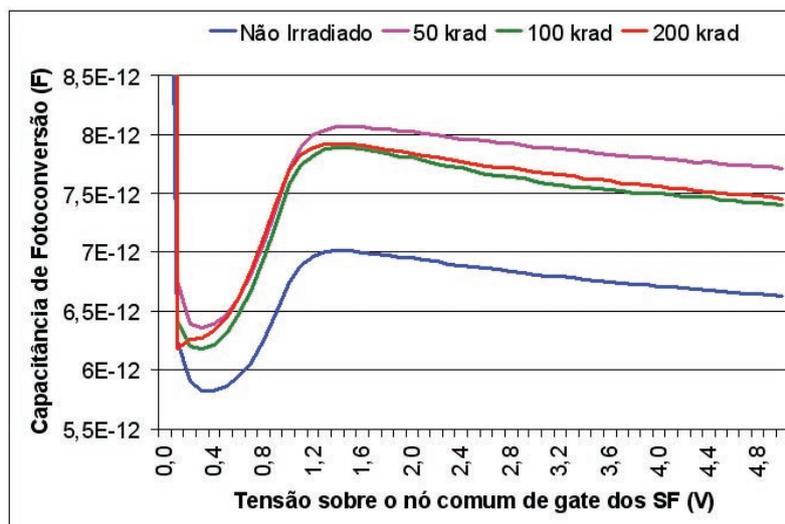


Figura 5.26: Capacitância de Fotoconversão para o pixel IMEC Resistente à Radiação.

Da mesma maneira como para as outras matrizes com pixels resistentes à radiação.

ção as capacitâncias de fotoconversão obtidas com a matriz com pixels do tipo IMEC Resistente à Radiação apresentaram pequenas variações, com os valores mantendo-se na ordem de unidades picofaraday, como pode ser visto na Figura 5.26.

A análise das figuras 5.21 a 5.26 mostra que as capacitâncias de fotoconversão dos pixels Shallow e Deep convencionais, para doses de até 50 krad, variaram pouco, com valores nas faixas de, respectivamente, dezenas e unidades de picofaraday. No caso do pixel Deep, os valores apresentam a mesma ordem de grandeza dos obtidos com sua versão resistente à radiação, sob esta mesma dose. Já, para doses a partir de 100 krad, percebe-se uma nítida diferença de comportamento entre as versões convencional e resistente à radiação. O eixo das ordenadas, em escala logarítmica, indica que as capacitâncias de fotoconversão variam em ordens de grandeza, com as doses de radiação, para as versões convencionais. No caso das versões resistentes à radiação, por outro lado, essas variações continuam, sendo muito pequenas, mantendo-se, inclusive, o comportamento das curvas. Isto se deve ao uso de transistores concêntricos e anéis de guarda, que aumentam a resistência aos efeitos da radiação.

A exceção foi o pixel IMEC, conforme mostram as figuras 5.25 e 5.26. As capacitâncias de fotoconversão variaram pouco, não apenas para a matriz com IMECs resistentes à radiação, mas para a matriz com IMECs convencionais, também. Além disso, os valores apresentados por esta última versão são menores do que os obtidos com a versão resistente à radiação. Este bom desempenho do pixel IMEC convencional para a capacitância de fotoconversão (pouca variação com a radiação e baixos valores) decorre do fato de seu elemento fotossensível e transistores apresentarem áreas, e conseqüentemente capacitâncias, reduzidas, tornando a estrutura do pixel mais resistentes aos efeitos da radiação.

Partindo dos mesmos resultados, as figuras 5.27 à 5.31 fazem uma outra análise, comparando as capacitâncias de fotoconversão dos diferentes pixels, em cada uma das doses de radiação aplicadas. Para os gráficos com matrizes irradiadas, considerou-se apenas aquelas baseadas em pixels resistentes à radiação e na versão convencional do pixel IMEC, em virtude dos resultados obtidos com as matrizes baseadas em pixels Shallow e Deep convencionais não terem sido satisfatórios, como visto, respectivamente, nas figuras 5.21 e 5.23.

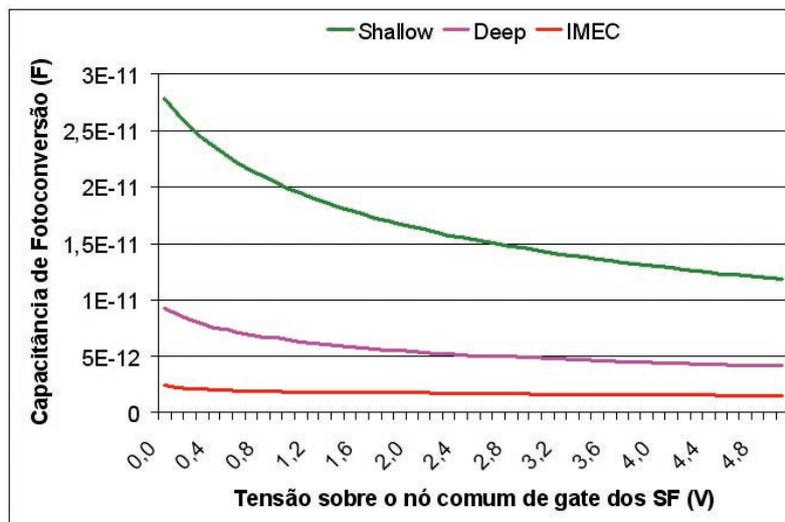


Figura 5.27: Capacitância de Fotoconversão para os pixels convencionais não irradiados.

A Figura 5.27 mostra que, dentre as matrizes com pixels convencionais, não irradiadas, a formada pela versão IMEC é a que apresenta as menores capacitâncias de fotoconversão. Tal resultado se deve às áreas reduzidas do elemento fotossensível e dos transistores convencionais utilizados nos pixels desta estrutura.

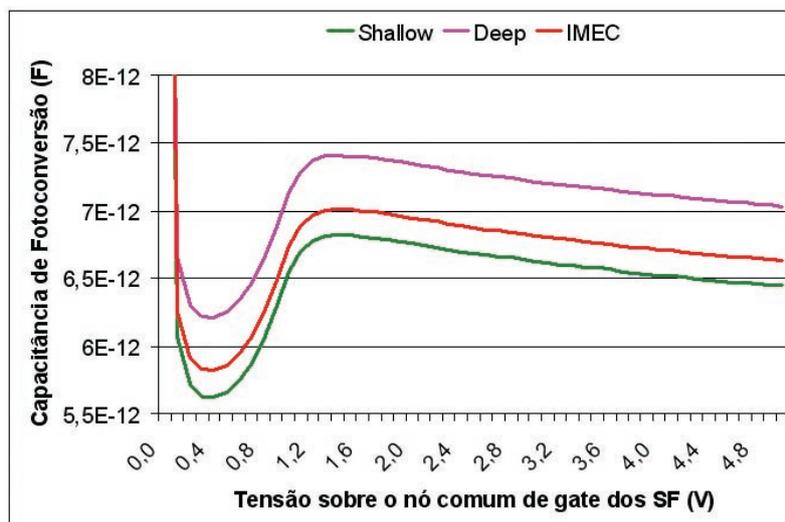


Figura 5.28: Capacitância de Fotoconversão para os pixels resistentes à radiação não irradiados.

Para as matrizes com pixels resistentes à radiação, não irradiadas, a Figura 5.28

mostra que as capacitâncias mais baixas foram obtidas com a versão Shallow.

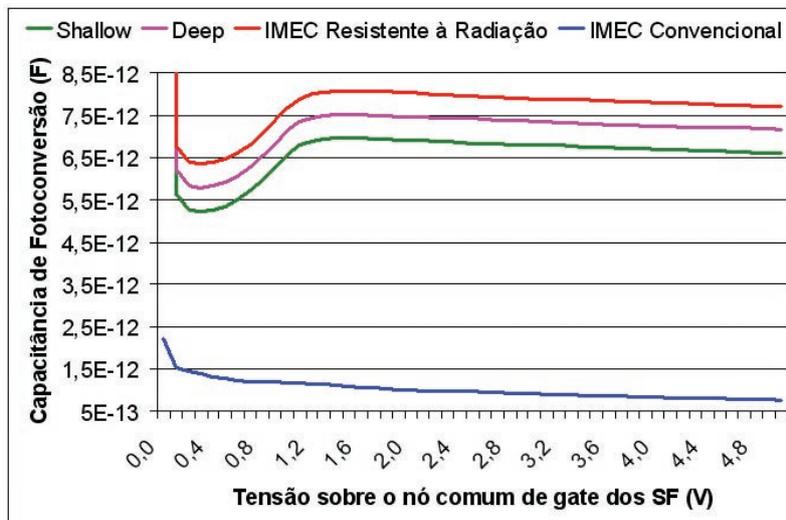


Figura 5.29: Capacitância de Fotoconversão para pixels irradiados (50 krad).

A matriz com pixels do tipo IMEC Convencional, sendo formada por elementos fotossensíveis e transistores convencionais, todos com áreas reduzidas, apresentou capacitâncias de fotoconversão muito menores do que as matrizes com pixels resistentes à radiação, para a dose de 50 krad, como mostra a Figura 5.29.

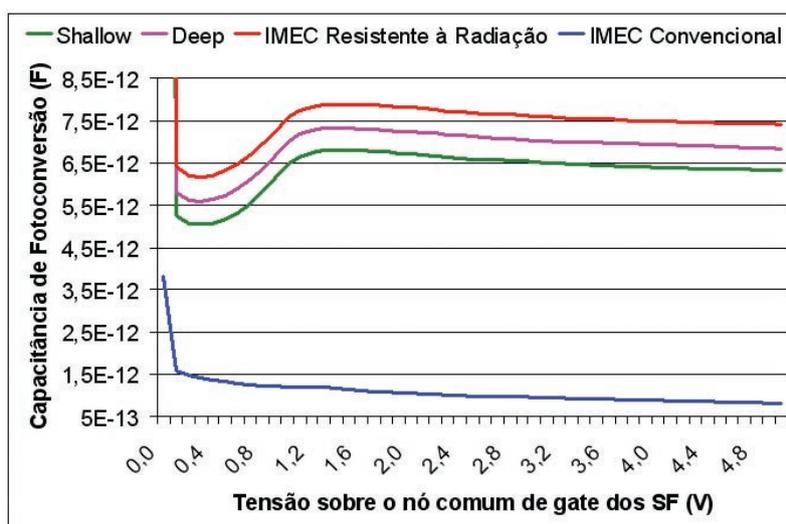


Figura 5.30: Capacitância de Fotoconversão para pixels irradiados (100 krad).

Da mesma forma como para a dose de 50 krad (Figura 5.29), a matriz com pi-

xels do tipo IMEC Convencional também apresentou capacitâncias de fotoconversão muito menores do que a obtida com as matrizes com pixels resistentes à radiação, para a dose de 100 krad, como mostra a Figura 5.30. Este resultado se deve ao uso transistores convencionais e elementos fotossensíveis de áreas reduzidas e, portanto, capacitâncias menores.

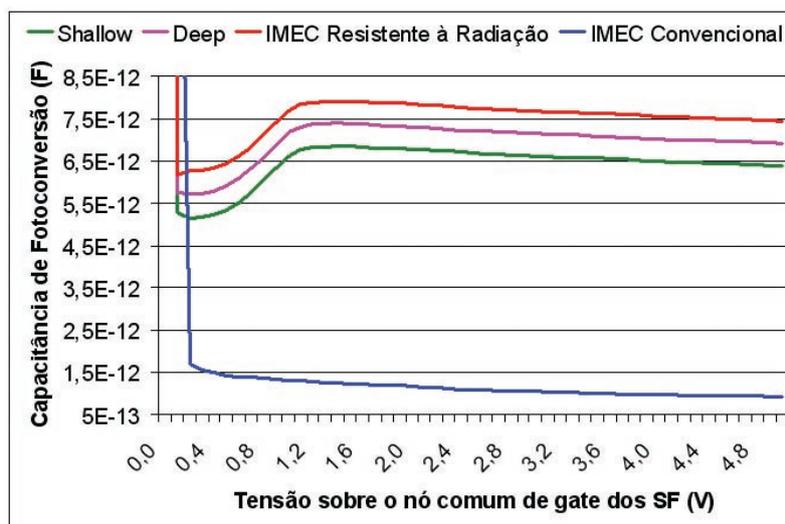


Figura 5.31: Capacitância de Fotoconversão para pixels irradiados (200 krad).

Novamente, para a dose de 200 krad, a matriz com pixels do tipo IMEC Convencional apresentou capacitâncias de fotoconversão menores do que as obtidas com as matrizes de pixels resistentes à radiação. Isto é consequência do uso de transistores convencionais e elementos fotossensíveis, que apresentam áreas reduzidas e, portanto, capacitâncias menores.

Os quatro sensores analisados (versões resistentes à radiação e IMEC Convencional) mostraram um bom comportamento quanto à capacitância de fotoconversão, diante das doses de radiação aplicadas, sempre mantendo-se na faixa de unidades de picofaraday. Entretanto, a matriz baseada em pixels IMEC convencionais apresentou valores menores para esta capacitância, em todas as doses, pelo fato deste pixel ser constituído por estruturas com áreas reduzidas (elemento fotossensível e transistores), o que lhe dá menores capacitâncias e uma melhor tolerância aos efeitos da radiação.

Um fato interessante a ser observado é que as curvas das capacitâncias de foto-

conversão dos pixels convencionais são as de uma capacitância de junção. Isso se deve à grande área de difusão do fotodiodo, que faz com que a sua capacitância, em paralelo com a capacitância de gate do transistor seguidor de fonte, reduzida por se tratar de um transistor convencional, prevaleça sobre esta. No caso dos pixels resistentes à radiação, a capacitância do elemento fotossensível fica isolada pelo transistor TX. Além disso, o fato do transistor seguidor de fonte, neste caso, ser concêntrico, faz com que a sua capacitância de gate seja elevada, determinando o comportamento da capacitância de fotoconversão; uma capacitância MOS. Contudo, percebe-se que as curvas das capacitâncias dos pixels resistentes à radiação apresentam uma queda suave, na região de inversão, que não é característica de uma capacitância MOS. Este efeito, na verdade, se deve à capacitância de junção da fonte do transistor de reset, ou do dreno do transistor TX. Estes transistores, por serem concêntricos, apresentam grandes áreas de difusão e, conseqüentemente, elevadas capacitâncias de junção. Assim, esta difusão que se encontra em paralelo com o gate do transistor seguidor de fonte, é capaz de modificar a capacitância MOS deste último, influenciando na capacitância de fotoconversão total.

As figuras 5.32 e 5.33 ilustram as capacitâncias de fotoconversão para os pixels convencional e resistente à radiação. Também são apresentados os layouts das duas versões de um pixel Shallow.

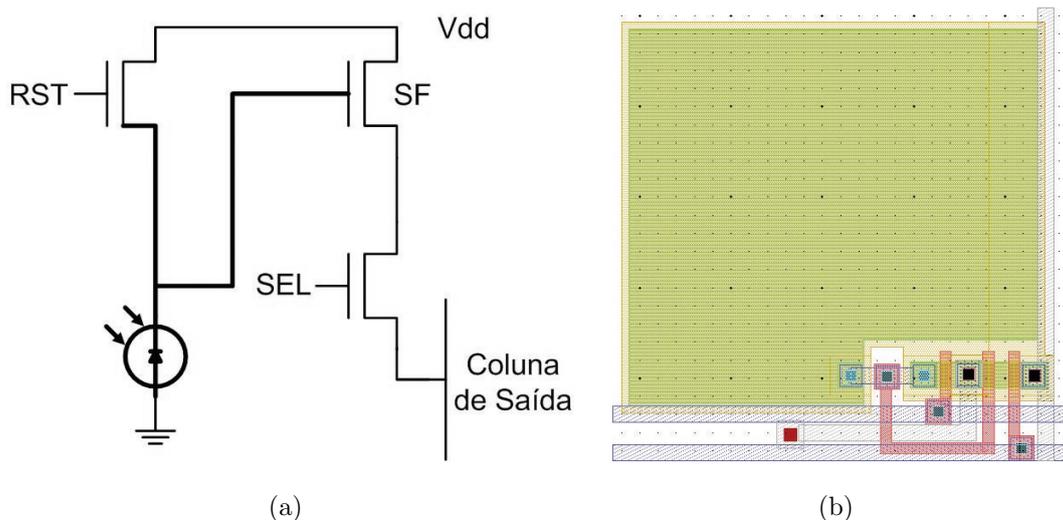


Figura 5.32: Capacitância de Fotoconversão de pixels convencionais. (a) Esquemático; (b) Layout.

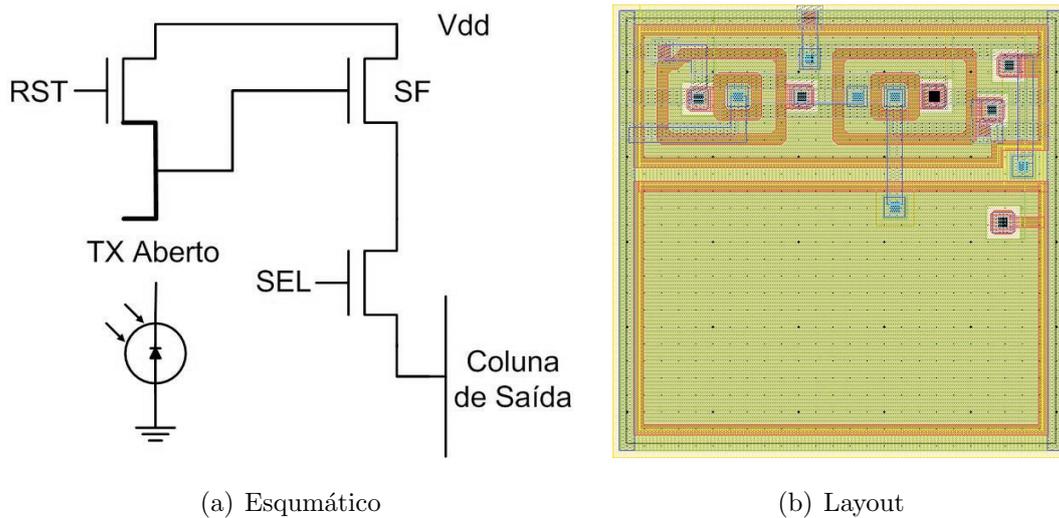


Figura 5.33: Capacitância de Fotoconversão de pixels resistentes à radiação (a) Esquemático; (b) Layout.

### Fotocorrente Gerada por Transistor Concêntrico

O fato dos transistores concêntricos apresentarem junções com grandes áreas e, conseqüentemente, capacitâncias elevadas, leva a crer que as mesmas possam funcionar como fotodiodos, capazes de, sob incidência luminosa, gerar fotocorrentes de valores consideráveis.

Para o levantamento da fotocorrente originada pela difusão de fonte do transistor de reset, ou de dreno do transistor TX, colocou-se o chip dentro de uma caixa metálica, especialmente construída para isolá-lo da incidência luminosa. Além disso, a chave TX foi mantida aberta, de modo a se evitar que o fotodiodo viesse a contribuir para a formação da fotocorrente. Posteriormente, o pixel foi iluminado, através de um orifício na caixa, ao qual prendeu-se um led, controlado por uma corrente em varredura, de  $0 \mu\text{A}$  a  $20 \text{mA}$ , em passos de  $0,5 \text{mV}$  (SMU2 do HP4145). A junção foi polarizada, através do nó comum de gate dos transistores seguidores de fonte, com uma tensão em varredura de  $0$  a  $5 \text{V}$ , com passos de  $1 \text{V}$ , e a fotocorrente foi extraída por este mesmo nó (SMU1 do HP4145).

O gráfico da Figura 5.34 mostra os valores das fotocorrentes obtidas com o pixel Shallow resistente à radiação. Também, para efeito de comparação, foram acrescentadas as curvas das fotocorrentes geradas pelo fotodiodo da versão convencional

deste mesmo pixel.

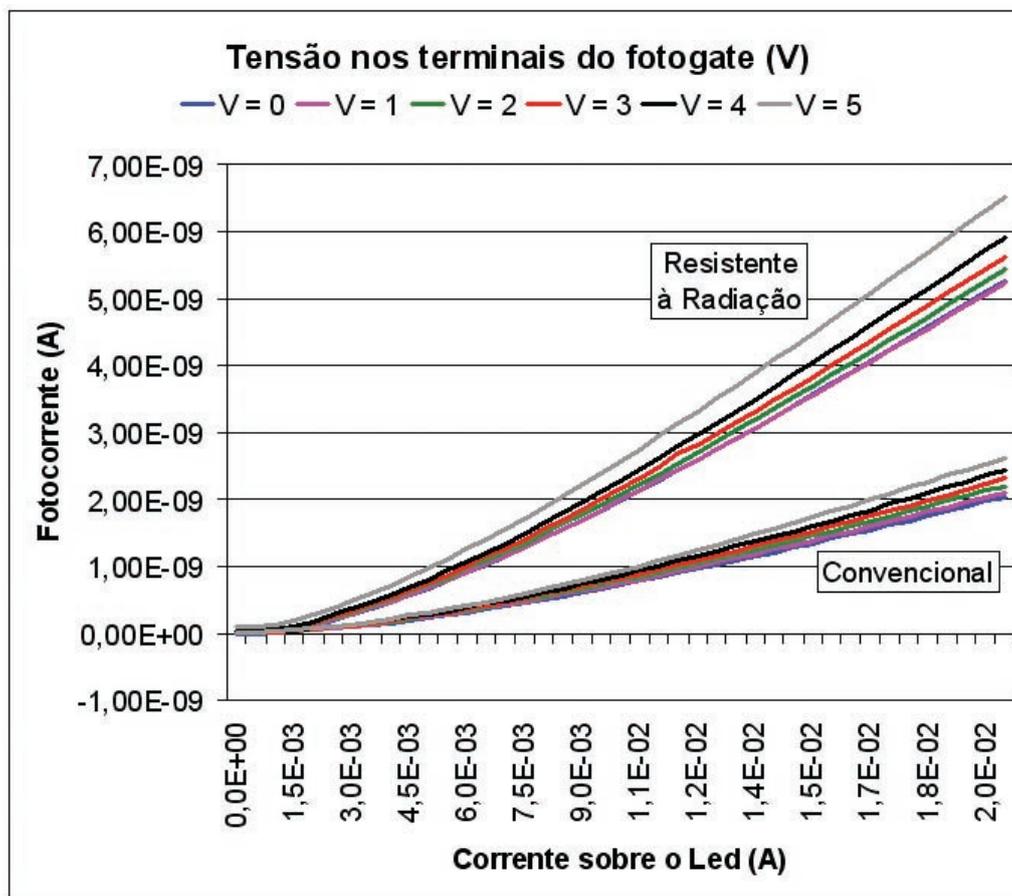


Figura 5.34: Comparação entre fotocorrentes geradas por um transistor concêntrico (pixel resistente à radiação) e por um fotodiodo de junção rasa (pixel convencional).

Pela análise do gráfico, pode-se notar que as fotocorrentes da difusão de fonte do transistor de reset, ou de dreno do transistor TX, do pixel resistente à radiação foram maiores do que o dobro das fotocorrentes geradas pelo fotodiodo do pixel convencional, apesar desta junção apresentar uma área maior do que a daquela. Este resultado confirma a hipótese de que as difusões de transistores concêntricos, sob incidência luminosa, comportam-se como fotodiodos capazes de gerar fotocorrentes bastante elevadas.

Uma outra informação interessante obtida através da análise dos resultados apresentados pelo gráfico da Figura 5.34 diz respeito à ineficácia da camada de metal 3 (terceiro nível de metal da tecnologia) na proteção contra a incidência luminosa, pois

a difusão de fonte do transistor de reset, ou de dreno do transistor TX, mesmo protegida por esta camada metálica, gerou uma fotocorrente bastante elevada. Com isso, pode-se concluir que a estrutura implementada para a caracterização dos sensores quanto ao ofuscamento (Seção 5.1.1) não é adequada.

# Capítulo 6

## Conclusões

Na presente dissertação fez-se a descrição do projeto de um chip, destinado à realização de testes para a caracterização de sensores APS resistentes à radiação.

A tecnologia de fabricação utilizada foi a 0.6  $\mu\text{m}$  CMOS CUP da Austria Microsystems (AMS), uma tecnologia totalmente comercial, sem nenhuma característica específica voltada para a resistência à radiação. A ferramenta CAD adotada foi o Cadence IC Virtuoso 4.4.5, configurado com o AMS HIT-KIT 3.3.0, fornecido pelo Circuits Multi-Projets (CMP). Assim, realizou-se o projeto de um chip de 2,5 mm  $\times$  2,5 mm, compatível com o encapsulamento JLCC68 do CMP, e que foi enviado no run A60C1-4 deste fabricante.

O chip foi projetado, fabricado e parcialmente caracterizado, com a realização de testes para o levantamento de alguns dos seus parâmetros elétricos, mais especificamente, corrente de escuro e capacitância de fotoconversão. Os resultados deste trabalho são discutidos a seguir.

Na Seção 4.2.3 mencionou-se sobre os fatores de preenchimento alcaçados com a implementação dos diversos pixels de teste. Estes fatores estão sintetizados na Tabela 6.1 para uma melhor análise.

	Convencional	Resistente à Radiação
Shallow	68,97%	49,42%
Deep	56,53%	49,42%
IMEC	“100%”	“100%”
Fotogate	61,38%	55,78%

Tabela 6.1: Fatores de preenchimento alcançados

A análise da Tabela 4.2.3 mostra que o uso de transistores concêntricos, maiores que os convencionais, e de anéis de guarda reduz o fator de preenchimento de pixels resistentes à radiação, em relação às suas versões convencionais.

O fato dos pixels Shallow e Deep resistentes à radiação apresentarem o mesmo fator de preenchimento leva a crer que o poço n não exerceu influência sobre este parâmetro, para as versões resistentes à radiação.

O pixel Fotogate apresentou um fator de preenchimento menor do que o do pixel Shallow, para as versões convencionais de ambos. Em contrapartida, esta relação foi invertida para as versões resistentes à radiação desses dois pixels. Isso se deve ao transistor TX, ausente na versão convencional (aumentando seu fator de preenchimento) e presente na versão resistente à radiação (reduzindo o mesmo fator) do pixel Shallow.

O fator de preenchimento do pixel Fotogate foi maior do que o do pixel Deep, para ambas as versões convencionais. Esta relação indica que o transistor TX pesou menos neste fator do que a inclusão do poço n.

Os resultados decorrentes da caracterização elétrica parcial do chip foram apresentados na Seção 5.2. Neste processo, levantou-se os parâmetros de corrente de escuro e de capacitância de fotoconversão das matrizes implementadas a partir dos pixels baseados em fotodiodos. As matrizes formadas por pixels do tipo Fotogate não foram caracterizadas, devido à complexidade desta tarefa, visto a necessidade de se pulsar a chave de transmissão das cargas fotogeradas - TX (Seção 2.4.2). Tal procedimento prolongaria ainda mais o trabalho de levantamento de parâmetros. Além disso, a caracterização dos sensores baseados em fotodiodos já se faz suficiente

para cumprir as metas propostas para o presente trabalho, ou seja, a verificação da funcionalidade das estruturas de teste implementadas, bem como, da eficácia dos elementos utilizados na proteção dos circuitos contra a radiação incidente.

Pela análise dos gráficos de corrente de escuro da Seção 5.2.1, pode-se notar que os sensores resistentes à radiação implementados são bastante confiáveis para operação sob doses de até 200 krad, com pequenas variações nos valores das correntes. Dentre as versões convencionais, o pixel IMEC mostrou ser tolerante a doses de até 100 krad, apresentando, inclusive, correntes de escuro menores do que as dos pixels resistentes à radiação.

Algumas curvas de correntes de escuro apresentaram resultados não esperados, sendo possíveis causas: a entrada dos fotodiodos na região de avalanche; danos na estrutura dos chips utilizados para o levantamento dessas curvas com anomalias; ou falhas decorrentes do próprio processo de caracterização, não incomuns, pelo fato da tarefa de levantamento de parâmetros ser bastante prolongada e minuciosa. O ideal teria sido realizar um maior número de medições, com o uso de outros exemplares do chip, para se obter valores médios das medidas. Contudo, além da limitação no número de exemplares disponibilizados pelo fabricante, o tempo necessário para a execução dos procedimentos de caracterização inviabiliza o levantamento de um número maior de medidas. Além disso, pode-se dizer que estes pequenos desvios nos resultados não chegaram a comprometer a realização da proposta do presente trabalho.

Quanto à capacitância de fotoconversão, os resultados da caracterização (Seção 5.2.2) mostram que os pixels resistentes à radiação reagiram bem a doses de até 200 krad. Os pixels Shallow e Deep convencionais foram tolerantes às doses de 50 krad, enquanto que o pixel IMEC convencional teve essa tolerância estendida para doses de até 200 krad, com capacitâncias menores que as dos pixels resistentes à radiação.

Assim, o fato de ter sido implementado com um fotodiodo de contato simples de junção profunda, juntamente com uma eletrônica de controle e leitura baseada em transistores convencionais de tamanho mínimo, faz do pixel IMEC convencional uma alternativa bastante atraente para aplicações que requeiram tolerância a doses de radiação de até 100 krad. A redução das áreas desta estrutura resulta em baixos valores de corrente de escuro e de capacitância de fotoconversão, menores, inclusive,

que os apresentados pelos pixels resistentes à radiação implementados.

Ainda tratando dos resultados relacionados à capacitância de fotoconversão (Seção 5.2.2), para os transistores convencionais, as curvas mostram o comportamento de uma capacitância de junção, a qual é decorrente, basicamente, do fotodiodo ligado ao nó de medição. No caso dos pixels resistentes à radiação, as curvas indicam a associação de uma capacitância MOS de valor elevado, a qual é oriunda do gate do transistor seguidor de fonte (concêntrico), com uma capacitância de junção, também de valor elevado, decorrente da grande área de difusão que forma a fonte do transistor (concêntrico) de reset (dreno do transistor TX). A Seção 5.2.2 mostrou que esta área de difusão, grande o suficiente para ter os seus efeitos perceptíveis no gráfico da capacitância MOS de um transistor concêntrico (gate do transistor seguidor de fonte), pode se comportar como um fotodiodo, com fotocorrentes mais do que duas vezes maiores que as apresentadas por um fotodiodo de um pixel convencional. Deste fato, ainda se pode concluir sobre a ineficácia da utilização de uma tampa de metal de terceiro nível no bloqueio da incidência luminosa, já que a mesma não conseguiu proteger a difusão de fonte do transistor de reset (dreno do transistor TX). Conseqüentemente, o procedimento proposto neste trabalho para a caracterização dos sensores quanto ao parâmetro de ofuscamento, baseado na bloqueio luminoso dos pixels de contorno de uma matriz  $3 \times 3$ , por uma tampa de metal 3, torna-se sem efeito.

O chip desenvolvido serviu de base para a realização de um primeiro protótipo contendo uma matriz de  $64 \times 64$  pixels. O mecanismo de leitura dos pixels conta com a implementação de dois decodificadores digitais, para endereçamento XY. Além disso, foram acrescentadas mais algumas matrizes de teste, inclusive com o uso de transistores NMOS com moldura PMOS.

# Referências Bibliográficas

- [1] FOSSUM, E. R., “Active Pixel Sensors: Are CCD’s Dinosaurs?”. In: *Proceedings of SPIE - Charge-Coupled Devices and Solid-State Optical Sensors III*, v. 1900, pp. 2–14, (San Jose, CA), Feb. 1993.
- [2] LITWILLER, D., “CCD vs. CMOS: The Battle Cools Off”. *Photonics Spectra*, 2002.
- [3] LITWILLER, D., “CMOS vs. CCD: Maturing Technologies, Maturing Markets”. *Photonics Spectra*, 2005.
- [4] LITWILLER, D., “CCD vs. CMOS: Facts and Fiction”. *Photonics Spectra*, 2001.
- [5] JANESICK, J., “Dueling Detectors: CCD or CMOS?”. *SPIE’s OEMagazine*, 2002.
- [6] KOZLOWSKI, L. J., LUO, J., TOMASINI, A., “Performance Limits in Visible and Infrared Imager Sensors”. In: *Technical Digest of the International Electron Devices Meeting (IEDM)*, pp. 867–870, (Washington, DC, USA), Dec. 1999.
- [7] STEFANOV, K. D., TSUKAMOTO, T., MIYAMOTO, A., et al., “Electron and neutron radiation damage effects on a two-phase ccd”. *IEEE Transactions on Nuclear Science*, v. 47, n. 3-4, pp. 1280–1291, 2000.
- [8] DA SILVA, V. C., DORNELLES, L. T., CANAZIO, P. P. L. M., “Radiation-Tolerant CMOS APS Arrays”. In: *Proceedings of the Nineteenth International Symposium on Technology and Devices (SBMICRO)*, v. 3, pp. 195–200, (Porto de Galinhas, PE, Brasil), Sep. 2004.

- [9] BOGAERTS, J., DIERICKX, B., MEYNANTS, G., et al., “Total Dose and Displacement Damage Effects in a Radiation-Hardened CMOS APS”. *IEEE Transactions on Electron Devices*, v. 50, n. 1, pp. 84–90, 2003.
- [10] D. LUNARDINI, B. NARASIMHAM, V. RAMACHANDRAN, et al., “A Performance Comparison between Hardened-by-Design and Conventional-Design Standard Cells”. *Workshop on Radiation Effects on Components and Systems (RADECS)*, 2004.
- [11] LACOE, R. C., OSBORN, J. V., KOGA, R., et al., “Application of Hardness-by-Design Methodology to Radiation-Tolerant ASIC Technologies”. *IEEE Transactions on Nuclear Science*, v. 47, n. 6, pp. 2334–2341, 2000.
- [12] LACOE, R. C., OSBORN, J. V., MAYER, D. C., et al., “Total-Dose Tolerance of the Commercial American Microsystems Inc. (AMI) 0.35- $\mu\text{m}$  CMOS Process”. In: *Proceedings of the 6th European Conference on Radiation and Its Effects on Components and Systems (RADECS)*, pp. 464–468, Sep. 2001.
- [13] LACOE, R. C., OSBORN, J. V., MAYER, D. C., et al., “Total-Dose Tolerance of the commercial Taiwan Semiconductor Manufacturing Company (TSMC) 0.35- $\mu\text{m}$  CMOS process”. In: *Proceedings of Radiation Effects Data Workshop*, pp. 72–76, Jul. 2001.
- [14] MORRISON, S., “A New Type of Photosensitive Junction Device”. *Solid-State Electron*, v. 5, pp. 485–494, 1963.
- [15] HORTON, J., MAZZA, R., DYM, H., “The Scanistor - A Solid-State Image Scanner”. In: *Proceedings of the IEEE*, v. 52, pp. 1513–1528, Dec. 1964.
- [16] SCHUSTER, M. A., STRULL, G., “A Monolithic Mosaic of Proton Sensors for Solid State Imaging Applications”. *IEEE Transactions on Electron Devices*, v. 13, pp. 907–912, 1966.
- [17] WECKLER, G., “Operation of p-n Junction Detectors in a Photon Flux Integrating Mode”. *IEEE Journal of Solid-State Circuits*, v. 2, n. 3, pp. 65–73, 1967.
- [18] NOBLE, P., “Self-Scanned Silicon Image Detector Arrays”. *IEEE Transactions on Electron Devices*, v. 15, n. 4, pp. 202–209, 1968.

- [19] CHAMBERLAIN, S. G., “Photosensitivity and Scanning of Silicon Image Detector Arrays”. *IEEE Journal of Solid-State Circuits*, v. 4, n. 6, pp. 333–342, 1969.
- [20] BOYLE, W. S., SMITH, G. E., “Charge-Coupled Semiconductor Devices”. *Journal of Bell System Technical*, v. 49, pp. 587–593, 1970.
- [21] OHBA, S., NAKAI, M., ANDO, H., et al., “MOS Area Sensor: Part II - Low-Noise MOS Area Sensor with Antiblooming Photodiodes”. *IEEE Journal of Solid-State Circuits*, v. 15, n. 4, pp. 747–752, 1980.
- [22] SENDA, K., TERAOKAWA, S., HIROSHIMA, Y., et al., “Analysis of Charge-Priming Transfer Efficiency in CPD Image Sensors”. *IEEE Transactions on Electron Devices*, v. 31, n. 9, pp. 1324–1328, 1984.
- [23] MELEN, R., “The Tradeoff in Monolithic Image Sensors: MOS versus CCD”. *Electron.*, v. 46, pp. 106–111, 1973.
- [24] ANDO, H., OHBA, S., NAKAI, M., et al., “Design Consideration and Performance of a New MOS Imaging Device”. *IEEE Transactions on Electron Devices*, v. 32, n. 8, pp. 1484–1489, 1985.
- [25] DENYER, P., RENSHAW, D., WANG, G., et al., “On-Chip CMOS Sensors for VLSI Imaging Systems”. In: *Proceedings of VLSI-91*, pp. 157–166, (Edinburgh, Scotland), Aug. 1991.
- [26] ARDESHIRPOUR, Y., DEEN, M. J., SHIRANI, S., “Two-Dimensional CMOS-Based Image Sensor System for Fluorescent Detection”. *Canadian Journal of Electrical and Computer Engineering*, v. 29, n. 4, pp. 231–235, 2004.
- [27] SONCINI, G., ZEN, M., RUDAN, M., et al., “On the Electro-Optical Characteristics of CMOS Compatible Photodiodes”. In: *Proceedings of the 6th Mediterranean Electrotechnical Conference*, v. 1, pp. 111–113, (Ljubljana, Slovenia), May. 1991.
- [28] DELBRÜCK, T., *Investigations of Visual Transduction and Motion Processing*. PhD thesis, California Institute of Technology, Pasadena, California, 1993.

- [29] SHCHERBACK, I., YADID-PECHT, O., “Photoresponse Analysis and Pixel Shape Optimization for CMOS Active Pixel Sensors”. *IEEE Transactions on Electron Devices*, v. 50, n. 1, pp. 12–18, 2003.
- [30] KLEINFELDER, S., BIESER, F., CHEN, Y., “Novel Integrated CMOS Sensor Circuits”. *IEEE Transactions on Nuclear Science*, v. 51, n. 5, pp. 2328–2336, 2004.
- [31] MENDIS, S. K., KEMENY, S. E., FOSSUM, E. R., “A 128 X 128 CMOS Active Pixel Image Sensor for Highly Integrated Imaging Systems”. In: *Technical Digest of The International Electron Devices Meeting*, pp. 583–585, (Washington, DC, USA), Dec. 1993.
- [32] MENDIS, S. K., KEMENY, S. E., FOSSUM, E. R., “CMOS Active Pixel Image Sensor”. *IEEE Transactions on Electron Devices*, v. 41, n. 3, pp. 452–453, 1994.
- [33] MENDIS, S. K., KEMENY, S. E., GEE, R. C., et al., “CMOS Active Pixel Image Sensors for Highly Integrated Imaging Systems”. *IEEE Journal of Solid-State Circuits*, v. 32, n. 2, pp. 187–197, 1997.
- [34] PONCE-PONCE, V. H., GOMEZ-CASTAÑEDA, F., MORENO-CADENAS, J. A., et al., “Macromodel for CMOS Photogate-Type Active Pixel Sensors”. In: *Proceedings of the 2nd International Conference on Electrical and Electronics Engineering (ICEEE)*, pp. 231–234, Sep. 2005.
- [35] LULÉ, T., BENTHIEN, S., KELLER, H., et al., “Sensitivity of CMOS Based Imagers and Scaling Perspectives”. *IEEE Transactions on Electron Devices*, v. 47, pp. 2110–2122, Nov. 2000.
- [36] CAMBERLAIN, S. G., LEE, J. P. Y., “A Novel Wide Dynamic Range Silicon Photodetector and Linear Imaging Array”. *IEEE Journal of Solid-State Circuits*, v. 19, n. 1, pp. 41–48, 1984.
- [37] MEAD, C., “A Sensitive Electronic Photoreceptor”. In: *Proceedings of the Chapel Hill Conference on VLSI*, pp. 463–471, (Rockville, Maryland, USA), 1985.

- [38] MANN, J., “Implementing Early Visual Processing in Analog VLSI: Light Adaptation”. In: *Proceedings of SPIE - Visual Information Processing: From Neurons to Chips*, v. 1473, pp. 128–136, Jul. 1991.
- [39] VITTOZ, E. A., “Future of Analog in The VLSI Environment”. In: *Proceedings of the IEEE International Symposium on Circuits and Systems*, v. 2, pp. 1372–1375, (New Orleans, LA, USA), May. 1990.
- [40] MARSHALL, G. F., JACKSON, J. C., DENTON, J., et al., “Avalanche Photodiode-Based Active Pixel Imager”. *IEEE Transactions on Electron Devices*, v. 51, n. 3, pp. 509–511, 2004.
- [41] CHOUBEY, B., AOYOMA, S., OTIM, S., et al., “An Electronic-Calibration Scheme for Logarithmic CMOS Pixels”. *IEEE Sensors Journal*, v. 6, n. 4, pp. 950–956, 2006.
- [42] ELKHATIB, T. A., MOUSSA, S., RAGAIE, H. F., et al., “A Test Structure for Characterization of CMOS APS”. In: *Proceedings of the 15th International Conference on Microelectronics*, pp. 151–154, Dec. 2003.
- [43] JOSEPH, D., COLLINS, S., “Modeling, Calibration, and Rendition of Color Logarithmic CMOS Image Sensors”. *IEEE Transactions on Instrumentation and Measurement*, v. 52, n. 5, pp. 1581–1587, 2003.
- [44] STORM, G., HENDERSON, R., HURWITZ, J. E. D., et al., “Extended Dynamic Range from a Combined Linear-Logarithmic CMOS Image Sensor”. *IEEE Journal of Solid-State Circuits*, v. 41, n. 9, pp. 2095–2106, 2006.
- [45] HARA, K., KUBO, H., KIMURA, M., et al., “A Linear-Logarithmic CMOS Sensor with Offset Calibration Using an Injected Charge Signal”. In: *Digest of Technical Papers of the IEEE International Solid-State Circuits Conference (ISSCC)*, v. 1, pp. 354–603, Feb. 2005.
- [46] IZADI, M. H., KARIM, K. S., “Pixel Architectures for Digital X-Ray Mammography in Crystalline Silicon Technology”. In: *Proceedings of the Canadian Conference on Electrical and Computer Engineering*, v. 3, pp. 1719–1722, May 2004.

- [47] LAI, L. W., LAI, C. H., KING, Y. C., “A Novel Logarithmic Response CMOS Image Sensor with High Output Voltage Swing and In-Pixel Fixed-Pattern Noise Reduction”. *IEEE Sensors Journal*, v. 4, n. 1, pp. 122–126, 2004.
- [48] PAIN, B., YANG, G., CUNNINGHAM, T. J., et al., “An Enhanced-Performance CMOS Imager with a Flushed-Reset Photodiode Pixel”. *IEEE Transactions on Electron Devices*, v. 50, n. 1, pp. 48–56, 2003.
- [49] TOMPSETT, M. F., “Charge Transfer Devices”. *Journal of Vacuum Science and Technology*, v. 9, n. 4, pp. 1166–1181, 1972.
- [50] SUNI, P. P., “CCD Wafer Scale Integration”. In: *Proceedings of the Seventh Annual IEEE International Conference on Wafer Scale Integration*, pp. 123–133, (San Francisco, CA, USA), Jan. 1995.
- [51] LINDGREN, L., MELANDER, J., JOHANSSON, R., et al., “A Multiresolution 100-GOPS 4-Gpixels/s Programmable Smart Vision Sensor for Multisense Imaging”. *IEEE Journal of Solid-State Circuits*, v. 40, n. 6, pp. 1350–1359, 2005.
- [52] NI, Y., “Smart Image Sensing in CMOS Technology”. In: *IEE Proceedings of Circuits, Devices and Systems*, v. 152, pp. 547–555, Oct. 2005.
- [53] TAKAMI, R., SHIMONOMURA, K., KAMEDA, S., et al., “An Image Pre-Processing System Employing Neuromorphic 100”. In: *IEEE International Symposium on Circuits and Systems*, v. 3, pp. 2771–2774, May 2005.
- [54] ELOUARDI, A., BOUAZIZ, S., DUPRET, A., et al., “Image Processing Vision System Implementing a Smart Sensor”. In: *Proceedings of the 21st IEEE Instrumentation and Measurement Technology Conference*, v. 1, pp. 445–450, May. 2004.
- [55] KIM, D., LIM, S., HAN, G., “Single-Chip Eye Tracker Using Smart CMOS Image Sensor Pixels”. *Analog Integrated Circuits and Signal Processing*, v. 45, n. 2, pp. 131–141, 2005.
- [56] KAMEDA, S., YAGI, T., “An Analog Silicon Retina with Multichip Configuration”. *IEEE Transactions on Neural Networks*, v. 17, n. 1, pp. 197–210, 2006.

- [57] NELSON, G. R., JULLIEN, G. A., YADID-PECHT, O., “CMOS Image Sensor with Watermarking Capabilities”. In: *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS)*, v. 5, pp. 5326–5329, May 2005.
- [58] GINHAC, D., PRASETYO, E., PAINDAVOINE, M., et al., “Principles of a CMOS Sensor Dedicated to Face Tracking and Recognition”. In: *Proceedings of the Seventh International Workshop on Computer Architecture for Machine Perception (CAMP)*, pp. 33–38, Jul. 2005.
- [59] CONSTANDINO, T. G., TOUMAZOU, C., “A Micropower Centroiding Vision Processor”. *IEEE Journal of Solid-State Circuits*, v. 41, n. 6, pp. 1430–1443, 2006.
- [60] JI, H., ABSHIRE, P. A., URDANETA, M., et al., “CMOS Contact Imager for Monitoring Cultured Cells”. In: *Proceedings of the IEEE International Symposium on Circuits and Systems*, v. 4, pp. 3491–3494, May 2005.
- [61] GONZALEZ, J. L., SADOWSKI, D., KALER, K. V. I. S., et al., “A CMOS Imager for Light Blobs Detection and Processing”. In: *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS)*, v. 1, pp. 568–571, May 2005.
- [62] MANARESI, N., ROMANI, A., MEDORO, G., et al., “A CMOS Chip for Individual Cell Manipulation and Detection”. *IEEE Journal of Solid-State Circuits*, v. 38, n. 12, pp. 2297–2305, 2003.
- [63] XU, C., LI, J., WANG, Y., et al., “A CMOS-Compatible DNA Microarray Using Optical Detection Together with a Highly Sensitive Nanometallic Particle Protocol”. *IEEE Electron Device Letters*, v. 26, n. 4, pp. 240–242, 2005.
- [64] TOKUDA, T., NG, D. C., YAMAMOTO, A., et al., “A CMOS Optical/Potential Image Sensor with 7.5  $\mu\text{m}$  Pixel Size for On-Chip Neural and DNA Spot Sensing”. In: *Proceedings of the 27th Annual International Conference of the Engineering in Medicine and Biology Society (IEEE-EMBS)*, pp. 7269–7272, Sep. 2005.
- [65] DAVENPORT, M., TITUS, A. H., TEHAN, E. C., et al., “Chemical Sensing Systems Using Xerogel-Based Sensor Elements and CMOS Photodetectors”. *IEEE Sensors Journal*, v. 4, pp. 180–188, Apr. 2004.

- [66] DAVENPORT, M., TITUS, A. H., TEHAN, E. C., et al., “Chemical Sensor Systems Using Xerogels and CMOS Detectors”. In: *Proceedings of IEEE Sensors*, v. 2, pp. 1297–1300, Oct. 2003.
- [67] TABET, M., HORNSEY, R., “CMOS Image Sensor Camera with Focal Plane Edge Detection”. In: *Proceedings of the Canadian Conference on Electrical and Computer Engineering*, v. 2, pp. 1129–1133, (Toronto, Ont., Canada), May 2001.
- [68] SOHN, S. M., KIM, M. G., KIM, S., “A CMOS Image Sensor (CIS) with Low Power Motion Detection for Security Camera Applications”. In: *Proceedings of the IEEE International Conference on Consumer Electronics*, pp. 250–251, Jun. 2003.
- [69] MILIRUD, V., FLESHEL, L., ZHANG, W., et al., “A Wide Dynamic Range CMOS Active Pixel Sensor with Frame Difference”. In: *Proceedings of the IEEE International Symposium on Circuits and Systems*, v. 1, pp. 588–591, May 2005.
- [70] CLAPP, M. A., ETIENNE-CUMMINGS, R., “A Dual Pixel-Type Array for Imaging and Motion Centroid Localization”. *IEEE Sensors Journal*, v. 2, n. 6, pp. 529–548, 2002.
- [71] MIZUNO, S., FUJITA, K., YAMAMOTO, H., et al., “A  $256 \times 256$  Compact CMOS Image Sensor with On-Chip Motion Detection Function”. *IEEE Journal of Solid-State Circuits*, v. 38, n. 6, pp. 1072–1075, 2003.
- [72] TAKAYANAGI, I., SHIRAKAWA, M., MITANI, K., et al., “A 1.25-inch 60-Frames/s 8.3-M-Pixel Digital-Output CMOS Image Sensor”. *IEEE Journal of Solid-State Circuits*, v. 40, n. 11, pp. 2305–2314, 2005.
- [73] TAKAYANAGI, I., SHIRAKAWA, M., MITANI, K., et al., “A 1 1/4 inch 8.3M Pixel Digital Output CMOS APS for UDTV Application”. In: *Proceedings of the IEEE International Solid-State Circuits Conference (ISSCC)*, v. 1, pp. 216–217, Feb. 2003.
- [74] KOZLOWSKI, L. J. ROSSI, G., BLANQUART, L. et al., “Pixel Noise Suppression Via SoC Management of Tapered Reset in a  $1920 \times 1080$  CMOS

- Image Sensor”. *IEEE Journal of Solid-State Circuits*, v. 40, n. 12, pp. 2766–2776, 2005.
- [75] KRYMSKI, A. I., BOCK, N. E., NIANRONG, T., et al., “A High-Speed, 240-Frames/s, 4.1-Mpixel CMOS Sensor”. *IEEE Transactions on Electron Devices*, v. 50, n. 1, pp. 130–135, 2003.
- [76] KOZLOWSKI, L. J. ROSSI, G., BLANQUART, L. et al., “A Progressive 1920 × 1080 Imaging System-on-Chip for HDTV Cameras”. In: *Proceedings of the IEEE International Solid-State Circuits Conference (ISSCC)*, v. 1, pp. 358–359, Feb. 2005.
- [77] XU, C., CHAN, M., “The Approach to Rail-to-Rail CMOS Active Pixel Sensor for Portable Applications”. In: *Proceedings of IEEE Region 10 International Conference on Electrical and Electronic Technology (TENCON)*, v. 2, pp. 834–837, 2001.
- [78] STOPPA, D., SIMONI, A., GONZO, L. et al., “Novel CMOS Image Sensor with a 132-dB Dynamic Range”. *IEEE Journal of Solid-State Circuits*, v. 37, n. 12, pp. 1846–1852, 2002.
- [79] LIEBE, C. C., PADGETT, C., CHAPSKY, J., et al., “Spacecraft Hazard Avoidance Utilizing Structured Light”. In: *Proceedings of the IEEE Aerospace Conference*, pp. 1–10, Mar 2006.
- [80] SROUR, J. R., MCGARRITY, J. M., “Radiation Effects on Microelectronics in Space”. In: *Proceedings of the IEEE*, v. 76, pp. 1443–1469, Nov. 1988.
- [81] PEASE, R. L., JOHNSTON, A. H., AZAREWICZ, J. L., “Radiation Testing of Semiconductor Devices for Space Electronics”. In: *Proceedings of the IEEE*, v. 76, pp. 1510–1526, Nov. 1988.
- [82] LIEBE, C. C., ALKALAI, L., DOMINGO, G., et al., “Micro APS Based Star Tracker”. In: *Proceedings of the IEEE Aerospace Conference*, v. 5, pp. 2285–2299, Mar. 2002.
- [83] EID, E. S., CHAN, T. Y., FOSSUN, E. R., et al., “Design And Characterization of Ionizing Radiation-Tolerant CMOS APS Image Sensors Up to 30

- Mrd (Si) Total Dose”. *IEEE Transactions on Nuclear Science*, v. 48, n. 6-1, pp. 1796–1806, 2001.
- [84] YADID-PECHT, O., PAIN, B., STALLER, C., et al., “CMOS Active Pixel Sensor Star Tracker with Regional Electronic Shutter”. *IEEE Journal of Solid-State Circuits*, v. 32, Feb. 1997.
- [85] LIEBE, C. C., DENNISON, E. W., HANCOCK, B., et al., “Active Pixel Sensor (APS) Based Star Tracker”. In: *Proceedings of IEEE Aerospace Conference*, v. 1, pp. 119–127, (Aspen, CO, USA), Mar. 1998.
- [86] AU ROUSSEAU, G. L., BOSTEL, J., MAZARI, B., “Star Recognition Algorithm for APS Star Tracker: Oriented Triangles”. *IEEE Aerospace and Electronic Systems Magazine*, v. 20, n. 2, pp. 27–31, 2005.
- [87] JEREBETS, S., “Star Tracker Focal Plane Evaluation for the JIMO Mission”. In: *Proceedings of the IEEE Aerospace Conference*, pp. 1–6, Mar. 2006.
- [88] MOBASSER, S., LIEBE, C. C., “MEMS Based Sun Sensor on a Chip”. In: *Proceedings of the IEEE Conference on Control Applications*, v. 1, pp. 1483–1487, Jun. 2003.
- [89] LEIJTENS, J., DE BOOM, K., VAN DER HEIDEN, N., “Micro Systems Technology: The Way to Shrink Sun sensors”. In: *Proceedings of the International Conference on MEMS, NANO and Smart Systems, ICMENS*, pp. 193–194, Jul. 2005.
- [90] LIEBE C. C., ALKALAI, L., DOMINGO, G., et al., “Micro APS Based Star Tracker”. In: *Proceedings of the IEEE Aerospace Conference*, v. 5, pp. 2285–2299, 2002.
- [91] DEFISE, J. M., LECAT, J. H., STOCKMAN, Y., et al., “SWAP and LYRA: Space Weather from a Small Spacecraft”. In: *Proceedings of 2nd International Conference on Recent Advances in Space Technologies (RAST)*, pp. 793–798, Jun. 2005.
- [92] MATIS, H. S., BIESER, F., KLEINFELDER, S., et al., “Charged Particle Detection Using a CMOS Active Pixel Sensor”. *IEEE Transactions on Nuclear Science*, v. 50, n. 4-1, pp. 1020–1025, 2003.

- [93] TAKAYANAGI, I., NAKAMURA, J., FOSSUM, E. R., et al., “Dark Current Reduction in Stacked-Type CMOS-APS for Charged Particle Imaging”. *IEEE Transactions on Electron Devices*, v. 50, n. 1, pp. 70–76, 2003.
- [94] DEGERLI, Y., DEPTUCH, G., FOURCHES, N., et al., “A Fast Monolithic Active Pixel Sensor with Pixel-Level Reset Noise Suppression and Binary Outputs for Charged Particle Detection”. *IEEE Transactions on Nuclear Science*, v. 52, n. 6-2, pp. 3186–3193, 2005.
- [95] PASSERI, G., PLACIDI, P., VERDUCCI, L., et al., “High-Resolution CMOS Particle Detectors: Design and Test Issues”. In: *Proceedings of the IEEE Nuclear Science Symposium Conference Record*, v. 1, pp. 331–334, Oct. 2003.
- [96] MATIS, H. S., BIESER, F., KLEINFELDER, S., et al., “A CMOS Active Pixel Sensor for Charged Particle Detection”. In: *Proceedings of the IEEE Nuclear Science Symposium Conference Record*, v. 1, pp. 259–263, Nov. 2002.
- [97] DULINSKI, W., DEPTUCH, G., GORNUSHKIN, Y., et al., “Radiation Hardness Study of an APS CMOS Particle Tracker”. In: *Proceedings of the IEEE Nuclear Science Symposium Conference Record*, v. 1, pp. 100–103, Nov. 2001.
- [98] TAKAYANAGI, I., NAKAMURA, J., EID, E. S., et al., “A Low Dark Current Stacked CMOS-APS for Charged Particle Imaging”. In: *Proceedings of the International Electron Devices Meeting*, pp. 24.2.1–24.2.4, (Washington, DC, USA), Dec. 2001.
- [99] MARRAS, A., PASSERI, D., PLACIDI, P., et al., “CMOS-APS for HEP Applications: Design and Test of Innovative Architectures”. In: *Proceedings of the IEEE Nuclear Science Symposium Conference Record*, v. 3, pp. 1427–1430, Oct. 2005.
- [100] KIM, K. H., CHAE, J. S., YUK, S. W., et al., “Evaluation of CMOS APS Imager for Digital Radiography and Mammography”. In: *Proceedings of the IEEE Nuclear Science Symposium Conference Record*, v. 5, pp. 3190–3194, Oct. 2003.
- [101] SAFAVIAN, N., LAI, J., ROWLANDS, J., et al., “Threshold Voltage Shift Compensated Active Pixel Sensor Array for Digital X-Ray Imaging in a-Si Technology”. *Electronics Letters*, v. 41, n. 7, pp. 411–412, 2005.

- [102] KIM, K. H., CHO, G., “The Effect of Direct X-Ray on CMOS APS Imager for Industrial Application”. In: *Proceedings of the IEEE Nuclear Science Symposium Conference Record*, v. 2, pp. 1425–1429, Oct. 2003.
- [103] LECHNER, P., HARTMANN, R., HOLL, P., et al., “Active Pixel Sensor for X-Ray Imaging Spectroscopy”. In: *Proceedings of the IEEE Nuclear Science Symposium Conference Record*, v. 1, pp. 15–19, (San Diego, CA, USA), Nov. 2001.
- [104] SURYANARAYANAN, S., KARELLAS, A., VEDANTHAM, S., “Theoretical Analysis of Hybrid Flat-Panel Detector Arrays for Digital X-Ray Fluoroscopy: General System Architecture, Signal, and Noise Processes”. *IEEE Sensors Journal*, v. 1, n. 2, pp. 168–174, 2001.
- [105] KARIMAND, K. S., NATHAN, A., ROWLANDS, J. A., et al., “X-Ray Detector with On-Pixel Amplification for Large Area Diagnostic Medical Imaging”. In: *IEE Proceedings of Circuits, Devices and Systems*, v. 150, pp. 267–273, Aug. 2003.
- [106] KIM, H. K., CHO, G., LEE, S. W., et al., “Development and Evaluation of a Digital Radiographic System Based on CMOS Image Sensor”. *IEEE Transactions on Nuclear Science*, v. 48, n. 3, pp. 662–666, 2001.
- [107] SAFAVIAN, N., CHAJI, G. R., NATHAN, A., et al., “Three-TFT Image Sensor for Real-Time Digital X-Ray Imaging”. *Electronics Letters*, v. 42, n. 3, 2006.
- [108] IZADI, M. H., KARIM, K. S., “Noise Analysis of a CMOS Active Pixel Sensor for Tomographic Mammography”. In: *Proceedings of the 5th IEEE International Workshop on System-on-Chip for Real-Time Applications (IWSOC)*, pp. 167–171, Jul. 2005.
- [109] BEER, S., SEITZ, P., “Real-Time Tomographic Imaging without X-Rays: a Smart Pixel Array with Massively Parallel Signal Processing for Real-Time Optical Coherence Tomography Performing Close to the Physical Limits”. In: *PhD Research in Microelectronics and Electronics*, v. 2, pp. 135–138, Jul. 2005.

- [110] KEMNA, A., BROCKHERDE, W., HOSTICKA, B., et al., “Low Noise, Large Area CMOS X-Ray Image Sensor for C.T. Application”. In: *Proceedings of IEEE Sensors*, v. 2, pp. 1260–1265, Oct. 2003.
- [111] STEADMAN, R., SERRANO, F. M., VOGTMEIER, G., et al., “A CMOS Photodiode Array with In-Pixel Data Acquisition System for Computed Tomography”. *IEEE Journal of Solid-State Circuits*, v. 39, n. 7, pp. 1034–1043, 2004.
- [112] OLDHAM, T. R., MCLEAN, F. B., “Total Ionizing Dose Effects in MOS Oxides and Devices”. *IEEE Transactions on Nuclear Science*, v. 50, n. 3, pp. 483–499, 2003.
- [113] HUGHES, H. L., GIROUX, R. R., “Space Radiation Affects MOSFET’s”. *Electronics*, v. 37, n. 32, pp. 58–60, 1964.
- [114] DODD, P. E., “Physics-Based Simulation of Single-Event Effects”. *IEEE Transactions on Device and Materials Reliability*, v. 5, n. 3, pp. 343–357, 2005.
- [115] BOLEAT, C., COLAS, G., “Overview of Soft Errors Issues in Aerospace Systems”. In: *Proceedings of the 11th IEEE International On-Line Testing Symposium*, pp. 299–302, Jul. 2005.
- [116] DODD, P. E., MASSENGILL, L. W., “Basic Mechanisms and Modeling of Single-Event Upset in Digital Microelectronics”. *IEEE Transactions on Nuclear Science*, v. 50, n. 3-3, pp. 583–602, 2003.
- [117] KARNIK, T., HAZUCHA, P., PATEL, J., “Characterization of Soft Errors Caused by Single Event Upsets in CMOS Processes”. *IEEE Transactions on Dependable and Secure Computing*, v. 1, n. 2, pp. 128–143, 2004.
- [118] EDWARDS, R., DYER, C., NORMAND, E., “Technical Standard for Atmospheric Radiation Single Event Effects, (SEE) on Avionics Electronics”. In: *Proceedings of the IEEE Radiation Effects Data Workshop*, pp. 1–5, Jul. 2004.
- [119] SEXTON, F. W., “Destructive Single-Event Effects in Semiconductor Devices and ICs”. *IEEE Transactions on Nuclear Science*, v. 50, n. 3-3, pp. 603–621, 2003.

- [120] REED, R. A., KINNISON, J., PICKEL, J. C., et al., “Single-Event Effects Ground Testing and On-Orbit Rate Prediction Methods: The Past, Present, and Future”. *IEEE Transactions on Nuclear Science*, v. 50, n. 3-3, pp. 622–634, 2003.
- [121] IBE, E. KAMEYAMA, H., YAHAGI, Y., et al., “Single Event Effects as a Reliability Issue of IT Infrastructure”. In: *Proceedings of the Third International Conference on Information Technology and Applications (ICITA)*, v. 1, pp. 555–560, Jul. 2005.
- [122] BARTH, J. L., LABEL, K. A., POIVEY, C., “Radiation Assurance for the Space Environment”. In: *Proceedings of the International Conference on Integrated Circuit Design and Technology (ICICDT)*, pp. 323–333, 2004.
- [123] SROUR, J. R., MARSHALL, C. J., MARSHALL, P. W., “Review of Displacement Damage Effects in Silicon Devices”. *IEEE Transactions on Nuclear Science*, v. 50, n. 3-3, pp. 653–670, 2003.
- [124] SWIFT, G. M., LEVANAS, G. C., RATLIFF, J. M., et al., “In-Flight Annealing of Displacement Damage in GaAs LEDs: A Galileo Story”. *IEEE Transactions on Nuclear Science*, v. 50, n. 6-1, pp. 1991–1997, 2003.
- [125] BARDE, S., ECOFFET, R., COSTERASTE, J., et al., “Displacement Damage Effects in InGaAs Detectors: Experimental Results and Semi-Empirical Model Prediction”. *IEEE Transactions on Nuclear Science*, v. 47, n. 6-3, pp. 2466–2472, 2000.
- [126] WARNER, J. H., MESSENGER, S. R., WALTERS, R. J., et al., “Displacement Damage Correlation of Proton and Silicon Ion Radiation in GaAs”. *IEEE Transactions on Nuclear Science*, v. 52, n. 6-1, pp. 2678–2682, 2005.
- [127] DHARMARASU, N., YAMAGUSHI, M., “Analysis of Radiation Response of InGaP, InGaAsP, and InGaAs Solar Cells by Displacement Damage Dose Approach”. In: *Proceedings of 3rd World Conference on Photovoltaic Energy Conversion*, v. 1, pp. 730–733, May 2003.
- [128] DENG, Y., FJELDLY, T. A., YTTERDAL, T., et al., “SPICE Modeling of Neutron Displacement Damage and Annealing Effects in Bipolar Junction

- Transistors”. *IEEE Transactions on Nuclear Science*, v. 50, n. 6-1, pp. 1873–1877, 2003.
- [129] BARNABY, H. J., SCHRIMPF, R. D., STERNBERG, A. L., et al., “Proton Radiation Response Mechanisms in Bipolar Analog Circuits”. *IEEE Transactions on Nuclear Science*, v. 48, n. 6-1, pp. 2074–2080, 2001.
- [130] HUGHES, H. L., “Surface Effects of Space Radiation on Silicon Devices”. *IEEE Transactions on Nuclear Science*, v. 12, pp. 53–63, 1965.
- [131] ESTRUP, P. J., “Surface Effects of Gaseous Ions and Electrons on Semiconductor Devices”. *IEEE Transactions on Nuclear Science*, v. 12, pp. 431–436, 1965.
- [132] RAYMOND, J., STEELE, E., CHANG, W., “Radiation Effects in Metal-Oxide-Semiconductor Transistors”. *IEEE Transactions on Nuclear Science*, v. 12, pp. 457–463, 1965.
- [133] SULLIVAN, D. C., “Transient Radiation-Induced Response of MOS Field Effect Transistors”. *IEEE Transactions on Nuclear Science*, v. 12, pp. 31–37, 1965.
- [134] MESSENGER, G. C., NEUSTADT, M., STEELE, E. J., “Displacement Damage in MOS Transistors”. *IEEE Transactions on Nuclear Science*, v. 12, pp. 78–82, 1965.
- [135] SNOWDEN, D. P., FLANAGAN, T. M., “Transient Response of MOS Capacitors to High-Energy Electron Irradiation”. *IEEE Transactions on Nuclear Science*, v. 22, n. 6, pp. 2516–2521, 1975.
- [136] STANLEY, A. G., “Effects of Electron Irradiation on Metal-Oxide Semiconductor Transistors”. In: *Proceedings of the IEEE*, v. 53, pp. 627–628, Jun. 1965.
- [137] LU, Z. Y., NICKLAW, C. J., FLEETWOOD, D. M., et al., “The Structure, Properties, and Dynamics of Oxygen Vacancies in Amorphous SiO<sub>2</sub>”. *American Physical Society Meeting Abstracts*, S18.002, Mar. 2002.

- [138] BENEDETTO, J. M., BOESCH, H. E., MCLEAN, F. B., et al., “Hole Removal in Thin-Gate MOSFETs by Tunneling”. *IEEE Transactions on Nuclear Science*, v. 32, pp. 3916–3920, 1985.
- [139] DERBENWICK, G. F., GREGORY, B. L., “Process Optimization of Radiation-Hardened CMOS Integrated Circuits”. *IEEE Transactions on Nuclear Science*, v. 22, n. 6, pp. 2151–2156, 1975.
- [140] KJAR, R. A., BELL, J. E., “Characteristics of MOS Circuits for Radiation-Hardened Aerospace Systems”. *IEEE Transactions on Nuclear Science*, v. 18, pp. 258–262, 1971.
- [141] XU, C., SHEN, C., WU, W., “Backside-Illuminated Lateral PIN Photodiode for CMOS Image Sensor on SOS Substrate”. *IEEE Transactions on Electron Devices*, v. 52, n. 6, pp. 1110–1115, 2005.
- [142] TEJADA, F., ANDREOU, A. G., WICKENDEN, D. K., et al., “Surface Micromachining in Silicon on Sapphire CMOS Technology”. In: *Proceedings of the 2004 International Symposium on Circuits and Systems (ISCAS '04)*, v. 4, pp. IV920–IV923, May. 2004.
- [143] MUKHANOV, V. E., “CMOS/SOS Technology and Device Modeling”. In: *Proceedings of the Siberian Russian Student Workshop on Electron Devices and Materials (EDM)*, pp. 63–69, (Novosibirsk, Russia), Sep. 2000.
- [144] PARKC, S., “Comparison of Existing & Proposed SOI MOSFET Device Structures for Minimizing Total Dose Radiation Damage”. In: *Proceedings of the IEEE Aerospace Conference*, v. 4, pp. 2427–2430, Mar. 2004.
- [145] XIONG, H. D., FLEETWOOD, D. M., SCHWANK, J. R., “Low-Frequency Noise and Radiation Response of Buried Oxides in SOI nMOS Transistors”. In: *IEE Proceedings of Circuits Devices Systems*, v. 151, pp. 118–124, Apr. 2004.
- [146] BINKLEY, D. M., HOPPER, C. E., CRESSLER, J. D., et al., “Noise Performance of 0.35- $\mu\text{m}$  SOI CMOS Devices and Micropower Preamplifier Following 63-MeV, 1-Mrad (Si) Proton Irradiation”. *IEEE Transactions on Nuclear Science*, v. 51, n. 6-2, pp. 3788–3794, 2004.

- [147] LI, Y., NIU, G., CRESSLER, J. D., et al., “Proton Radiation Effects in 0.35 $\mu$ m Partially Depleted SOI MOSFETs Fabricated on UNIBOND”. *IEEE Transactions on Nuclear Science*, v. 49, n. 6-1, pp. 2930–2936, 2002.
- [148] LIU, S. T., HEIKKILA, W. W., GOLKE, K. W., et al., “Single Event Effects in PDSOI 4 M SRAM Fabricated in UNIBOND”. *IEEE Transactions on Nuclear Science*, v. 50, n. 6-1, pp. 2095–2100, 2003.
- [149] JUN, B., SCHRIMPF, R. D., FLEETWOOD, D. M., et al., “Charge Trapping in Irradiated SOI Wafers Measured by Second Harmonic Generation”. *IEEE Transactions on Nuclear Science*, v. 51, n. 6-2, pp. 3231–3237, 2004.
- [150] JUN, B., XIONG, H. D., STERNBERG, A. L., et al., “Total Dose Effects on Double Gate Fully Depleted SOI MOSFETs”. *IEEE Transactions on Nuclear Science*, v. 51, n. 6-2, pp. 3767–3772, 2004.
- [151] SCHWANK, J. R., FERLET-CAVROIS, V., SHANEYFELT, M. R., et al., “Radiation Effects in SOI Technologies”. *IEEE Transactions on Nuclear Science*, v. 50, n. 3-3, pp. 522–538, 2003.
- [152] PARKE, S., DEGREGORIO, K., GOLDSTON, M., et al., “Flexfet: A Low-Cost, Rad-Hard, Independent-Double-Gate SOI CMOS Technology with Flexible, Dynamic Reconfigurability”. In: *Proceedings of the IEEE Aerospace Conference*, pp. 1–8, Mar. 2005.
- [153] SPANN, J., KUSHNER, V., THORNTON, T. J., et al., “Total Dose Radiation Response of CMOS Compatible SOI MESFETs”. *IEEE Transactions on Nuclear Science*, v. 52, n. 6-1, pp. 2398–2402, 2005.
- [154] GOUKER, P., BURNS, J., WYATT, P., et al., “Substrate Removal and BOX Thinning Effects on Total Dose Response of FDSOI NMOSFET”. *IEEE Transactions on Nuclear Science*, v. 50, n. 6-1, pp. 1776–1783, 2003.
- [155] BROUK, L., NEMIROVSKY, Y., “CMOS SOI Image Sensor”. In: *Proceedings of the 11th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp. 156–159, Dec. 2004.

- [156] LI, Y., NIU, G., CRESSLER, J. D., et al., “Operating SOI CMOS Technology in Extreme Environments”. In: *Proceedings of the Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 37–40, Apr. 2003.
- [157] JUN, B., FLEETWOOD, D. M., SCHRIMPF, R. D., et al., “Charge Separation Techniques for Irradiated Pseudo-MOS SOI Transistors”. *IEEE Transactions on Nuclear Science*, v. 50, n. 6-1, pp. 1891–1895, 2003.
- [158] DULINSKI, W., BERST, J. D., BESSON, A., et al., “CMOS Monolithic Active Pixel Sensors for Minimum Ionizing Particle Tracking Using Non-Epitaxial Silicon Substrate”. *IEEE Transactions on Nuclear Science*, v. 51, n. 4-1, pp. 1613–1617, 2004.
- [159] KLEINFELDER, S., BICHSEL, H., BIESER, F., et al., “Integrated X-Ray and Charged Particle Active Pixel Cmos Sensor Arrays Using an Epitaxial Silicon Sensitive Region”. In: *Proceedings of SPIE the International Society for Optical Engineering*, v. 4784, pp. 208–217, Jul. 2002.
- [160] DULINSKI, W., BERST, J. D., BESSON, A., et al., “Radiation Hardness Improved CMOS Sensors as Particle Detectors in High Energy Physics and Medical Applications”. In: *IEEE Nuclear Science Symposium Conference Record*, v. 1, pp. 310–314, Oct. 2003.
- [161] WERMES, N., “Trends in Pixel Detectors: Tracking and Imaging”. *IEEE Transactions on Nuclear Science*, v. 51, n. 3-3, pp. 1006–1015, 2004.
- [162] GIRALDO, A., PACCAGNELLA, A., MINZONI, A., “Aspect Ratio Calculation in N-Channel MOSFETs with a Gate-Enclosed Layout”. *Solid-State Electronics*, v. 44, n. 6, pp. 981–989, 2000.
- [163] GRIGNOUX, P., GEIGER, R. L., “Modeling of MOS Transistors with Nonrectangular-Gate Geometries”. *IEEE Transactions on Electron Devices*, v. 29, n. 8, pp. 1261–1269, 1982.
- [164] SNOEYS, W., FACCIO, F., BURNS, M., et al., “Layout Techniques to Enhance the Radiation Tolerance of Standard CMOS Technologies Demonstrated on a Pixel Detector Readout Chip”. *Nuclear Instruments and Methods in Physics Research - Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, v. 439, n. 2, pp. 349–360, 2000.

- [165] ANELLI, G., CAMPBELL, M., DELMASTRO, M., et al., “Radiation Tolerant VLSI Circuits in Standard Deep Submicron CMOS Technologies for the LHC Experiments: Practical Design Aspects”. *IEEE Transactions on Nuclear Science*, v. 46, n. 6, pp. 1690–1696, 1999.
- [166] SNOEYS, W., ANELLI, G., CAMPBELL, M., et al., “Integrated Circuits for Particle Physics Experiments”. *IEEE Journal of Solid-State Circuits*, v. 35, n. 12, pp. 2018–2030, 2000.
- [167] MANGHISONI, M., RATTI, L., RE, V., et al., “Radiation Hardness Perspectives for the Design of Analog Detector Readout Circuits in the 0.18- $\mu\text{m}$  CMOS Generation”. *IEEE Transactions on Nuclear Science*, v. 49, n. 6-1, pp. 2902–2909, 2002.
- [168] RIVETTI, A., ANELLI, G., ANGHINOLFI, F., et al., “A Low-Power 10-bit ADC in a 0.25- $\mu\text{m}$  CMOS: Design Considerations and Test Results”. *IEEE Transactions on Nuclear Science*, v. 48, n. 4-1, pp. 1225–1228, 2001.
- [169] CANNILLO, F., DEPTUCH, G., DULINSKI, W., “Monolithic Active Pixel Sensor for Dosimetry Application”. In: *Proceedings of the 33rd Conference on European Solid-State Device Research (ESSDERC)*, pp. 63–66, Sep. 2003.
- [170] DRAY, C., GENDRIER, P., “A Novel Memory Array Based on an Annular Single-Poly EPROM Cell for Use in Standard CMOS Technology”. In: *Proceedings of the 2002 IEEE International Workshop on Memory Technology, Design and Testing (MTDT)*, pp. 143–148, 2002.
- [171] ANELLI, G., ANGHINOLFI, F., RIVETTI, A., “A Large Dynamic Range Radiation-Tolerant Analog Memory in a Quarter-Micron CMOS Technology”. *IEEE Transactions on Nuclear Science*, v. 48, pp. 435–439, Jun. 2001.
- [172] GINGRICH, D. M., BÖTTCHER, S., BUCHANAN, N. J., et al., “Radiation Tolerant ASIC for Controlling Switched-Capacitor Arrays”. *IEEE Transactions on Nuclear Science*, v. 51, n. 4-1, pp. 1324–1332, 2004.
- [173] VAN DEN BOSCH, A. STEYERT, M. S. J., SANSEN, W., “A High-Density, Matched Hexagonal Transistor Structure in Standard CMOS Technology for High-Speed Applications”. *IEEE Transactions on Semiconductor Manufacturing*, v. 13, n. 2, pp. 167–172, 2000.

- [174] PELGROM, M. J., DUINMAIJER, A. C. J., WELBERS, A. P. G., “Matching Properties of MOS Transistors”. *IEEE Journal of Solid-State Circuits*, v. 24, n. 5, pp. 1433–1439, 1989.
- [175] SNOEYS, W. J., GUTIERREZ, T. A. P., ANELLI, G., “A New NMOS Layout Structure for Radiation Tolerance”. *IEEE Transactions on Nuclear Science*, v. 49, n. 4-1, pp. 1829–1833, 2002.
- [176] YANG, D. X., MIN, H., FOWLER, B. A., et al., “Test Structures for Characterization and Comparative Analysis of CMOS Image Sensors”. In: *Proceedings of SPIE*, v. 2950, pp. 8–17, Dec. 1996.
- [177] T. LOELIGER, “Large-Area Photosensing in CMOS”. Doctor’s Thesis, Swiss Federal Institute of Technology Zurich, Zurich, Switzerland, 2001.
- [178] Austria Mikro Systeme International - AMS, *0.6  $\mu\text{m}$  CMOS Design Rules*. 9931025 Revision 2.
- [179] MEYNANTS, G., DIERICKX, B., SCHEFFER, D., “CMOS Active Pixel Image Sensor with CCD Performance”. In: *Proceedings of SPIE - Advanced Focal Plane Arrays and Electronic Cameras II*, v. 3410, pp. 68–76, Sep. 1998.
- [180] DIERICKX, B., MEYNANTS, G., SCHEFFER, D., “Near-100% Fill Factor Standard CMOS Active Pixel”. *Cypress Perform*, TA1127, Dec. 2005.
- [181] DA SILVA, V. C. D., “Estruturas CMOS Resistentes à Radiação Utilizando Processos de Fabricação Convencionais”. Dissertação de Mestrado, Instituto Militar de Engenharia, 2004.